



C8051F000/1/2/5/6/7
C8051F010/1/2/5/6/7

Mixed-Signal 32KB ISP FLASH MCU Family

АНАЛОГОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ

- АЦП последовательного приближения

Разрядность: 12 бит (C8051F000/1/2, C8051F005/6/7)
10 бит (C8051F010/1/2, C8051F015/6/7)

Нелинейность $\pm 1\text{МЗР}$; Непропадание кодов.

Программируемая скорость преобразования (до 100 тыс. преобразований в секунду).

До 8-ми внешних входов (программируются как одиночные или дифференциальные).

Программируемый коэффициент усиления: 16, 8, 4, 2, 1, 0.5.

Формирование прерывания при попадании результата преобразования в заданный диапазон значений.

Встроенный датчик температуры ($\pm 3^\circ\text{C}$).

- Два 12-разрядных ЦАП

- Два аналоговых компаратора

Программируемая петля гистерезиса.

Настраиваются как источники прерываний или сброса.

- Источник опорного напряжения

Напряжение: 2.4В; Температурный дрейф: 0.0015 %/ $^\circ\text{C}$.

Внешний выход.

- Прецизионная схема слежения за напряжением питания/детектор снижения напряжения питания

ВСТРОЕННЫЙ JTAG ОТЛАДЧИК И ИНТЕРФЕЙС ГРАНИЧНОГО СКАНИРОВАНИЯ

- Встроенный отладчик обеспечивает «неразрушающую» внутрисистемную отладку в режиме реального времени (без эмулятора).

- Расстановка точек останова, пошаговая отладка, слежение за стеком.

- Контроль/модификация памяти и регистров.

- Производительность на уровне эмуляторов с отладочными кристаллами, специальными адаптерами и разъемами.

- Граничное сканирование в соответствии с протоколом IEEE1149.1

- Недорогой комплект средств для разработки.

ВЫСОКОПРОИЗВОДИТЕЛЬНОЕ 8051-СОВМЕСТИМОЕ ПРОЦЕССОРНОЕ ЯДРО

- Конвейерная архитектура; 70% команд выполняются за 1 или 2 системных тактовых цикла.

- Производительность до 25MIPS при тактовой частоте 25MHz.

- Количество векторных источников прерываний: 21.

ПАМЯТЬ

- 256 байт внутреннего ОЗУ данных (F000/01/02/10/11/12).

- 2304 байт внутреннего ОЗУ данных (F005/06/07/15/16/17).

- 32 Кбайт FLASH-памяти; возможно внутрисистемное программирование FLASH-памяти секторами по 512 байт.

ЦИФРОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ

- Четыре 8-разрядных порта ввода/вывода с допустимым напряжением на выводах до 5В.

- Встроенные последовательные интерфейсы SMBus (I²C-совместимый), SPI и UART (доступны одновременно).

- Программируемый массив 16-разрядных таймеров/счетчиков с пятью модулями захвата/сравнения.

- Четыре 16-разрядных таймера/счетчика общего назначения.

- Отдельный сторожевой таймер.

- Двухнаправленный вывод сброса.

ИСТОЧНИКИ ТАКТОВЫХ ИМПУЛЬСОВ

- Внутренний генератор с программируемой частотой (2-16МГц).

- Внешний генератор: кварцевый, RC-, C-, или счетчик.

- Имеется возможность выбора источника тактовых импульсов «на лету» (используется для уменьшения энергопотребления).

НАПЯЖЕНИЕ ПИТАНИЯ: 2.7V ... 3.6V

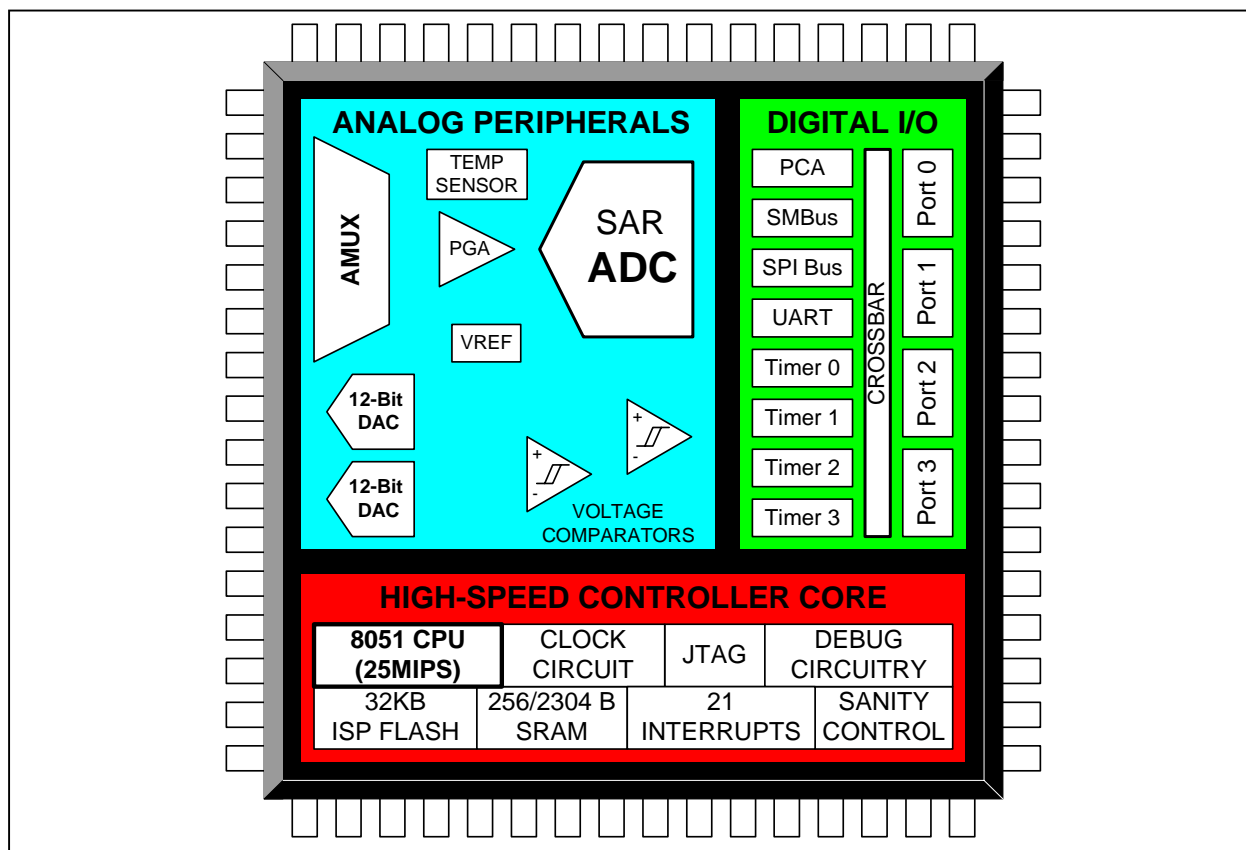
- Ток потребления: 12.5mA @ 25МГц.

- Различные режимы управления энергопотреблением.

КОРПУСА: 64-выв. TQFP, 48-выв. TQFP,

32-выв. LQFP.

РАБОЧАЯ ТЕМПЕРАТУРА: $-40^\circ\text{C} \dots +85^\circ\text{C}$



СОДЕРЖАНИЕ

1. КРАТКИЙ ОБЗОР.....	8
Таблица 1.1. Сравнительная характеристика микроконтроллеров.....	8
Рисунок 1.1. Структурная схема C8051F000/05/10/15.....	9
Рисунок 1.2. Структурная схема C8051F001/06/11/16	10
Рисунок 1.3. Структурная схема C8051F002/07/12/17	11
1.1. Процессорное ядро CIP-51 TM	12
Рисунок 1.4. Максимальная производительность различных микроконтроллеров.....	12
Рисунок 1.5. Структурная схема модуля тактирования и сброса.....	13
1.2. Память.....	14
Рисунок 1.6. Карта распределения памяти.....	14
1.3. JTAG отладчик и интерфейс граничного сканирования.....	15
Рисунок 1.7. Модель отладки.....	15
1.4. Программируемые цифровые порты ввода/вывода и матрица соединений.....	16
Рисунок 1.8. Структурная схема цифровой матрицы.....	16
1.5. Программируемый массив счетчиков (ПМС).....	17
Рисунок 1.9. Структурная схема модуля ПМС.....	17
1.6. Последовательные порты.....	17
1.7. Аналого-цифровой преобразователь.....	18
Рисунок 1.10. Структурная схема АЦП.....	18
1.8. Компараторы и ЦАП.....	19
Рисунок 1.11. Структурная схема компараторов и ЦАП.....	19
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ.....	20
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	20
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	21
Таблица 4.1. Описание выводов.....	21
Рисунок 4.1. Цоколевка корпуса TQFP-64.....	23
Рисунок 4.2. Чертеж корпуса TQFP-64.....	24
Рисунок 4.3. Цоколевка корпуса TQFP-48.....	25
Рисунок 4.4. Чертеж корпуса TQFP-48	26
Рисунок 4.5. Цоколевка корпуса LQFP-32	27
Рисунок 4.6. Чертеж корпуса LQFP-32	28
5. АЦП 12-разрядный (C8051F000/1/2/5/6/7).....	29
Рисунок 5.1. Функциональная схема 12-разрядного АЦП.....	29
5.1. Аналоговый мультиплексор и программируемый усилитель.....	29
5.2. Режимы работы АЦП.....	30
Рисунок 5.2. Временные диаграммы процесса преобразования.....	30
Рисунок 5.3. Передаточная характеристика датчика температуры.....	31
Рисунок 5.4. AMX0CF: Регистр конфигурации мультиплексора (C8051F00x).....	31
Рисунок 5.5. AMX0SL: Регистр выбора канала мультиплексора (C8051F00x).....	32
Рисунок 5.6. ADC0CF: Регистр конфигурации АЦП (C8051F00x).....	33
Рисунок 5.7. ADC0CN: Регистр управления АЦП (C8051F00x)	34
Рисунок 5.8. ADC0H: Регистр старшего байта слова данных АЦП (C8051F00x)	35
Рисунок 5.9. ADC0L: Регистр младшего байта слова данных АЦП (C8051F00x).....	35
5.3. Программируемый детектор диапазона.....	36
Рисунок 5.10. ADC0GTH: Регистр старшего байта нижней границы диапазона (C8051F00x).....	36
Рисунок 5.11. ADC0GTL: Регистр младшего байта нижней границы диапазона (C8051F00x).....	36
Рисунок 5.12. ADC0LTH: Регистр старшего байта верхней границы диапазона (C8051F00x).....	36
Рисунок 5.13. ADC0LTL: Регистр младшего байта верхней границы диапазона (C8051F00x)	36
Рисунок 5.14. Примеры использования детектора диапазона (данные выровнены вправо).....	37
Рисунок 5.15. Примеры использования детектора диапазона (данные выровнены влево).....	38

Таблица 5.1. Электрические характеристики 12-разрядного АЦП.....	39
6. АЦП 10-разрядный (C8051F010/1/2/5/6/7)	40
Рисунок 6.1. Функциональная схема 10-разрядного АЦП.....	40
6.1. Аналоговый мультиплексор и программируемый усилитель.....	40
6.2. Режимы работы АЦП.....	41
Рисунок 6.2. Временные диаграммы процесса преобразования.....	41
Рисунок 6.3. Передаточная характеристика датчика температуры.....	42
Рисунок 6.4. AMX0CF: Регистр конфигурации мультиплексора (C8051F01x)	42
Рисунок 6.5. AMX0SL: Регистр выбора канала мультиплексора (C8051F01x).....	43
Рисунок 6.6. ADC0CF: Регистр конфигурации АЦП (C8051F01x)	44
Рисунок 6.7. ADC0CN: Регистр управления АЦП (C8051F01x)	45
Рисунок 6.8. ADC0H: Регистр старшего байта слова данных АЦП (C8051F01x)	46
Рисунок 6.9. ADC0L: Регистр младшего байта слова данных АЦП (C8051F01x).....	46
6.3. Программируемый детектор диапазона.....	47
Рисунок 6.10. ADC0GTH: Регистр старшего байта нижней границы диапазона (C8051F01x).....	47
Рисунок 6.11. ADC0GTL: Регистр младшего байта нижней границы диапазона (C8051F01x).....	47
Рисунок 6.12. ADC0LTH: Регистр старшего байта верхней границы диапазона (C8051F01x).....	47
Рисунок 6.13. ADC0LTL: Регистр младшего байта верхней границы диапазона (C8051F01x)	47
Рисунок 6.14. Примеры использования детектора диапазона (данные выровнены вправо).....	48
Рисунок 6.15. Примеры использования детектора диапазона (данные выровнены влево).....	49
Таблица 6.1. Электрические характеристики 10-разрядного АЦП.....	50
7. ЦАП 12-разрядный (выходной сигнал – напряжение).....	51
Рисунок 7.1. Функциональная схема ЦАП.....	51
Рисунок 7.2. DAC0H: Регистр старшего байта ЦАП0.....	52
Рисунок 7.3. DAC0L: Регистр младшего байта ЦАП0.....	52
Рисунок 7.4. DAC0CN: Регистр управления ЦАП0.....	52
Рисунок 7.5. DAC1H: Регистр старшего байта ЦАП1.....	53
Рисунок 7.6. DAC1L: Регистр младшего байта ЦАП1.....	53
Рисунок 7.7. DAC1CN: Регистр управления ЦАП1.....	53
Таблица 7.1. Электрические характеристики ЦАП.....	54
8. КОМПАРАТОРЫ.....	55
Рисунок 8.1. Функциональная схема компаратора.....	55
Рисунок 8.2. Гистерезис компаратора.....	56
Рисунок 8.3. CPT0CN: Регистр управления компаратора 0.....	57
Рисунок 8.4. CPT1CN: Регистр управления компаратора 1.....	58
Таблица 8.1. Электрические характеристики компаратора.....	59
9. ИСТОЧНИК ОПОРНОГО НАПЯЖЕНИЯ.....	60
Рисунок 9.1. Функциональная схема источника опорного напряжения.....	60
Рисунок 9.2. REF0CN: Регистр управления источника опорного напряжения.....	61
Таблица 9.1. Электрические характеристики источника опорного напряжения.....	61
10. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	62
Рисунок 10.1. Структурная схема CIP-51.....	62
10.1. Система команд.....	63
Таблица 10.1. Система команд CIP-51.....	64
10.2. Организация памяти.....	67
Рисунок 10.2. Карта распределения памяти.....	68
10.3. Регистры специального назначения.....	69
Таблица 10.2. Распределение регистров специального назначения в памяти.....	69
Таблица 10.3. Регистры специального назначения.....	69
Рисунок 10.3. SP: Указатель стека.....	73
Рисунок 10.4. DPL: Младший байт указателя данных.....	73

Рисунок 10.5. DPH: Старший байт указателя данных.....	73
Рисунок 10.6. PSW: Слово состояния программы.....	74
Рисунок 10.7. ACC: Аккумулятор.....	75
Рисунок 10.8. B: Регистр B.....	75
10.4. Обработка прерываний.....	76
Таблица 10.4. Источники прерываний.....	77
Рисунок 10.9. IE: Регистр разрешения прерываний.....	78
Рисунок 10.10. IP: Регистр приоритетов прерываний.....	79
Рисунок 10.11. EIE1: Дополнительный регистр разрешения прерываний 1.....	80
Рисунок 10.12. EIE2: Дополнительный регистр разрешения прерываний 2.....	81
Рисунок 10.13. EIP1: Дополнительный регистр приоритетов прерываний 1.....	82
Рисунок 10.14. EIP2: Дополнительный регистр приоритетов прерываний 2.....	83
10.5. Режимы управления электропитанием.....	84
Рисунок 10.15. PCON: Регистр управления электропитанием.....	85
11. FLASH ПАМЯТЬ.....	86
11.1. Программирование FLASH-памяти.....	86
Таблица 11.1. Электрические параметры FLASH-памяти.....	86
11.2. Долговременное хранение данных.....	87
11.3. Защита FLASH-памяти.....	87
Рисунок 11.1. PSCTL: Регистр управления записью/стиранием памяти программ.....	87
Рисунок 11.2. Байты защиты FLASH-памяти программ.....	88
Рисунок 11.3. FLACL: Регистр ограничения доступа к FLASH-памяти (C8051F005/06/07/15/16/17)	89
Рисунок 11.4. FLSCL: Регистр делителя модуля FLASH-памяти	90
12. ВНЕШНЕЕ ОЗУ (C8051F005/06/07/15/16/17)	91
Рисунок 12.1. EMI0CN: Регистр управления интерфейсом внешнего ОЗУ.....	91
13. ИСТОЧНИКИ СБРОСА.....	92
Рисунок 13.1. Структурная схема источников сброса.....	92
13.1. Сброс при включении питания.....	93
13.2. Программный сброс.....	93
Рисунок 13.2. Временная диаграмма работы схемы слежения за напряжением питания.....	93
13.3. Сброс при исчезновении питания.....	93
13.4. Внешний сброс.....	94
13.5. Сброс от детектора исчезновения тактирования.....	94
13.6. Сброс от Компаратора 0.....	94
13.7. Сброс от внешнего вывода CNVSTR	94
13.8. Сброс от сторожевого таймера.....	94
Рисунок 13.3. WDTCN: Регистр управления сторожевым таймером.....	95
Рисунок 13.4. RSTSRC: Регистр источников сброса.....	96
Таблица 13.1. Электрические параметры источников сброса.....	97
14. ГЕНЕРАТОР.....	98
Рисунок 14.1. Структурная схема генератора.....	98
Рисунок 14.2. OSC1CN: Регистр управления внутренним генератором.....	99
Таблица 14.1. Электрические параметры внутреннего генератора.....	99
Рисунок 14.3. OSCXCN: Регистр управления внешним генератором.....	100
14.1. Пример использования внешнего резонатора.....	101
14.2. Пример использования RC-генератора.....	101
14.3. Пример использования внешнего генератора с конденсатором.....	101
15. ПОРТЫ ВВОДА/ВЫВОДА.....	102
15.1. Приоритетный декодер матрицы.....	102
15.2. Инициализация портов ввода/вывода.....	102
Рисунок 15.1. Функциональная схема портов ввода/вывода.....	103
Рисунок 15.2. Структурная схема ячейки порта ввода/вывода.....	103
Таблица 15.1. Декодирование приоритетов матрицы.....	104
Рисунок 15.3. XBR0: Регистр 0 матрицы портов ввода/вывода.....	105

Рисунок 15.4. XBR1: Регистр 1 матрицы портов ввода/вывода.....	106
Рисунок 15.5. XBR2: Регистр 2 матрицы портов ввода/вывода.....	107
15.3. Порты ввода/вывода общего назначения.....	108
15.4. Настройка портов, не имеющих внешних выводов.....	108
Рисунок 15.6. P0: Регистр порта 0.....	108
Рисунок 15.7. PRT0CF: Регистр конфигурации порта 0.....	108
Рисунок 15.8. P1: Регистр порта 1.....	109
Рисунок 15.9. PRT1CF: Регистр конфигурации порта 1.....	109
Рисунок 15.10. PRT1IF: Регистр флагов прерываний от порта 1.....	109
Рисунок 15.11. P2: Регистр порта 2.....	110
Рисунок 15.12. PRT2CF: Регистр конфигурации порта 2.....	110
Рисунок 15.13. P3: Регистр порта 3.....	111
Рисунок 15.14. PRT3CF: Регистр конфигурации порта 3.....	111
Таблица 15.2. Электрические характеристики портов ввода/вывода.....	111
16. МОДУЛЬ SMBus / I2C	112
Рисунок 16.1. Структурная схема модуля SMBus.....	112
Рисунок 16.2. Подключение к шине SMBus	113
16.1. Техническая документация.....	113
16.2. Режимы работы.....	114
Рисунок 16.3. Формат сообщения SMBus.....	114
16.3. Арбитраж.....	115
16.4. Растягивание тактового сигнала.....	115
16.5. Таймауты.....	115
16.6. Регистры специального назначения модуля SMBus	115
Рисунок 16.4. SMB0CN: Регистр управления модуля SMBus	117
Рисунок 16.5. SMB0CR: Регистр установки тактовой частоты модуля SMBus.....	118
Рисунок 16.6. SMB0DAT: Регистр данных модуля SMBus.....	119
Рисунок 16.7. SMB0ADR: Регистр адреса модуля SMBus.....	119
Рисунок 16.8. SMB0STA: Регистр состояния модуля SMBus.....	120
Таблица 16.1. Коды состояния модуля SMBus.....	121
17. МОДУЛЬ SPI.....	122
Рисунок 17.1. Структурная схема модуля SPI.....	122
Рисунок 17.2. Подключение к шине SPI	123
17.1. Описание сигналов шины SPI.....	123
17.2. Режимы работы.....	124
Рисунок 17.3. Полнодуплексный режим работы	124
17.3. Тактирование.....	125
Рисунок 17.4. Временные диаграммы сигналов данных/тактирования.....	125
17.4. Регистры специального назначения модуля SPI.....	126
Рисунок 17.5. SPI0CFG: Регистр конфигурации модуля SPI.....	126
Рисунок 17.6. SPI0CN: Регистр управления модуля SPI.....	127
Рисунок 17.7. SPI0CKR: Регистр установки тактовой частоты модуля SPI.....	128
Рисунок 17.8. SPI0DAT: Регистр данных модуля SPI.....	128
18. УАПП.....	129
Рисунок 18.1. Структурная схема УАПП.....	129
18.1. Режимы работы УАПП.....	130
Таблица 18.1. Режимы работы УАПП.....	130
Рисунок 18.2. Пример использования УАПП в режиме 0.....	130
Рисунок 18.3. Временные диаграммы УАПП в режиме 0.....	130
Рисунок 18.4. Временные диаграммы УАПП в режиме 1.....	131
Рисунок 18.5. Пример использования УАПП в режимах 1, 2 и 3.....	132
Рисунок 18.6. Временные диаграммы УАПП в режиме 2 и 3.....	132
18.2. Поддержка связи с несколькими МК.....	133
Рисунок 18.7. Пример использования УАПП в многопроцессорном режиме.....	133

Таблица 18.2. Тактовые частоты, соответствующие стандартным скоростям обмена.....	134
Рисунок 18.8. SBUF: Регистр буфера данных УАПП.....	134
Рисунок 18.9. SCON: Регистр управления УАПП.....	135
19. ТАЙМЕРЫ.....	136
19.1. Таймер 0 и таймер 1.....	136
Рисунок 19.1. Структурная схема таймера 0 в режиме 0.....	137
Рисунок 19.2. Структурная схема таймера 0 в режиме 2.....	138
Рисунок 19.3. Структурная схема таймера 0 в режиме 3.....	139
Рисунок 19.4. TCON: Регистр управления таймерами 0 и 1.....	140
Рисунок 19.5. TMOD: Регистр режима таймеров 0 и 1.....	141
Рисунок 19.6. CKCON: Регистр управления тактированием таймеров 0, 1 и 2.....	142
Рисунок 19.7. TLO: Младший байт таймера 0.....	143
Рисунок 19.8. TL1: Младший байт таймера 1.....	143
Рисунок 19.9. TH0: Старший байт таймера 0.....	143
Рисунок 19.10. TH1: Старший байт таймера 1.....	143
19.2. Таймер 2.....	144
Рисунок 19.11. Структурная схема таймера 2 в режиме 0.....	145
Рисунок 19.12. Структурная схема таймера 2 в режиме 1.....	146
Рисунок 19.13. Структурная схема таймера 2 в режиме 2.....	147
Рисунок 19.14. T2CON: Регистр управления таймером 2.....	148
Рисунок 19.15. RCAP2L: Младший байт регистра захвата таймера 2.....	149
Рисунок 19.16. RCAP2H: Старший байт регистра захвата таймера 2.....	149
Рисунок 19.17. TL2: Младший байт таймера 2.....	149
Рисунок 19.18. TH2: Старший байт таймера 2.....	149
19.3. Таймер 3.....	150
Рисунок 19.19. Структурная схема таймера 3.....	150
Рисунок 19.20. TMR3CN: Регистр управления таймером 3.....	150
Рисунок 19.21. TMR3RLL: Младший байт регистра перезагрузки таймера 3.....	151
Рисунок 19.22. TMR3RLH: Старший байт регистра перезагрузки таймера 3.....	151
Рисунок 19.23. TMR3L: Младший байт таймера 3.....	151
Рисунок 19.24. TMR3H: Старший байт таймера 3.....	151
20. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ.....	152
Рисунок 20.1. Структурная схема ПМС.....	152
20.1. Модули захват/сравнение.....	153
Таблица 20.1. Настройка модулей захват/сравнение в регистре PCA0CPM.....	153
Рисунок 20.2. Схема формирования прерывания от ПМС.....	153
Рисунок 20.3 Структурная схема ПМС в режиме захвата.....	154
Рисунок 20.4. Структурная схема ПМС в режиме программного таймера.....	155
Рисунок 20.5. Структурная схема ПМС в режиме высокоскоростного выхода.....	155
Рисунок 20.6. Структурная схема ПМС в режиме ШИМ.....	156
20.2. Таймер/счетчик ПМС.....	157
Таблица 20.2. Выбор тактового сигнала для ПМС.....	157
Рисунок 20.7. Структурная схема таймера/счетчика ПМС.....	157
20.3. Описание регистров, связанных с работой ПМС.....	158
Рисунок 20.8. PCA0CN: Регистр управления ПМС.....	158
Рисунок 20.9. PCA0MD: Регистр режима ПМС.....	159
Рисунок 20.10. PCA0CPMn: Регистры управления модулями захват/сравнение.....	160
Рисунок 20.11. PCA0L: Младший байт таймера/счетчика ПМС.....	161
Рисунок 20.12. PCA0H: Старший байт таймера/счетчика ПМС.....	161
Рисунок 20.13. PCA0CPLn: Младший байт модуля захвата ПМС.....	161
Рисунок 20.14. PCA0CPHn: Старший байт модуля захвата ПМС.....	161
21. ИНТЕРФЕЙС JTAG (IEEE 1149.1)	162
Рисунок 21.1. IR: Регистр команд интерфейса JTAG	162
21.1. Граничное сканирование.....	163

Таблица 21.1. Описание бит регистра данных интерфейса граничного сканирования.....	163
Рисунок 21.2. DEVICEID: Регистр JTAG идентификатора устройства.....	164
21.2. Команды программирования Flash-памяти.....	165
Рисунок 21.3. FLASHCON: Регистр управления режимами чтения/записи Flash-памяти интерфейса JTAG.....	166
Рисунок 21.4. FLASHADR: Регистр адреса Flash-памяти интерфейса JTAG	166
Рисунок 21.5. FLASHDAT: Регистр данных Flash-памяти интерфейса JTAG.....	167
Рисунок 21.6. FLASHSCL: Регистр делителя модуля Flash-памяти интерфейса JTAG	167
21.3. Средства поддержки отладки.....	168

1. КРАТКИЙ ОБЗОР

Микроконтроллеры (МК) семейства C8051F000 представляют собой полностью интегрированные на одном кристалле системы для обработки смешанных (аналого-цифровых) сигналов, в состав которых входит прецизионный 12-разрядный (F000/01/02/05/06/07) или 10-разрядный (F010/11/12/15/16/17) многоканальный АЦП. Сравнительная характеристика МК приведена в таблице 1.1. Каждый МК имеет усилитель с программируемым коэффициентом усиления, два 12-разрядных ЦАП, два компаратора напряжения (кроме F002/07/12/17, которые имеют один компаратор напряжения), источник опорного напряжения и 8051-совместимое микропроцессорное ядро с 32 Кбайтами Flash-памяти. Кроме этого имеются аппаратно реализованные последовательные интерфейсы I2C/SMBus, SPI и УАПП, а также программируемый массив счетчиков/таймеров (ПМС) с пятью модулями захвата/сравнения. Имеются также четыре 16-разрядных таймера общего назначения и четыре 8-разрядных цифровых порта ввода/вывода общего назначения. МК C8051F000/01/02/10/11/12 содержат 256 байт ОЗУ и обладают производительностью до 20 MIPS. МК C8051F005/06/07/15/16/17 содержат 2304 байт ОЗУ и обладают производительностью до 25 MIPS. Все МК имеют встроенные схему слежения за напряжением питания, сторожевой таймер, тактовый генератор и представляют собой, таким образом, функционально-законченную систему на кристалле. Каждый МК имеет эффективные средства для управления аналоговыми и цифровыми периферийными модулями. Имеется возможность внутрисхемного программирования Flash-памяти, что обеспечивает долговременное (энергонезависимое) хранение данных, а также позволяет осуществлять обновление программного обеспечения в готовых изделиях. Каждый МК с целью уменьшения энергопотребления может отключить любые периферийные модули. Встроенный интерфейс JTAG позволяет производить «неразрушающую» (не используются внутренние ресурсы) внутрисхемную отладку в режиме реального времени, используя МК, установленные в конечное изделие. Средства отладки обеспечивают проверку и модификацию памяти и регистров, расстановку точек останова и временных меток, пошаговое исполнение программы, а также поддерживают команды запуска и остановки. В процессе отладки с использованием интерфейса JTAG все аналоговые и цифровые периферийные модули полностью сохраняют свою работоспособность. Каждый МК предназначен для работы в промышленном температурном диапазоне (-45°C...+85°C) при напряжении питания 2,7В...3,6В. На порты ввода/вывода, выходы интерфейса JTAG, а также на вывод /RST могут быть поданы входные сигналы напряжением до 5В. МК C8051F000/05/10/15 выпускаются в 64-выводных корпусах типа TQFP (структурная схема приведена на рис.1.1). МК C8051F001/06/11/16 выпускаются в 48-выводных корпусах типа TQFP (структурная схема приведена на рис.1.2). МК C8051F002/07/12/17 выпускаются в 32-выводных корпусах типа LQFP (структурная схема приведена на рис.1.3).

Таблица 1.1. Сравнительная характеристика микроконтроллеров

	MIPS (макс.)	FLASH - память	ОЗУ	SMBus/I2C	SPI	UART	Таймеры (16-разр.)	Программируемый массив счетчиков	Цифровые порты ввода/вывода	Разрядность АЦП (бит)	Производительность АЦП (преобразований/сек)	Количество каналов АЦП	Источник опорного напряжения	Датчик температуры	Разрядность ЦАП	Количество выходов ЦАП	Компараторы напряжения	Тип корпуса
C8051F000	20	32k	256	√	√	√	4	√	32	12	100	8	√	√	12	2	2	64TQFP
C8051F001	20	32k	256	√	√	√	4	√	16	12	100	8	√	√	12	2	2	48TQFP
C8051F002	20	32k	256	√	√	√	4	√	8	12	100	4	√	√	12	2	1	32LQFP
C8051F005	25	32k	2304	√	√	√	4	√	32	12	100	8	√	√	12	2	2	64TQFP
C8051F006	25	32k	2304	√	√	√	4	√	16	12	100	8	√	√	12	2	2	48TQFP
C8051F007	25	32k	2304	√	√	√	4	√	8	12	100	4	√	√	12	2	1	32LQFP
C8051F010	20	32k	256	√	√	√	4	√	32	10	100	8	√	√	12	2	2	64TQFP
C8051F011	20	32k	256	√	√	√	4	√	16	10	100	8	√	√	12	2	2	48TQFP
C8051F012	20	32k	256	√	√	√	4	√	8	10	100	4	√	√	12	2	1	32LQFP
C8051F015	25	32k	2304	√	√	√	4	√	32	10	100	8	√	√	12	2	2	64TQFP
C8051F016	25	32k	2304	√	√	√	4	√	16	10	100	8	√	√	12	2	2	48TQFP
C8051F017	25	32k	2304	√	√	√	4	√	8	10	100	4	√	√	12	2	1	32LQFP

Рисунок 1.1. Структурная схема C8051F000/05/10/15

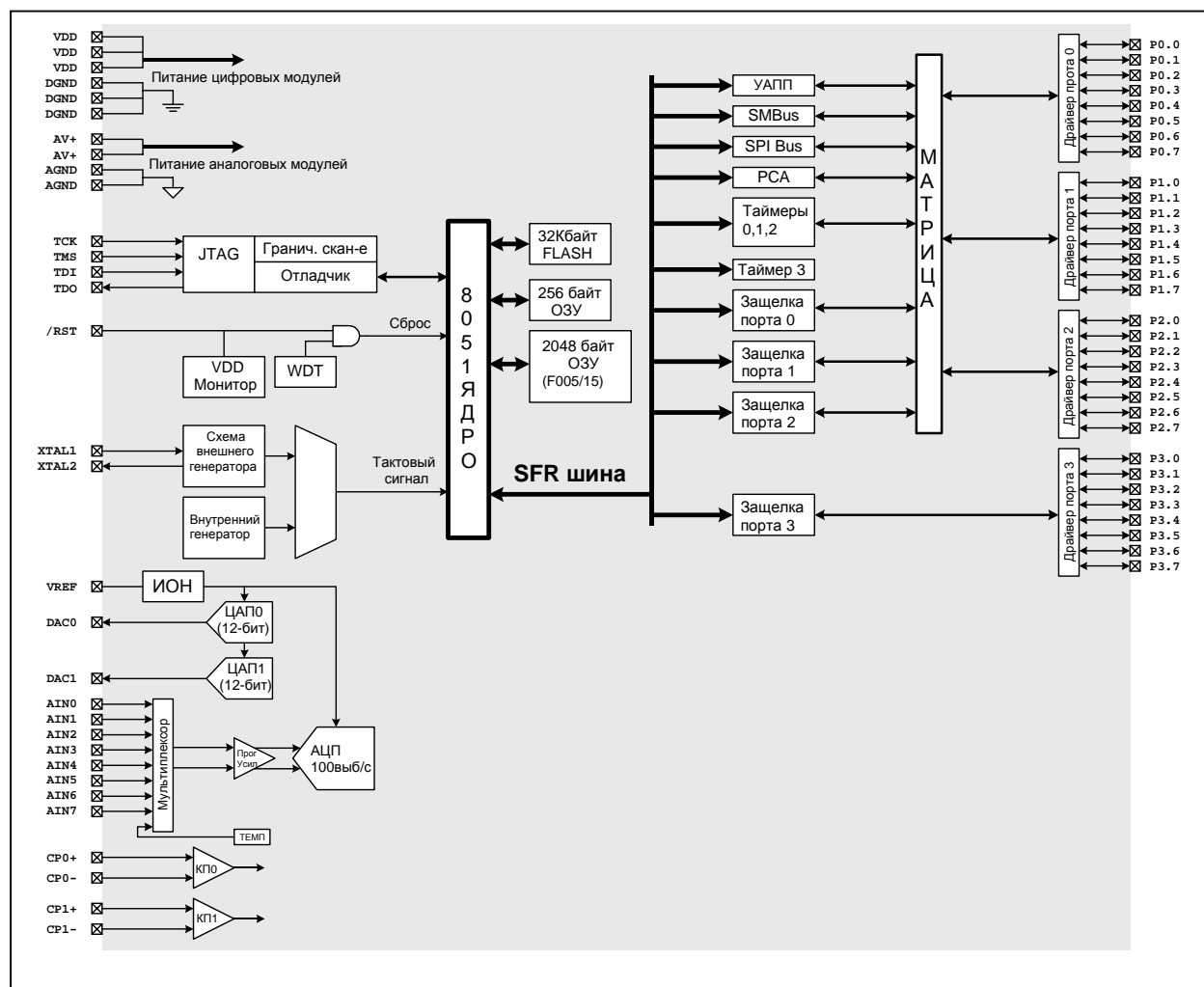


Рисунок 1.2. Структурная схема C8051F001/06/11/16

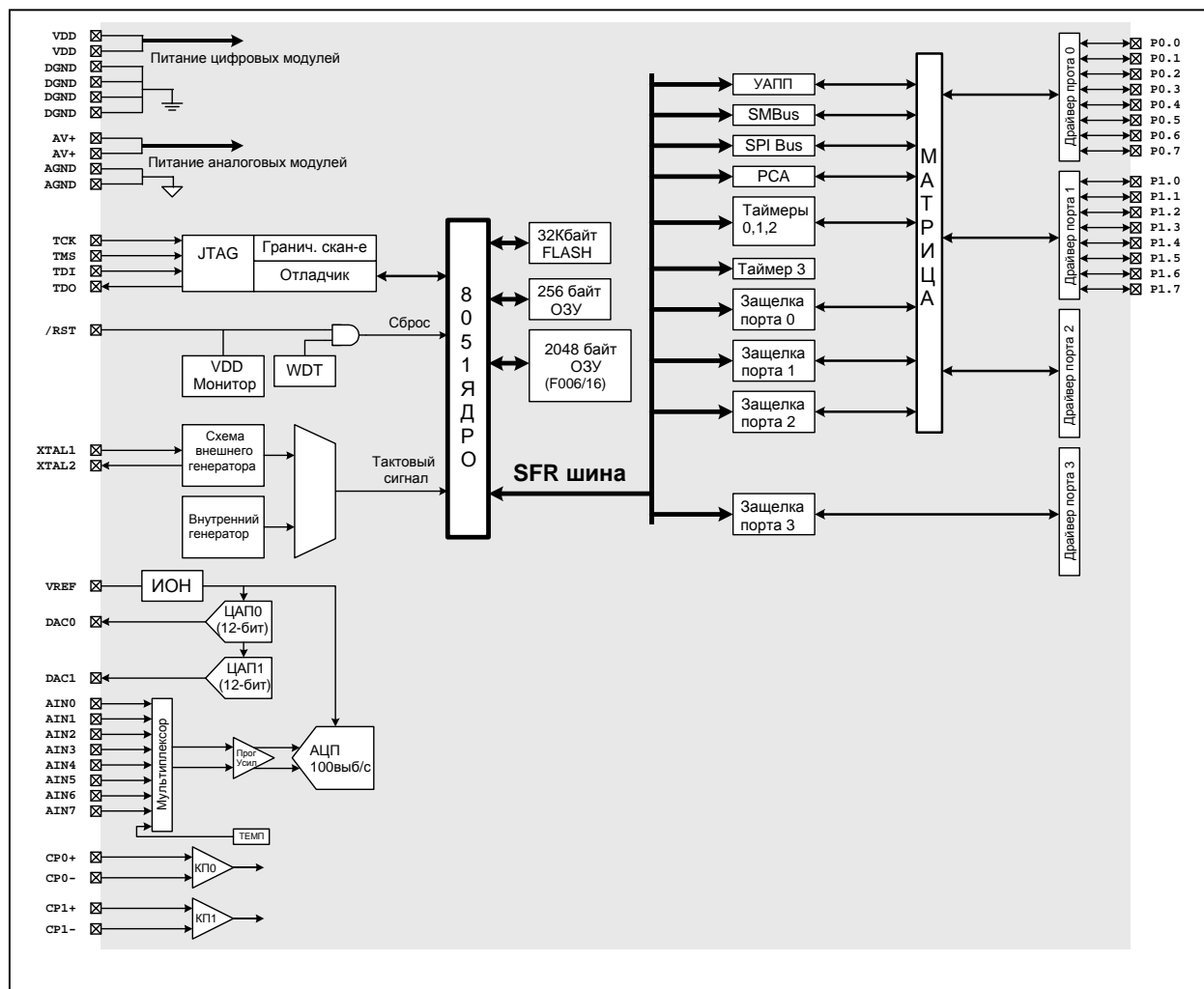
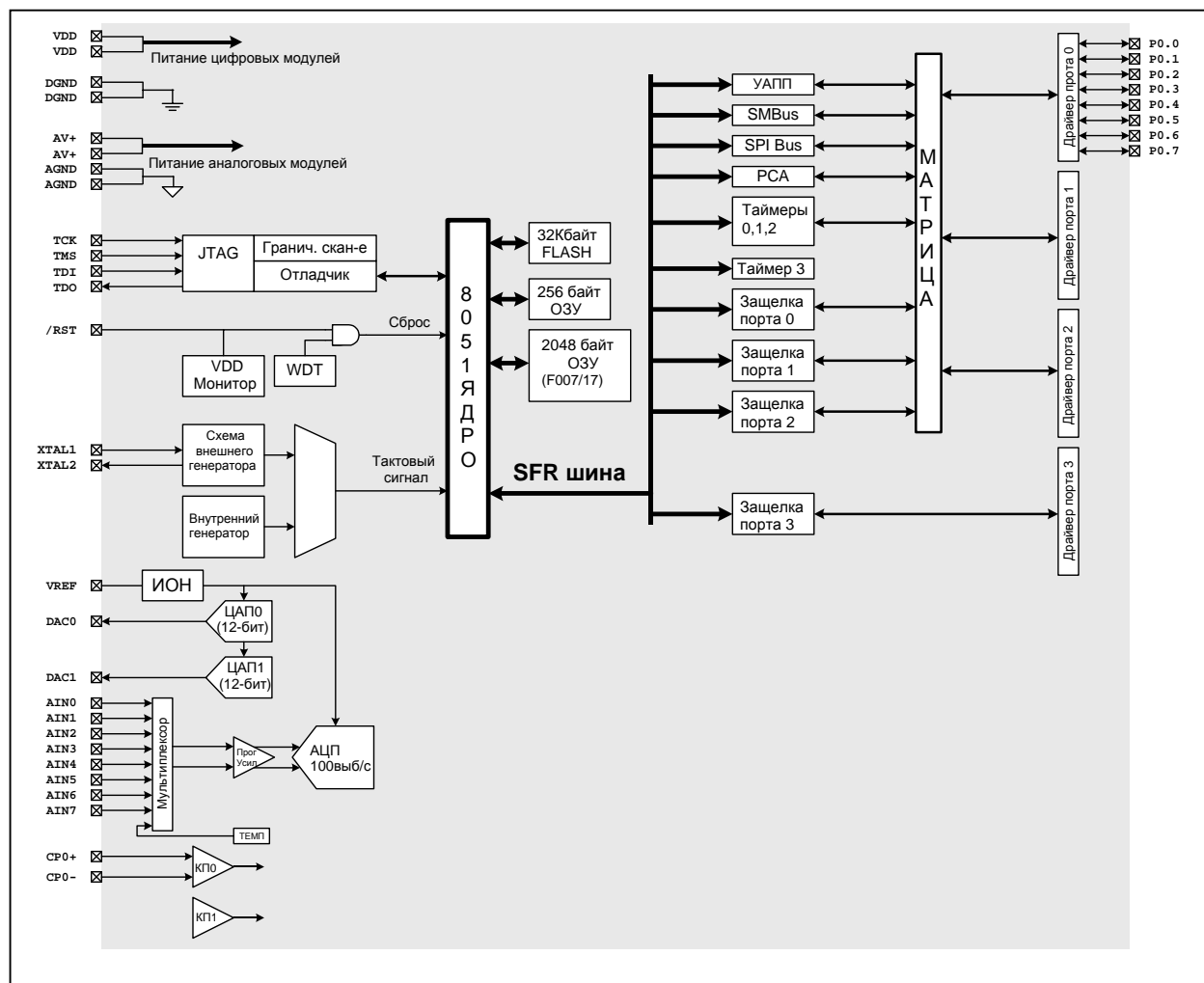


Рисунок 1.3. Структурная схема C8051F002/07/12/17



1.1. Процессорное ядро CIP-51™

1.1.1. Полностью 8051-совместимая архитектура

МК семейства C8051F000 используют разработанное фирмой Cygnal процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51™. Для разработки программного обеспечения могут использоваться стандартные 803х/805х ассемблеры и компиляторы. Ядро содержит все периферию, соответствующую стандарту 8052, включая четыре 16-разрядных таймера/счетчика, полнодуплексный УАПП, 256 байт внутреннего ОЗУ, 128 байт для регистров специального назначения, а также четыре 8-разрядных порта ввода/вывода.

1.1.2. Высокая производительность

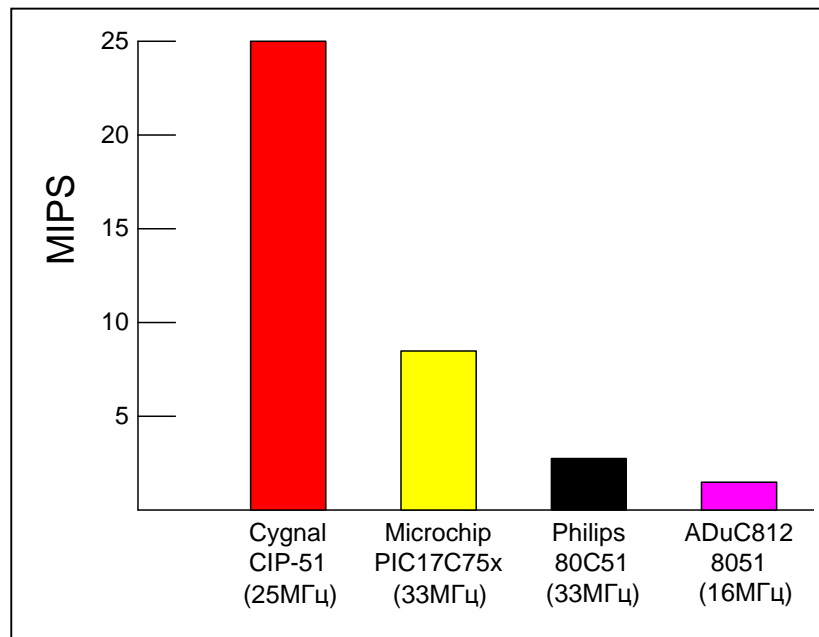
CIP-51 использует конвейерную архитектуру, что существенно повышает скорость исполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 системных тактовых цикла при максимальной тактовой частоте 12...24 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два системных тактовых цикла, и только четыре команды требуют более четырех системных тактовых циклов.

Система команд CIP-51 состоит из 109 команд, которые требуют от одного до восьми системных тактовых циклов:

Количество команд	26	50	5	14	7	3	1	2	1
Количество системных тактовых циклов	1	2	2/3	3	3/4	4	4/5	5	8

При работе на тактовой частоте 25 МГц производительность ядра CIP-51 может достигать 25 MIPS. На рис.1.4 показана пиковая производительность различных 8-разрядных МК, работающих на максимально возможных для них частотах.

Рисунок 1.4. Максимальная производительность различных микроконтроллеров



1.1.3. Дополнительные возможности

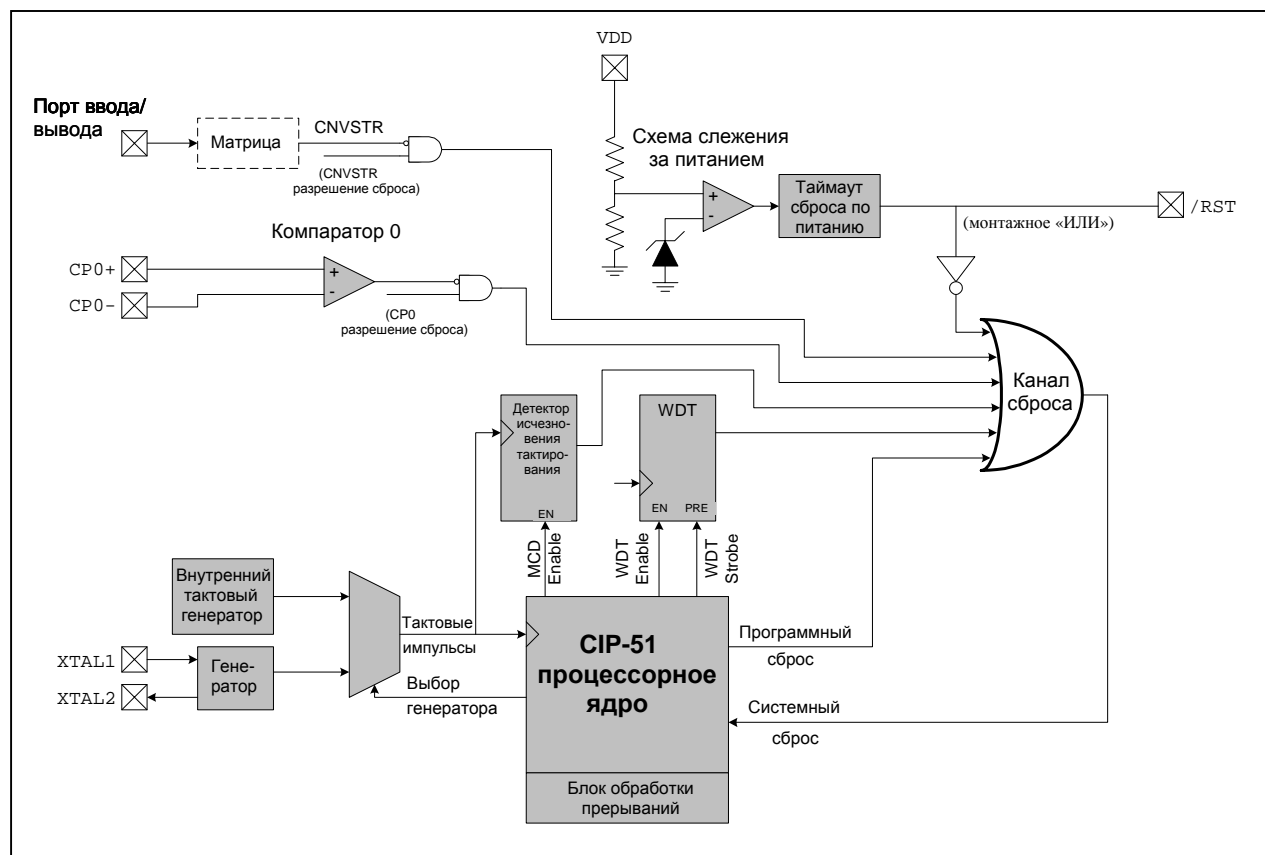
МК семейства C8051F000 имеют ряд важных особенностей, которые позволяют улучшить общую производительность и упростить использование МК в конечных приложениях.

21 источник прерываний (8051 имеет 7 источников прерываний) позволяют многочисленным аналоговым и периферийным модулям прерывать работу МК. Система управления прерываниями требует меньшего вмешательства со стороны программы, что улучшает ее производительность. Дополнительные источники прерываний очень полезны при построении многозадачных систем, работающих в режиме реального времени.

Имеется семь источников сброса: встроенная схема слежения за напряжением питания, сторожевой таймер, детектор исчезновения тактирования, компаратор 0, принудительный программный сброс, вывод CNVSTR и вывод /RST. Вывод /RST является двунаправленным, т.е. может быть как входом внешнего сигнала сброса, так и выходом сигнала сброса, сгенерированного внутри МК схемой слежения за питанием. Любой источник сброса, за исключением схемы слежения за питанием и входных выводов сброса, могут быть отключены программно. Стороживой таймер может быть включен после сброса типа POR (сброс при включении питания) в процессе инициализации МК.

МК имеет внутренний тактовый генератор, который после сброса используется как источник тактовых импульсов по умолчанию. При необходимости можно “на лету” подключить внешний тактовый генератор, который для генерации тактовых импульсов использует кварцевый или керамический резонатор, конденсатор, RC-цепочку или внешний источник импульсов. В приложениях с пониженным энергопотреблением крайне полезным может быть режим работы МК с медленным (мало потребляющим) внешним кварцевым генератором с периодическим переключением на быстрый (до 16 МГц) внутренний генератор.

Рисунок 1.5. Структурная схема модуля тактирования и сброса



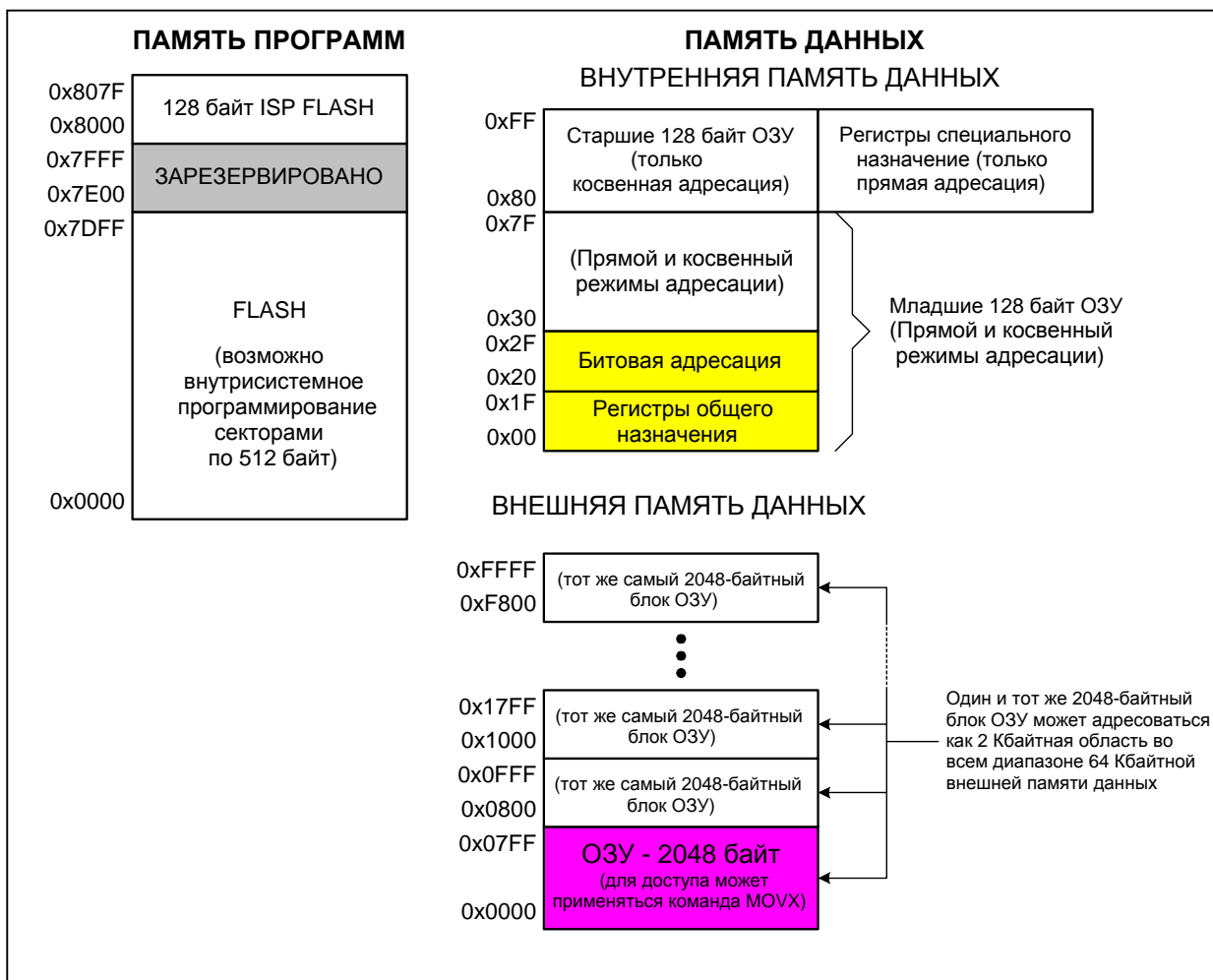
1.2. Память

CIP-51 имеет стандартную (8051) структуру адресного пространства памяти программ и данных. В состав памяти входит ОЗУ объемом 256 байт, старшие 128 байт которого имеют двойную конфигурацию. В режиме косвенной адресации осуществляется доступ к старшим 128 байтам ОЗУ общего назначения, а в режиме прямой адресации осуществляется доступ к 128 байтам адресного пространства регистров специального назначения. Младшие 128 байт ОЗУ доступны как для прямой, так и для косвенной адресации. Из них первые 32 байта адресуются как четыре банка регистров общего назначения, а следующие 16 байт адресуются побайтно или побитно.

МК C8051F005/06/07/15/16/17 дополнительно имеют блок 2048-байтного ОЗУ в адресном пространстве внешней памяти данных. К этому 2048-байтному блоку можно обращаться во всем диапазоне адресов 64 Кбайтной внешней памяти данных (см. рис. 1.6).

Память программ МК состоит из 32К + 128 байт Flash-памяти. Эта память может перепрограммироваться внутрисистемно секторами по 512 байт, не требуя при этом специального внешнего напряжения программирования. 512 байт с адресами от 0x7E00 до 0x7FFF зарезервированы для нужд производителя. Имеется также отдельный 128-байтный сектор с адресами от 0x8000 до 0x807F, который может использоваться для хранения таблицы программных констант или как дополнительная область программных кодов. На рис. 1.6 приведена карта распределения памяти МК.

Рисунок 1.6. Карта распределения памяти



1.3. JTAG ОТЛАДЧИК И ИНТЕРФЕЙС ГРАНИЧНОГО СКАНИРОВАНИЯ

МК семейства C8051F000 имеют встроенные интерфейс JTAG и отладчик, которые позволяют осуществлять в режиме реального времени «неразрушающую» (не используются внутренние ресурсы) внутрисхемную отладку, используя МК, установленный в конечное изделие. Посредством JTAG интерфейса, полностью совместимого с протоколом IEEE 1149.1, осуществляется граничное сканирование, которое используется для тестирования и производственных испытаний.

Средства отладки фирмы Cygnal поддерживают проверку и модификацию памяти и регистров, расстановку точек останова и временных меток, контроль стека, пошаговую отладку. При этом не требуется никаких специальных дополнительных ОЗУ, памяти программ, таймеров или каналов связи. Во время отладки все цифровые и аналоговые периферийные модули не отключаются и работают корректно. При остановке МК в точке останова или при пошаговой отладке работа всех периферийных модулей блокируется, что необходимо для удержания их в режиме синхронизации.

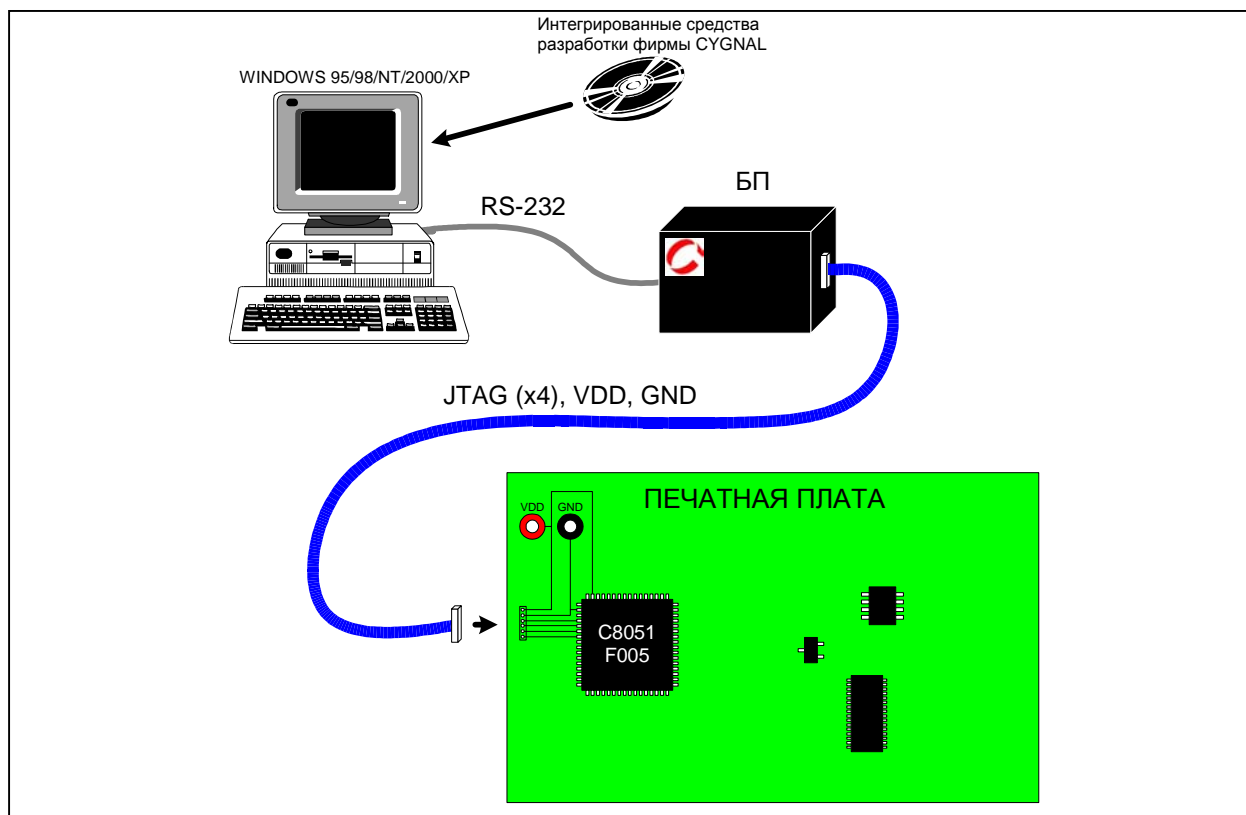
Комплекты средств разработки C8051F000DK, C8051F005DK, C8051F010DK, C8051F015DK для МК C8051F000/1/2, F005/6/7, F010/1/2, F015/6/7 соответственно содержат все необходимые аппаратные и программные средства для разработки программного кода и выполнения внутрисхемной отладки. Эти комплекты включают в себя программный пакет с интегрированной средой разработки и отладки, интегрированный ассемблер стандарта 8051, блок-преобразователь (БП) RS-232/JTAG. Кроме этого имеется демонстрационная плата с установленным МК и большой свободной областью для макетирования, кабели RS-232 и JTAG, а также блок питания в настенном исполнении. Для работы необходим компьютер с ОС Windows 95/98/NT/2000/XP и свободным последовательным портом RS-232. Как показано на рис.1.7, компьютер через порт RS-232 подключается к БП. БП соединяется с платой пользователя шестижильным плоским кабелем, четыре провода которого используются интерфейсом JTAG, а два провода необходимы для подачи питания с платы пользователя на БП. БП потребляет приблизительно 20ма при напряжении 2,7...3,6В. Если плата пользователя не может обеспечить необходимое питание БП, можно использовать входящий в комплект средств разработки блок питания, подключив его непосредственно к БП.

По сравнению со стандартными симуляторами такой способ разработки и отладки встроенных систем обеспечивает следующие преимущества:

- не требуется отладочный кристалл;
- не используются специализированные кабели;
- не требуется использовать разъем для установки МК на плату.

Отладочная среда фирмы Cygnal обеспечивает удобство работы с прецизионными аналоговыми периферийными модулями и при этом не ухудшает их производительности.

Рисунок 1.7. Модель отладки



1.4. Программируемые цифровые порты ввода/вывода и матрица соединений

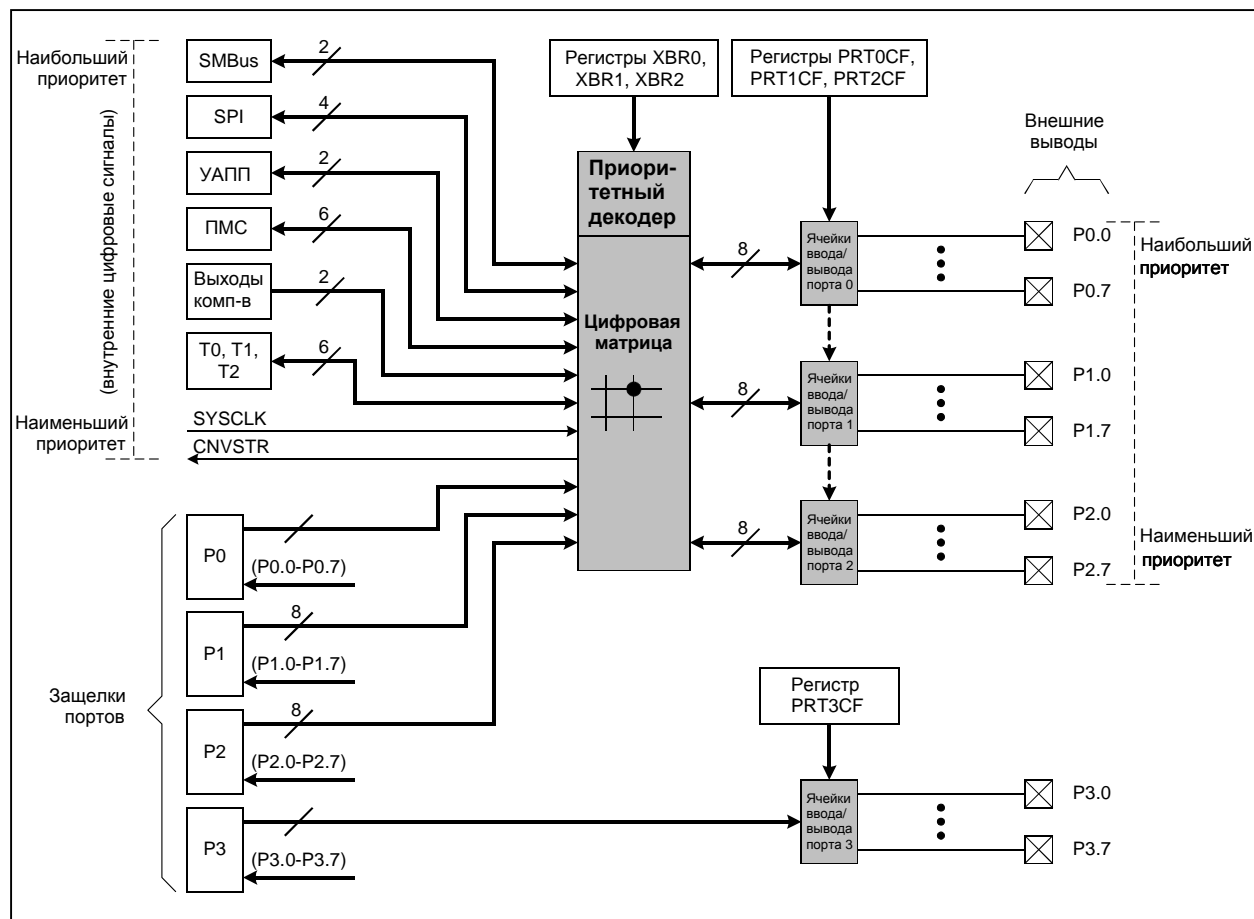
МК имеет стандартные для архитектуры 8051 порты (0, 1, 2 и 3). В МК F000/05/10/15 все четыре порта соединены с внешними выводами. В МК F001/06/11/16 порты 0 и 1 соединены с внешними выводами. В МК F002/07/12/17 только порт 0 соединен с внешними выводами. Не подключенные к внешним выводам порты доступны программе пользователя как регистры общего назначения. Порты функционируют в соответствии со стандартом 8051 с некоторыми дополнительными возможностями.

Каждый вывод порта может быть настроен либо как вход-выход, либо как выход с открытым стоком. Кроме того возможно общее отключение подтягивающих резисторов, что позволяет еще более снизить энергопотребление в критичных к этому параметру приложениях.

Наиболее важным усовершенствованием является цифровая матрица. По существу это большая сеть цифровой коммутации, которая позволяет необходимым образом соединять внутренние цифровые системные ресурсы с выводами портов ввода/вывода P0, P1 и P2 (см. рис.1.8). При этом возможны любые комбинации, в отличие от МК со стандартными мультиплексированными портами ввода/вывода.

При помощи регистров управления матрицей на выводы портов могут быть выведены сигналы от внутренних таймеров/счетчиков, от последовательных интерфейсов, аппаратные прерывания, входной сигнал запуска АЦП, выходы компараторов и др. Это позволяет пользователю выбрать точную комбинацию связей между портами ввода/вывода общего назначения и цифровыми ресурсами, необходимую для каждого конкретного приложения.

Рисунок 1.8. Структурная схема цифровой матрицы



1.5. Программируемый массив счетчиков (ПМС)

МК семейства C8051F000 кроме четырех 16-разрядных таймеров/счетчиков общего назначения имеют внутренний программируемый массив счетчиков (ПМС). ПМС состоит из специального 16-разрядного таймера/счетчика временных интервалов с пятью программируемыми модулями захват/сравнение. В качестве тактового сигнала для этого счетчика могут использоваться:

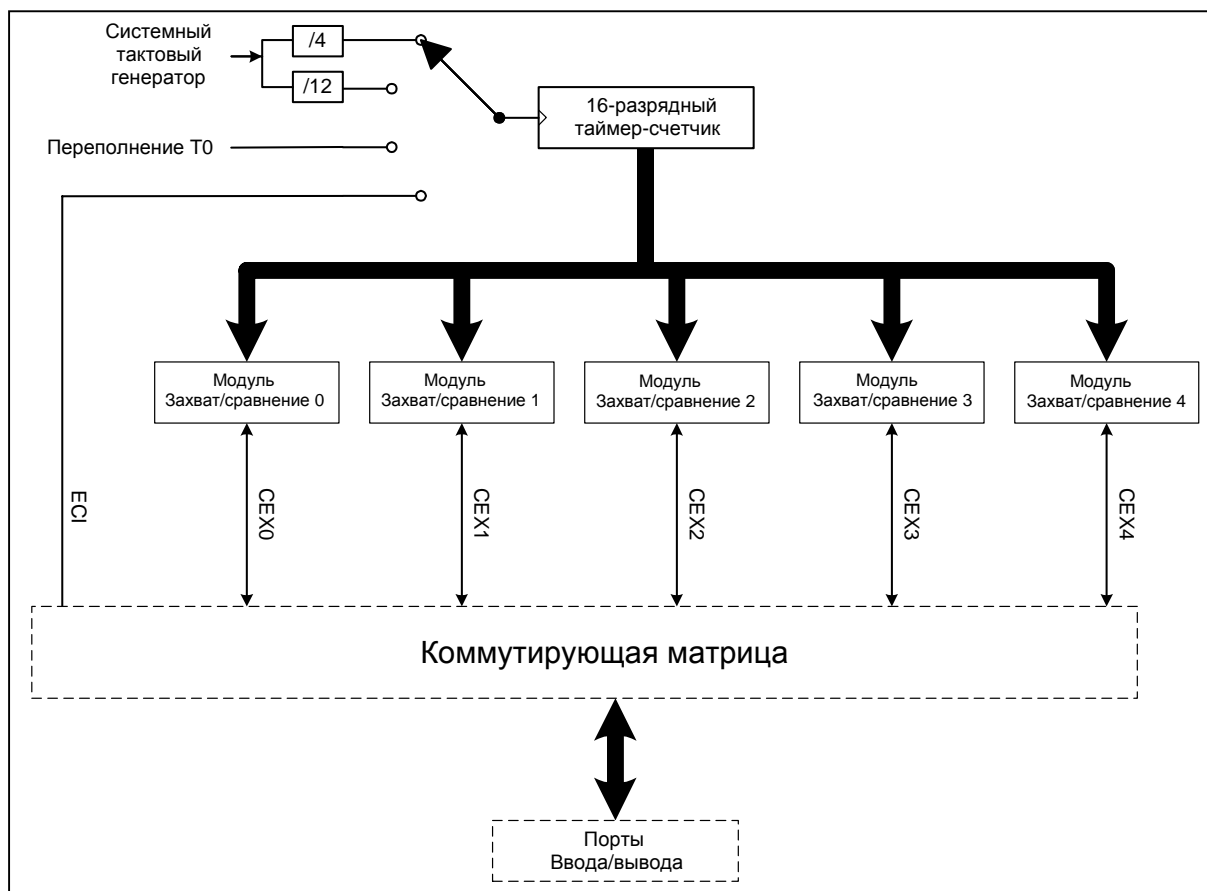
- сигнал системного тактового генератора с частотой, деленной на 12;
- сигнал системного тактового генератора с частотой, деленной на 4;
- сигнал переполнения таймера 0;
- сигнал от внешнего входа тактирования (ECI – external clock input).

Каждый модуль захват/сравнение может быть настроен на работу в одном из четырех режимов:

- захват, управляемый фронтом (сигнала);
- программный таймер;
- высоко скоростной выход;
- широтно-импульсный модулятор.

Входы/выходы модулей захват/сравнение ПМС и внешний вход тактирования (ECI) соединены с портами ввода/вывода МК через цифровую коммутирующую матрицу.

Рисунок 1.9. Структурная схема модуля ПМС



1.6. Последовательные порты

В МК семейства C8051F000 встроены следующие последовательные интерфейсы:

- полнодуплексный УАПП;
- SPI;
- I2C/SMBus.

Каждый из этих интерфейсов реализован на аппаратном уровне и широко использует прерывания, требуя лишь незначительного вмешательства со стороны программы пользователя. Эти интерфейсы не имеют общих ресурсов, таких как таймеры, прерывания или порты ввода/вывода, поэтому все они могут использоваться одновременно.

1.7. Аналого-цифровой преобразователь

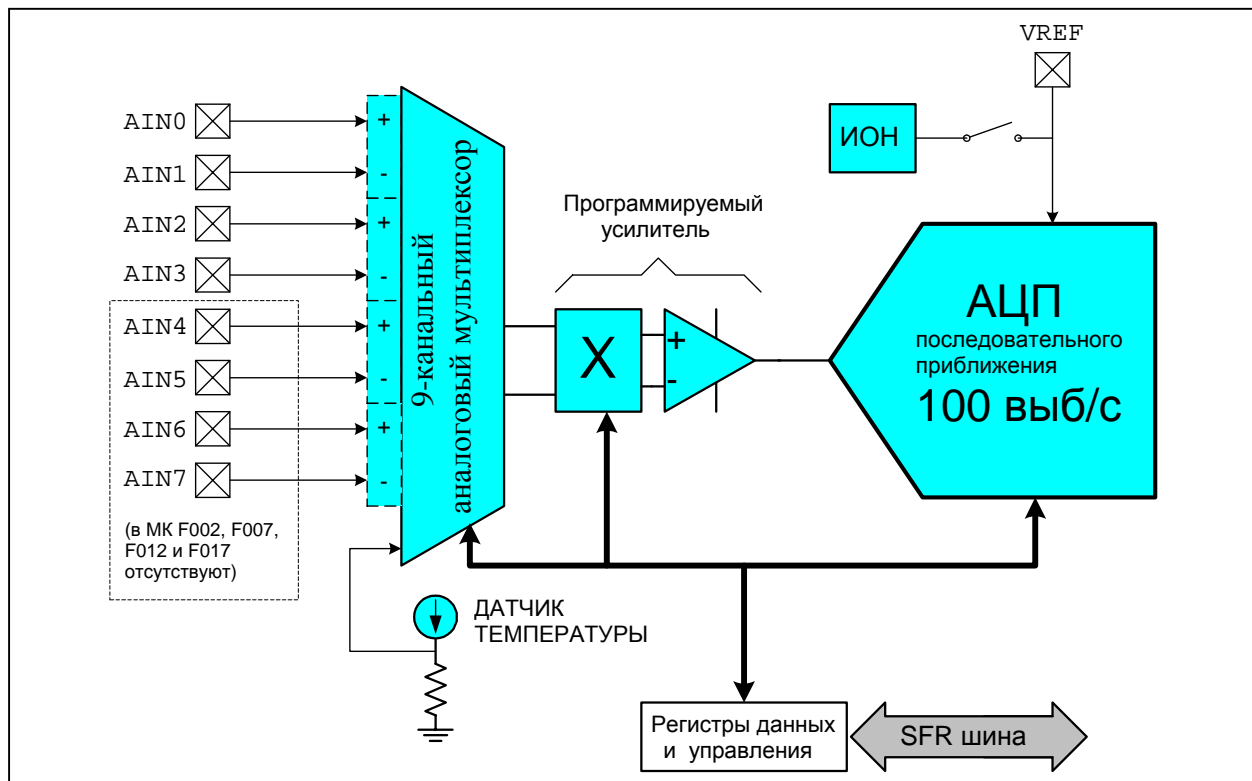
МК C8051F000/1/2/5/6/7 имеют встроенный 12-разрядный АЦП последовательного приближения с 9-канальным входным мультиплексором и программируемым усилителем. При максимальной производительности 100 тыс. преобразований в секунду АЦП обеспечивает нелинейность на уровне $\pm 1\text{МЗР}$. МК C8051F010/1/2/5/6/7 имеют аналогичный АЦП, но 10-разрядный. Максимальная производительность каждого АЦП – 100 тыс. преобр./сек. Нелинейность АЦП - $\pm 1\text{МЗР}$, что обеспечивает 12-битную точность преобразования для МК C8051F00х, и 10-битную – для МК C8051F01х. Для АЦП можно использовать внутренний источник опорного напряжения (0,0015%/°C) или внешний, подключенный к выводу VREF.

Управление АЦП осуществляется при помощи регистров специального назначения. Один входной канал подключен к внутреннему датчику температуры, остальные восемь каналов доступны извне. Каждая пара из восьми внешних входных каналов может быть настроена как два одиночных входа или как один дифференциальный вход. Имеется возможность отключения АЦП с целью уменьшения энергопотребления.

Усилитель с программируемым коэффициентом усиления подключен к выходу аналогового мультиплексора. Усилитель может быть крайне полезен, когда сигналы на разных входных каналах АЦП сильно отличаются друг от друга, либо когда необходимо оценить сигнал с большим смещением постоянной составляющей (в дифференциальном режиме для формирования напряжения смещения постоянной составляющей может использоваться ЦАП).

Преобразование может быть запущено четырьмя способами: командой в программе, при переполнении таймера 2, при переполнении таймера 3 или внешним входным сигналом. Такая гибкость позволяет запускать преобразование при возникновении определенных программных событий, по сигналам от внешних устройств или преобразовывать непрерывно. По окончании преобразования инициируется прерывание, после чего полученное 10- или 12-разрядное слово данных АЦП записывается в два регистра специального назначения (для определения окончания преобразования можно также опрашивать специальный бит состояния). АЦП может быть настроен таким образом, чтобы генерировать прерывание лишь при попадании результата преобразования в заданный диапазон значений (окно). АЦП может непрерывно отслеживать сигнал в фоновом режиме, но не прерывать МК до тех пор, пока преобразованные данные находятся в пределах заданного окна.

Рисунок 1.10. Структурная схема АЦП



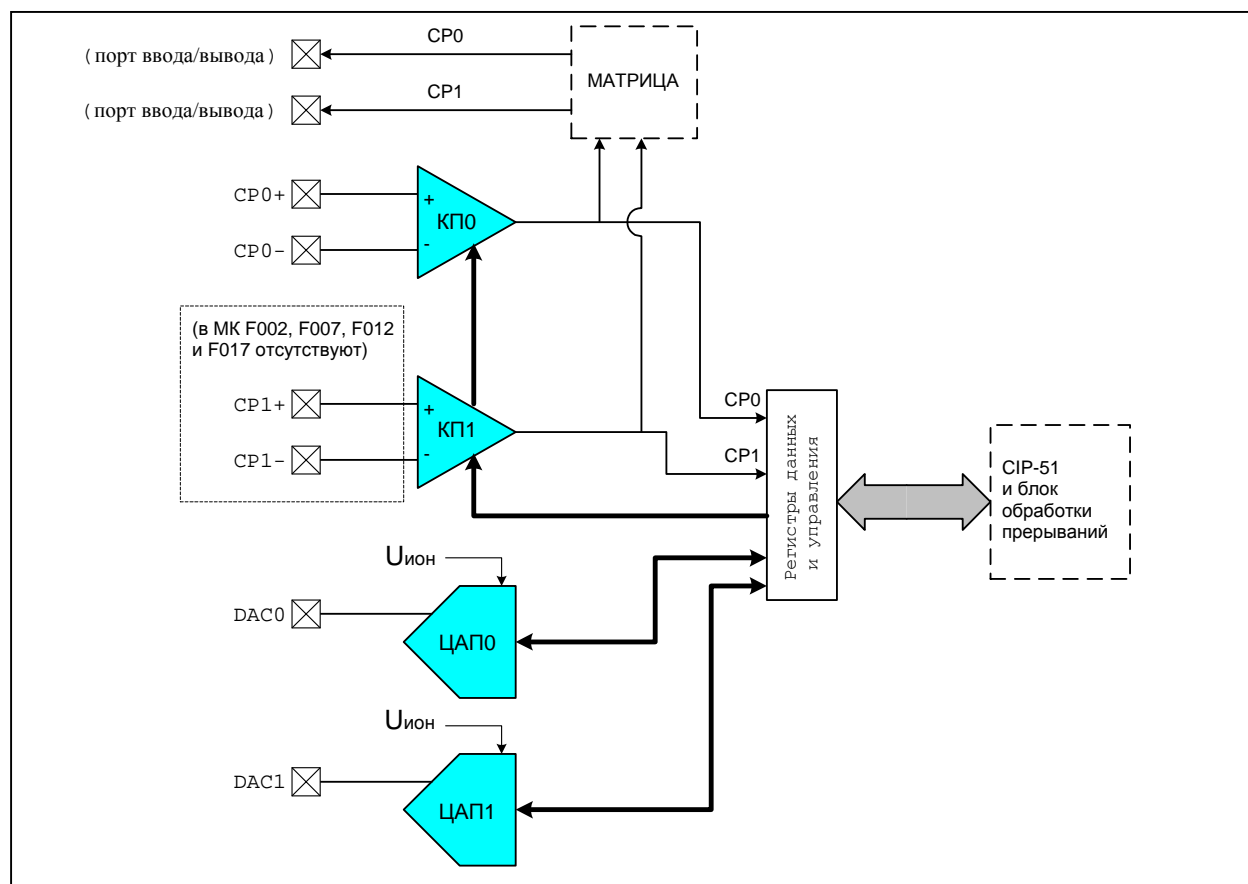
1.8. Компараторы и ЦАП

МК семейства C8051F000 имеют два 12-разрядных ЦАП и два компаратора (второй компаратор, КП1, отсутствует в МК F002, F007, F012, и F017). Управление каждым компаратором и ЦАП осуществляется через регистры специального назначения. Любой компаратор или ЦАП может быть переведен в режим пониженного энергопотребления.

Компараторы имеют программируемый гистерезис. Каждый компаратор может генерировать прерывание по переднему или заднему фронту петли гистерезиса, либо по обоим фронтам. Возможен программный опрос выходов компараторов. Выходы компараторов подключаются к портам ввода/вывода через коммутирующую матрицу.

ЦАП используют тот же источник опорного напряжения, что и АЦП. Выходным сигналом ЦАП является напряжение. ЦАП удобно использовать для формирования порогового напряжения компаратора или напряжения смещения дифференциальных входов АЦП.

Рисунок 1.11. Структурная схема компараторов и ЦАП



2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ*

Предельная рабочая температура.....от -55°C до +125°C
 Температура хранения.....от -65°C до +150°C
 Напряжение на любом выводе (кроме Vdd и портов ввода/вывода)
 относительно DGND.....от -0.3В до (VDD + 0.3В)
 Напряжение на любом выводе портов ввода/вывода или на выводе
 /RST относительно DGND.....от -0.3В до 5.8В
 Напряжение на выводе VDD относительно DGND.....от -0.3В до 4.2В
 Максимальный суммарный ток выводов VDD, AV+, DGND и AGND.....800мА
 Максимальный выходной втекающий ток любого канала портов ввода/вывода.....100мА
 Максимальный выходной втекающий ток любого другого вывода.....25мА
 Максимальный выходной вытекающий ток любого канала портов ввода/вывода.....100мА
 Максимальный выходной вытекающий ток любого другого вывода.....25мА

*Примечание: Выход за указанные значения может привести к необратимым повреждениям микроконтроллера. Работа микроконтроллера в предельном режиме в течение длительного времени не предусмотрена. Длительная эксплуатация микроконтроллера в недопустимых условиях может повлиять на его надежность.

3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

Температура от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Напряжение источника питания аналоговых цепей	(Примечание 1)	2.7	3.0	3.6	В
Ток потребления от источника питания аналоговых цепей	Внутренние ИОН, АЦП, ЦАП, компараторы включены		1	2	мА
Ток потребления от источника питания аналоговых цепей при отключенных аналоговых модулях	Внутренние ИОН, АЦП, ЦАП, компараторы отключены, генератор отключен		5	20	мкА
Разность между напряжениями питания аналоговых и цифровых цепей (VDD – AV+)				0.5	В
Напряжение питания цифровых цепей		2.7	3.0	3.6	В
Ток потребления от источника питания цифровых цепей в основном режиме работы	VDD = 2.7В, Частота = 25 МГц VDD = 2.7В, Частота = 1 МГц VDD = 2.7В, Частота = 32 кГц		12.5 0.5 10		мА мА мкА
Ток потребления от источника питания цифровых цепей в режиме пониженного энергопотребления	Генератор не работает		5		мкА
Напряжение сохранения данных ОЗУ			1.5		В
Рабочая температура		-40		+85	°C

Примечание 1: При напряжении питания аналоговых цепей AV+ менее 1В схема слежения за напряжением питания не работает.

4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ

Таблица 4.1. Описание выводов

Обоз- начение вывода	Номер вывода			Тип	Описание
	F000 F005 F010 F015	F001 F006 F011 F016	F002 F007 F012 F017		
VDD	31, 40, 62	23, 32	18, 20		Положительное напряжение питания цифровых цепей
DGND	30, 41, 61	22, 33, 27, 19	17, 21		Общий вывод питания цифровых цепей
AV+	16, 17	13, 43	9, 29		Положительное напряжение питания аналоговых цепей
AGND	5, 15	44, 12	8, 30		Общий вывод питания аналоговых цепей
TCK	22	18	14	D In	JTAG: тактовый вход с внутренним подтягивающим резистором
TMS	21	17	13	D In	JTAG: вход выбора режима с внутренним подтягивающим резистором
TDI	28	20	15	D In	JTAG: вход данных с внутренним подтягивающим резистором. Данные стробируются по переднему фронту сигнала TCK
TDO	29	21	16	D Out	JTAG: выход данных (трех стабильный) с внутренним подтягивающим резистором. Данные выдаются на выход TDO по заднему фронту сигнала TCK
XTAL1	18	14	10	A In	Вход генератора/Вход внешнего тактового сигнала
XTAL2	19	15	11	A Out	Выход генератора. Подключается кварцевый или керамический резонатор
/RST	20	16	12	D I/O	Сброс МК. Выход с открытым стоком внутренней схемы слежения за напряжением питания. Устанавливается в низкий логический уровень при Vdd < 2,7В. Внешний источник может вызвать сброс МК, установив низкий логический уровень на этом выводе.
VREF	6	3	3	A I/O	Вход внешнего опорного напряжения/Выход внутреннего опорного напряжения
CP0+	4	2	2	A In	Не инвертирующий вход компаратора 0
CP0-	3	1	1	A In	Инвертирующий вход компаратора 0
CP1+	2	45		A In	Не инвертирующий вход компаратора 1
CP1-	1	46		A In	Инвертирующий вход компаратора 1
DAC0	64	48	32	A Out	Выход ЦАП0
DAC1	63	47	31	A Out	Выход ЦАП1
AIN0	7	4	4	A In	Входной канал 0 аналогового мультиплексора
AIN1	8	5	5	A In	Входной канал 1 аналогового мультиплексора
AIN2	9	6	6	A In	Входной канал 2 аналогового мультиплексора
AIN3	10	7	7	A In	Входной канал 3 аналогового мультиплексора
AIN4	11	8		A In	Входной канал 4 аналогового мультиплексора
AIN5	12	9		A In	Входной канал 5 аналогового мультиплексора

Таблица 4.1. Описание выводов (продолжение)

Обоз- начение вывода	Номер вывода			Тип	Описание
	F000 F005 F010 F015	F001 F006 F011 F016	F002 F007 F012 F017		
AIN6	13	10		A In	Входной канал 6 аналогового мультиплексора
AIN7	14	11		A In	Входной канал 7 аналогового мультиплексора
P0.0	39	31	19	D I/O	Бит 0 порта 0
P0.1	42	34	22	D I/O	Бит 1 порта 0
P0.2	47	35	23	D I/O	Бит 2 порта 0
P0.3	48	36	24	D I/O	Бит 3 порта 0
P0.4	49	37	25	D I/O	Бит 4 порта 0
P0.5	50	38	26	D I/O	Бит 5 порта 0
P0.6	55	39	27	D I/O	Бит 6 порта 0
P0.7	56	40	28	D I/O	Бит 7 порта 0
P1.0	38	30		D I/O	Бит 0 порта 1
P1.1	37	29		D I/O	Бит 1 порта 1
P1.2	36	28		D I/O	Бит 2 порта 1
P1.3	35	26		D I/O	Бит 3 порта 1
P1.4	34	25		D I/O	Бит 4 порта 1
P1.5	32	24		D I/O	Бит 5 порта 1
P1.6	60	42		D I/O	Бит 6 порта 1
P1.7	59	41		D I/O	Бит 7 порта 1
P2.0	33			D I/O	Бит 0 порта 2
P2.1	27			D I/O	Бит 1 порта 2
P2.2	54			D I/O	Бит 2 порта 2
P2.3	53			D I/O	Бит 3 порта 2
P2.4	52			D I/O	Бит 4 порта 2
P2.5	51			D I/O	Бит 5 порта 2
P2.6	44			D I/O	Бит 6 порта 2
P2.7	43			D I/O	Бит 7 порта 2
P3.0	26			D I/O	Бит 0 порта 3
P3.1	25			D I/O	Бит 1 порта 3
P3.2	24			D I/O	Бит 2 порта 3
P3.3	23			D I/O	Бит 3 порта 3
P3.4	58			D I/O	Бит 4 порта 3
P3.5	57			D I/O	Бит 5 порта 3
P3.6	46			D I/O	Бит 6 порта 3
P3.7	45			D I/O	Бит 7 порта 3

Рисунок 4.1. Цоколевка корпуса TQFP-64

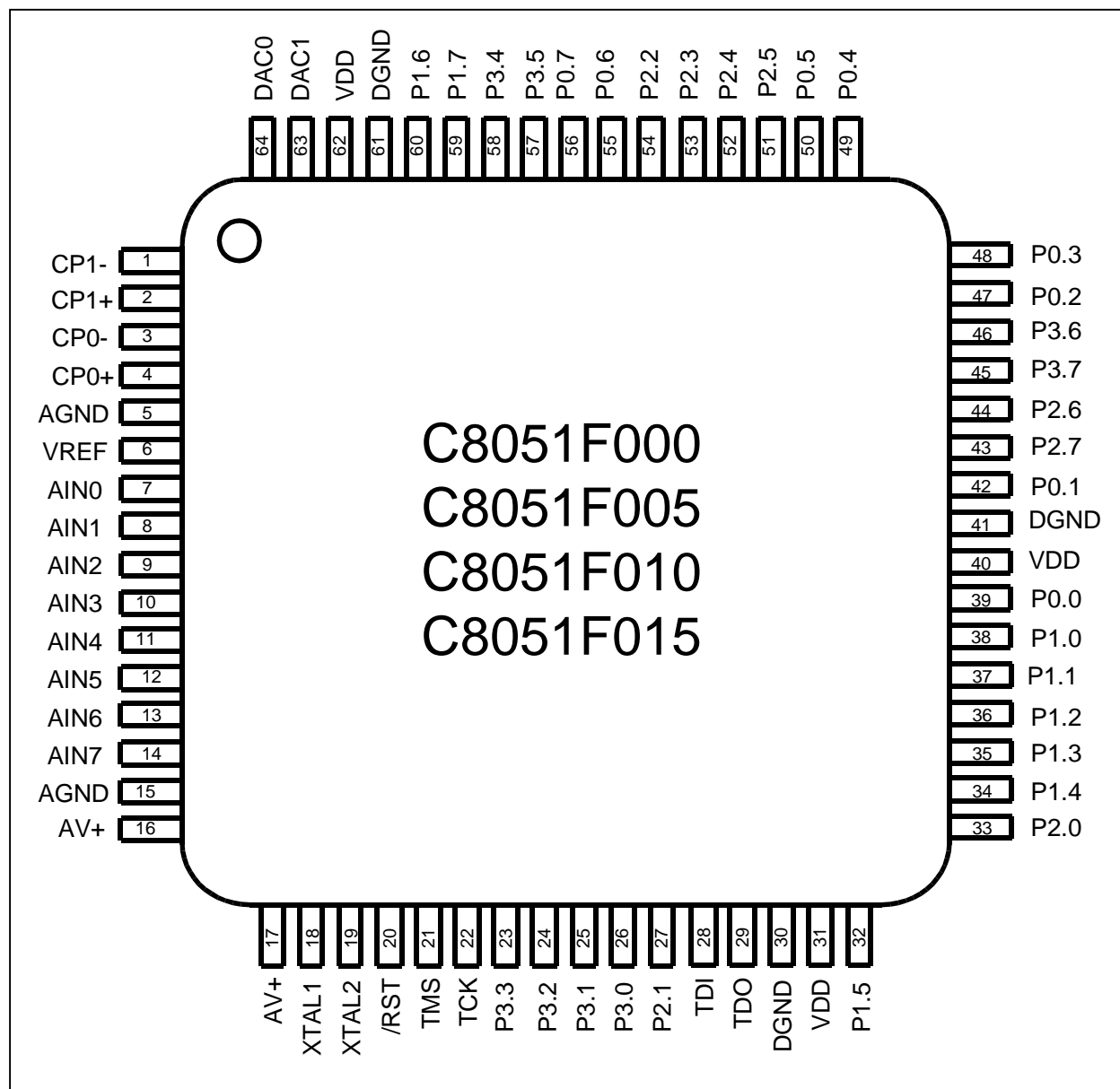


Рисунок 4.2. Чертеж корпуса TQFP-64

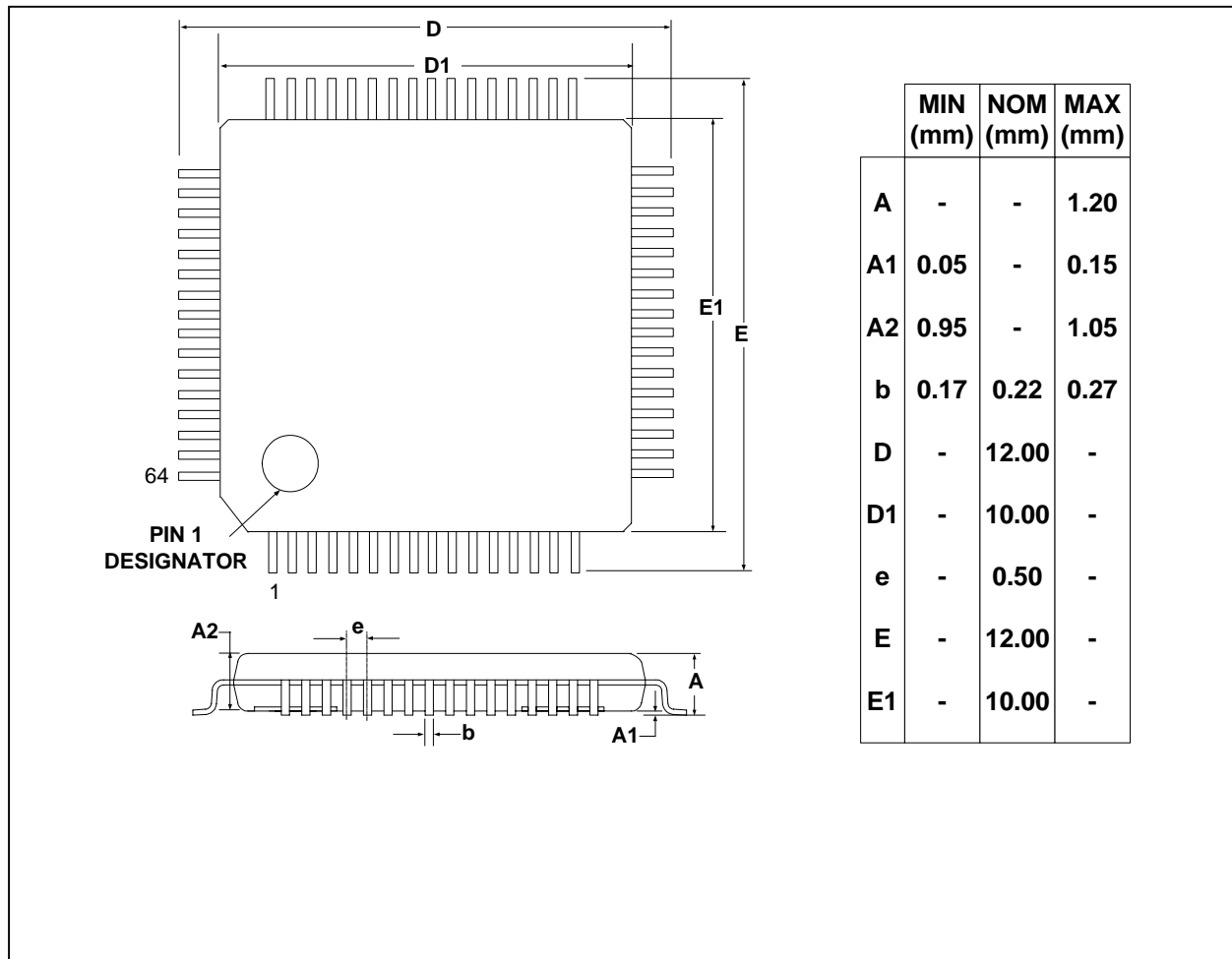


Рисунок 4.3. Цоколевка корпуса TQFP-48

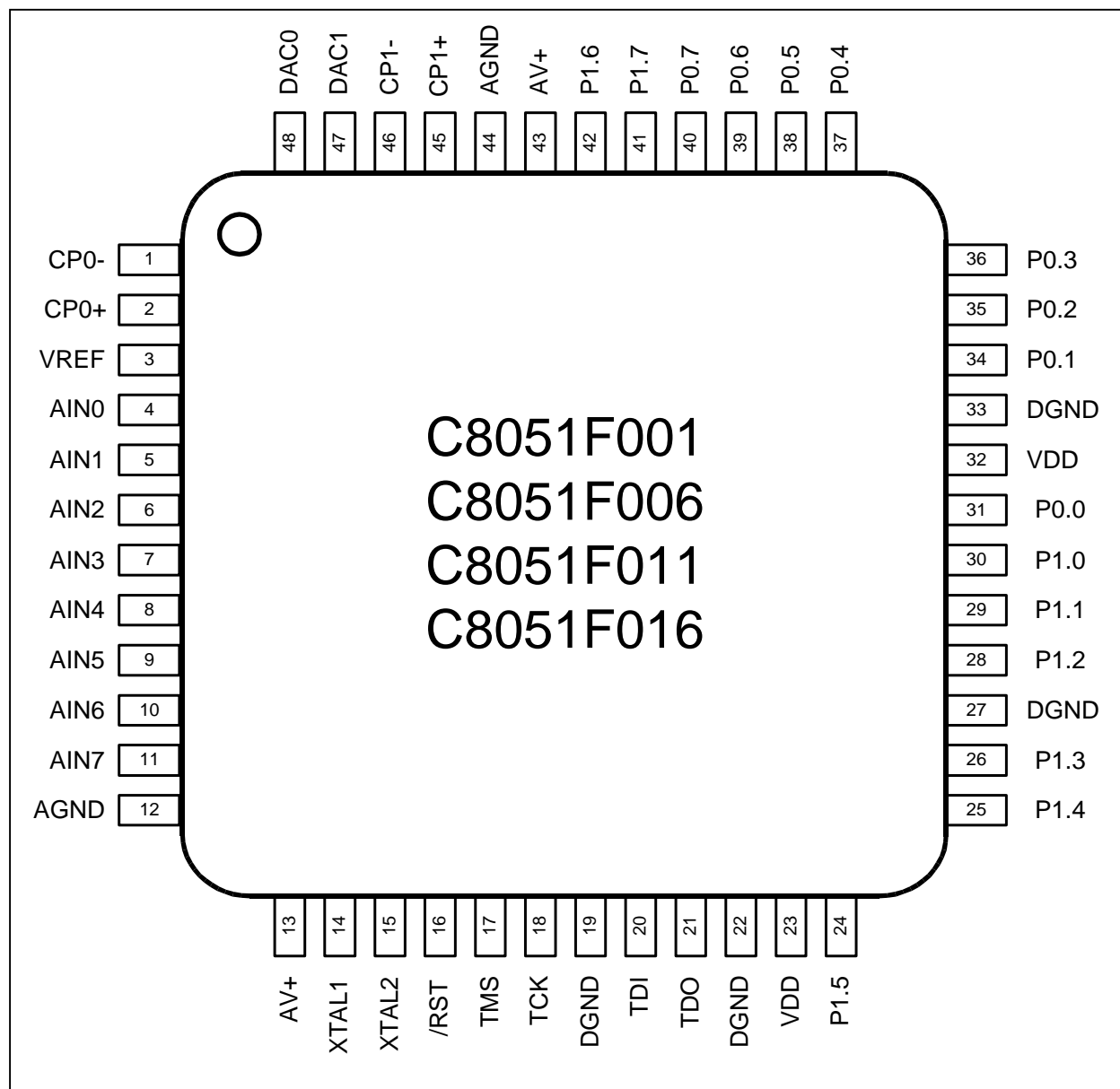


Рисунок 4.4. Чертеж корпуса TQFP-48

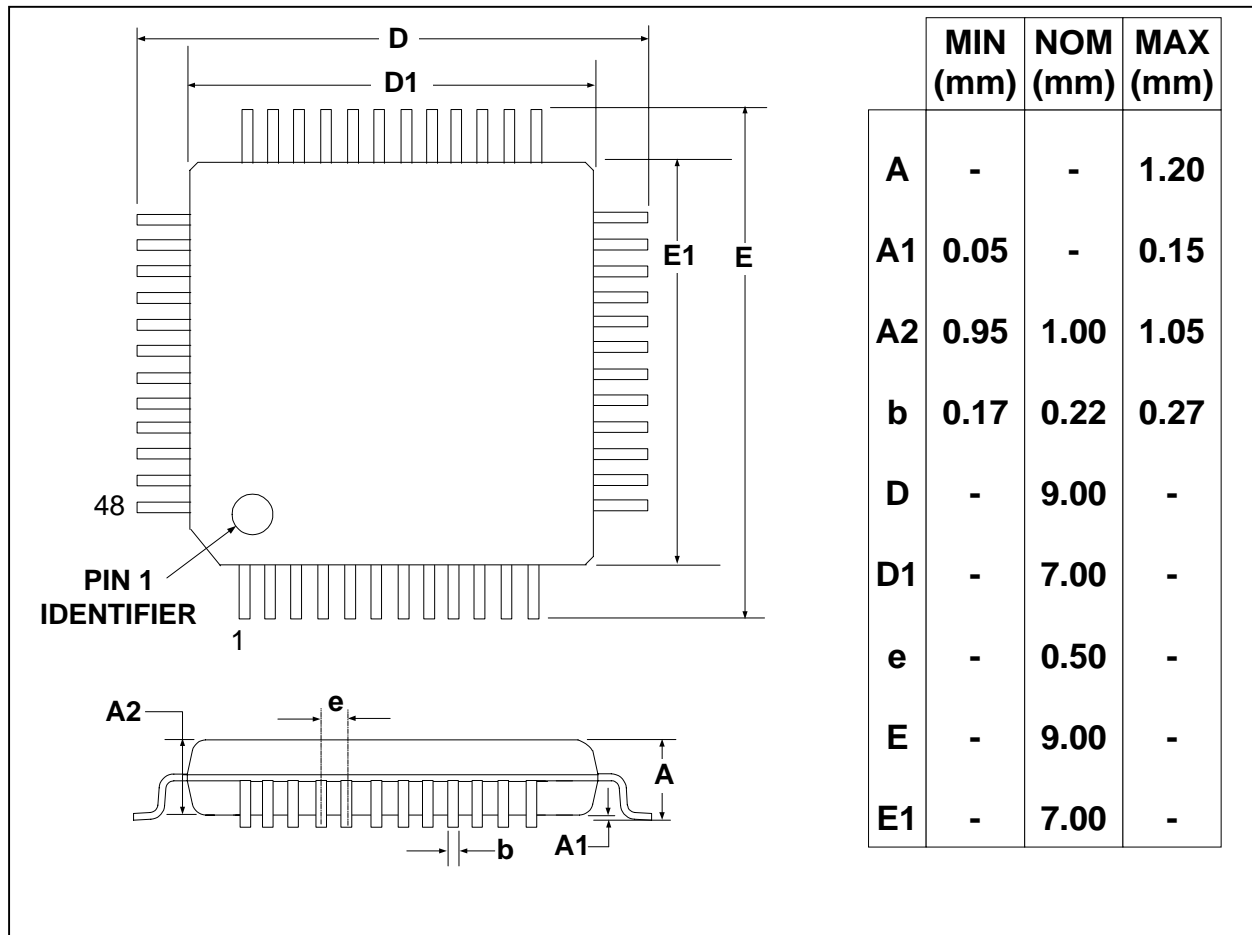


Рисунок 4.5. Цоколевка корпуса LQFP-32

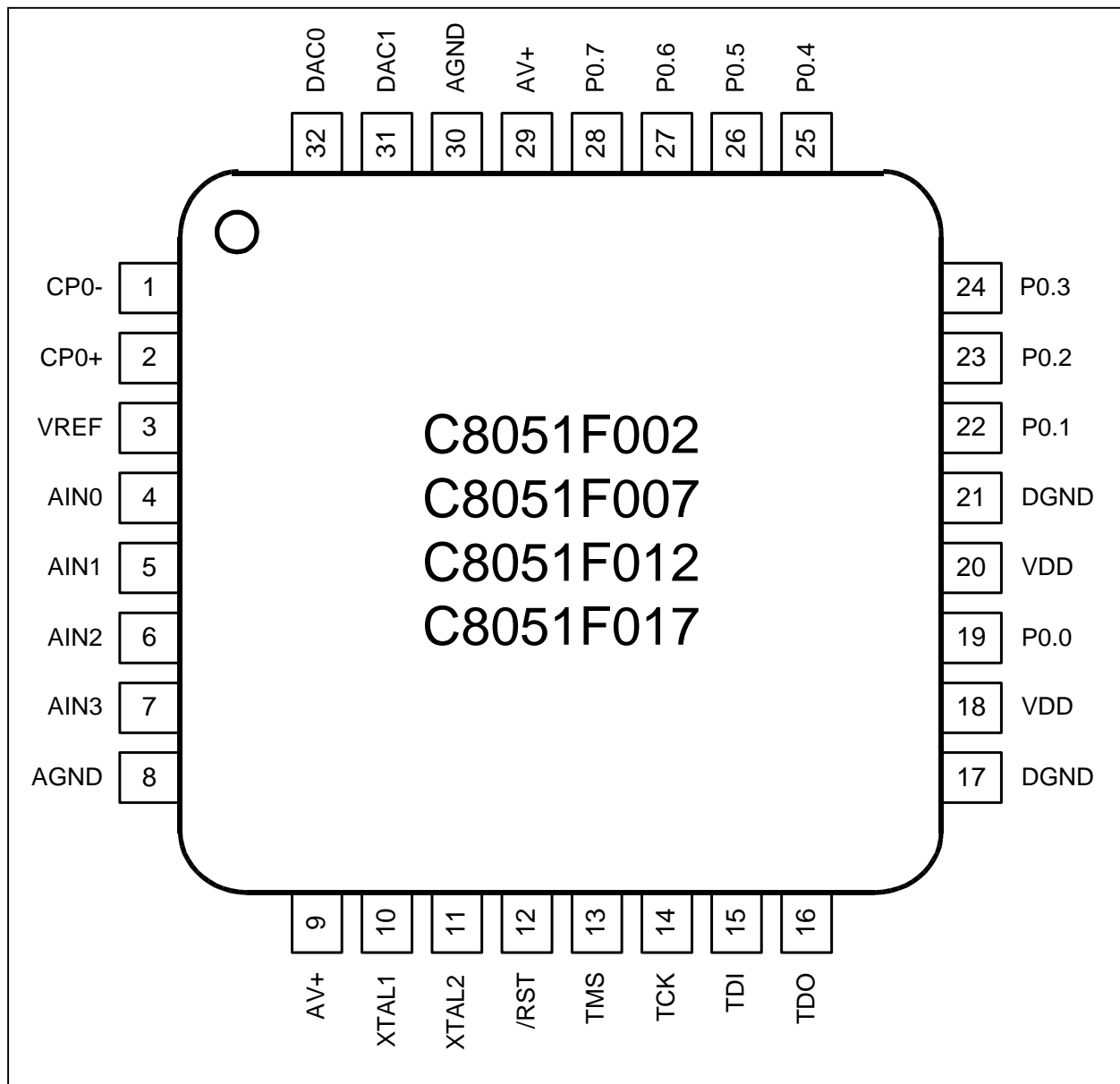
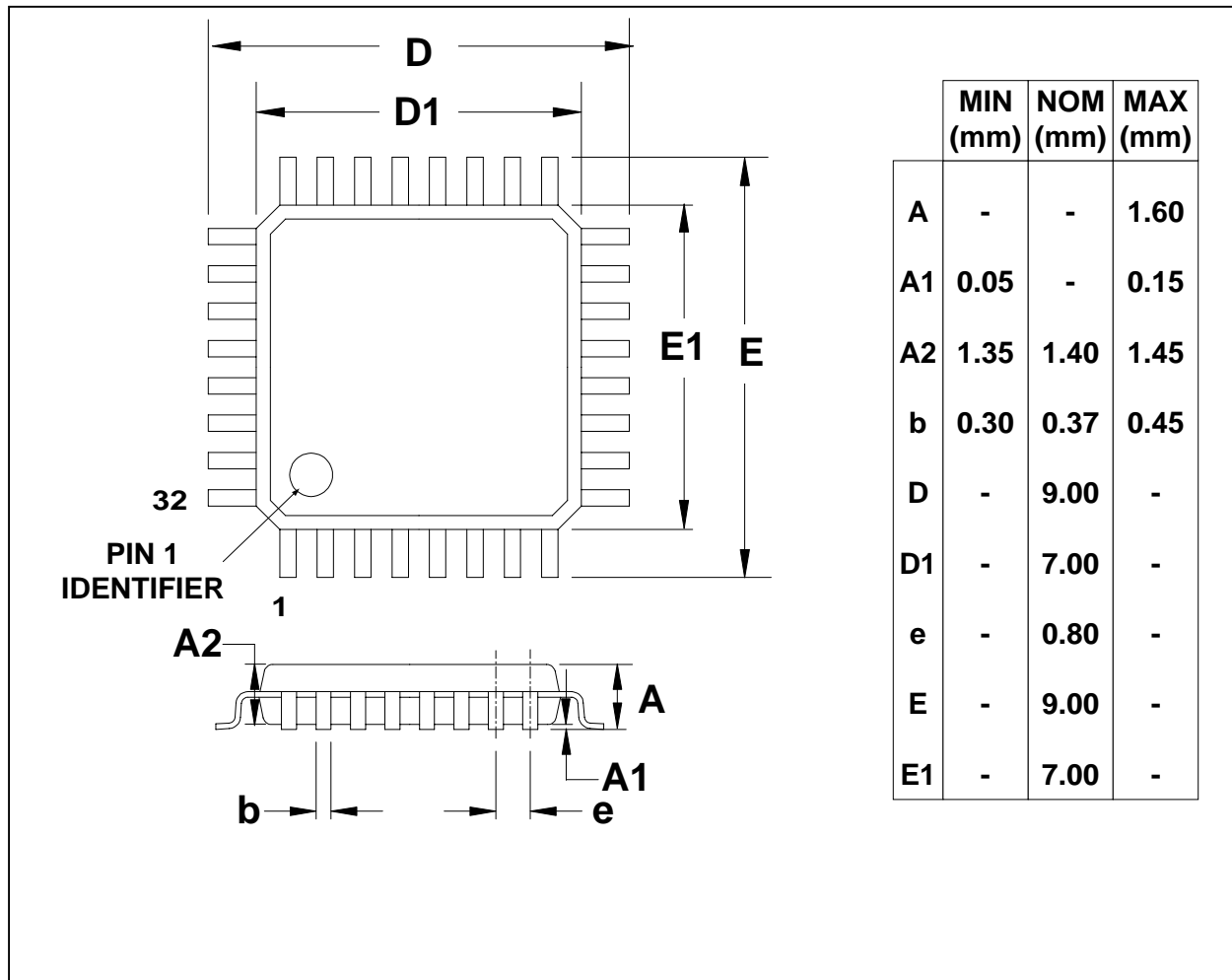


Рисунок 4.6. Чертеж корпуса LQFP-32



Модуль АЦП МК C8051F000/1/2/5/6/7 состоит из 9-канального программируемого аналогового мультиплексора (AMUX), программируемого усилителя (PGA), 12-разрядного АЦП последовательного приближения с производительностью до 100 тыс. преобразований в секунду, устройства выборки-хранения (VBX) и программируемого детектора диапазона (см. рис.5.1). AMUX, PGA, режимы преобразования и детектор диапазона настраиваются программным путем при помощи регистров специального назначения (см. рис. 5.1). Модуль АЦП (АЦП, VBX и PGA) включен только тогда, когда бит ADCEN регистра управления АЦП ADC0CN (см. рис. 5.7) установлен в 1. Сброс этого бита в 0 переводит АЦП в режим пониженного энергопотребления. Чтобы подать смещение на АЦП, необходимо установить в 1 бит разрешения смещения (BIASE) в регистре REF0CN (см. рис. 9.2).

The diagram illustrates the internal architecture of the ADC module. It features a 9-channel analog multiplexer at the input, which can be configured to accept signals from eight external inputs (AIN0 to AIN7) or a temperature sensor (ДАТЧИК ТЕМПЕРАТУРЫ). The selected input is fed into a 12-bit successive approximation converter (АЦП последовательного приближения). This converter is controlled by the ADCEN signal and provides feedback to the AV+ input. The output of the converter is a 12-bit digital value, which is then processed by a 24-bit combinatorial logic block (КОМБ. ЛОГИКА) to produce the final 24-bit digital output (ADWINT). The module also includes several control and status registers: AMX0CF (Analog Multiplexer Configuration), AMX0SL (Analog Multiplexer Selection), ADC0CF (ADC Configuration), and ADC0CN (ADC Control and Status). These registers are used to configure the module's operation, including setting the reference voltage (REF), the conversion clock (SYSCLK), and the conversion mode (continuous or single-shot).

Восемь каналов АЦП могут использоваться для измерения внешних сигналов, девятый канал подключен к внутреннему датчику температуры (передаточная характеристика датчика температуры показана на рис. 5.3). Следует иметь в виду, что показания датчика температуры считываются через PGA. Каждая пара входов AMUX могут быть запрограммированы на работу в одиночном или дифференциальном режимах. Это позволяет пользователю выбрать наиболее подходящий режим измерения, и даже производить изменение режимов “на лету”. При сбросе все каналы AMUX настраиваются как одиночные входы. Для управления AMUX используются два регистра: регистр выбора канала AMX0SL (см. рис. 5.3) и регистр конфигурации AMX0CF (см. рис. 5.4). В таблице на рис. 5.5 приведены все возможные комбинации режимов работы каналов AMUX. PGA усиливает выходной сигнал AMUX с коэффициентом усиления, определяемым битами AMPGN2-0 регистра управления АЦП ADC0CF (см. рис. 5.6). Коэффициент усиления может быть программно выбран из следующего ряда значений: 0,5, 1 (устанавливается при сбросе), 2, 4, 8, 16.

5.2. Режимы работы АЦП

Т.к. АЦП использует ИОН для определения диапазона изменения напряжения, то ИОН должен быть правильно настроен до начала преобразования (см. раздел 9). Максимальная скорость преобразования АЦП – 100 тыс. преобразований в секунду. Частота тактирования модуля АЦП определяется системной тактовой частотой. Скорость преобразования может быть уменьшена в 2, 4, 8 или 16 раз соответствующей установкой битов ADCSC в регистре ADC0CF, что позволяет устанавливать необходимую скорость преобразования при различных системных тактовых частотах.

Запуск преобразования может быть осуществлен одним из четырех способов, в зависимости от состояния битов режима запуска преобразования АЦП (ADSTM1, ADSTM0) в регистре ADC0CN. Преобразование может быть инициировано:

- 1) установкой в 1 бита ADBUSY в регистре ADC0CN;
- 2) переполнением Таймера 3 (т.е. синхронизированное по времени непрерывное преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CNVSTR);
- 4) переполнением Таймера 2 (т.е. синхронизированное по времени непрерывное преобразование).

Установка в 1 бита ADBUSY обеспечивает программное управление модулем АЦП, при котором преобразования выполняются “по требованию”. После окончания преобразования бит ADBUSY сбрасывается в 0, при этом инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания в регистре ADC0CN. Преобразованные данные доступны в регистрах старшего и младшего слова данных АЦП, ADC0H и ADC0L соответственно. В регистровой паре ADC0H:ADC0L преобразованные данные могут быть выровнены либо вправо, либо влево (см. пример на рис. 5.9) в зависимости от состояния бита ADLJST в регистре ADC0CN.

Бит ADCTM регистра ADC0CN управляет режимом выборки-хранения АЦП. По умолчанию состояние входа АЦП отслеживается непрерывно, за исключением момента преобразования. Установка в 1 бита ADCTM позволяет задать один из четырех энергосберегающих режимов выборки-хранения, выбранный битами ADSTM1-0 регистра ADC0CN:

- 1) слежение начинается в момент установки в 1 бита ADBUSY и длится 3 периода сигнала тактирования модуля АЦП;
- 2) слежение начинается при переполнении Таймера 3 и длится 3 периода сигнала тактирования модуля АЦП;
- 3) слежение происходит лишь при низком уровне сигнала на входе CNVSTR;
- 4) слежение начинается при переполнении Таймера 2 и длится 3 периода сигнала тактирования модуля АЦП.

Режимы 1, 2 и 4 используются, когда запуск преобразования инициируется командой из программы или когда АЦП работает непрерывно. Режим 3 используется, когда запуск преобразования инициируется сигналом от внешнего источника. В этом случае UBХ работает в энергосберегающем режиме все время, пока на входе CNVSTR присутствует сигнал высокого уровня. Также слежение может быть запрещено (отключено), когда весь МК переведен в мало потребляющие режимы ожидания или сна.

Рисунок 5.2. Временные диаграммы процесса преобразования



Рисунок 5.3. Передаточная характеристика датчика температуры

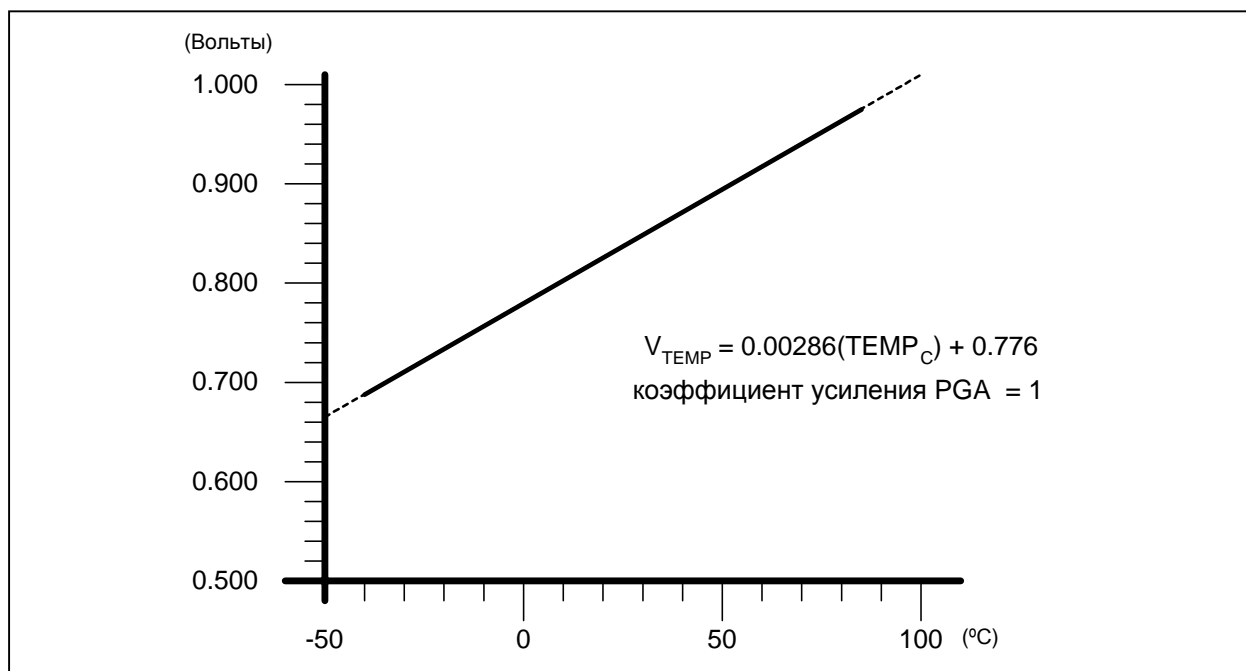


Рисунок 5.4. AMX0CF: Регистр конфигурации AMUX (C8051F00x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	AIN67IC	AIN45IC	AIN23IC	AIN01IC	00000000
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Адрес: 0xBA

Биты 7-4: **Не используются:** читаются как '0'.

Бит 3: AIN67IC: Бит конфигурации пары входов AIN6, AIN7
0: AIN6 и AIN7 – независимые одиночные входы
1: AIN6 и AIN7 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 2: AIN45IC: Бит конфигурации пары входов AIN4, AIN5
0: AIN4 и AIN5 – независимые одиночные входы
1: AIN4 и AIN5 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 1: AIN23IC: Бит конфигурации пары входов AIN2, AIN3
0: AIN2 и AIN3 – независимые одиночные входы
1: AIN2 и AIN3 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 0: AIN01IC: Бит конфигурации пары входов AIN0, AIN1
0: AIN0 и AIN1 – независимые одиночные входы
1: AIN0 и AIN1 – пара дифференциальных входов ('+' и '-' соответственно)

Примечание: Для каналов, настроенных как дифференциальные, слово данных АЦП представляет собой число в дополнительном формате.

Рисунок 5.5. AMX0SL: Регистр выбора канала AMUX (C8051F00х)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	-	-	AMXAD3	AMXAD2	AMXAD1	AMXAD0	SFR Адрес: 0хBB
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-4: **Не используются:** читаются как '0'.

Биты 3-0: AMXAD3-0: Биты адреса AMUX

0000-1111: Каналы АЦП выбираются в соответствии со следующей таблицей:

		Биты 3-0 регистра AMXAD								
		0000	0001	0010	0011	0100	0101	0110	0111	
Биты 3-0 регистра AMX0CF	0000	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	датчик темпер-ры
	0001	+(AIN0) -(AIN1)		AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	датчик темпер-ры
	0010	AIN0	AIN1	+(AIN2) -(AIN3)		AIN4	AIN5	AIN6	AIN7	датчик темпер-ры
	0011	+(AIN0) -(AIN1)		+(AIN2) -(AIN3)		AIN4	AIN5	AIN6	AIN7	датчик темпер-ры
	0100	AIN0	AIN1	AIN2	AIN3	+(AIN4) -(AIN5)		AIN6	AIN7	датчик темпер-ры
	0101	+(AIN0) -(AIN1)		AIN2	AIN3	+(AIN4) -(AIN5)		AIN6	AIN7	датчик темпер-ры
	0110	AIN0	AIN1	+(AIN2) -(AIN3)		+(AIN4) -(AIN5)		AIN6	AIN7	датчик темпер-ры
	0111	+(AIN0) -(AIN1)		+(AIN2) -(AIN3)		+(AIN4) -(AIN5)		AIN6	AIN7	датчик темпер-ры
	1000	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	+(AIN6) -(AIN7)		датчик темпер-ры
	1001	+(AIN0) -(AIN1)		AIN2	AIN3	AIN4	AIN5	+(AIN6) -(AIN7)		датчик темпер-ры
	1010	AIN0	AIN1	+(AIN2) -(AIN3)		AIN4	AIN5	+(AIN6) -(AIN7)		датчик темпер-ры
	1011	+(AIN0) -(AIN1)		+(AIN2) -(AIN3)		AIN4	AIN5	+(AIN6) -(AIN7)		датчик темпер-ры
	1100	AIN0	AIN1	AIN2	AIN3	+(AIN4) -(AIN5)		+(AIN6) -(AIN7)		датчик темпер-ры
	1101	+(AIN0) -(AIN1)		AIN2	AIN3	+(AIN4) -(AIN5)		+(AIN6) -(AIN7)		датчик темпер-ры
	1110	AIN0	AIN1	+(AIN2) -(AIN3)		+(AIN4) -(AIN5)		+(AIN6) -(AIN7)		датчик темпер-ры
	1111	+(AIN0) -(AIN1)		+(AIN2) -(AIN3)		+(AIN4) -(AIN5)		+(AIN6) -(AIN7)		датчик темпер-ры

Рисунок 5.6. ADC0CF: Регистр конфигурации АЦП (C8051F00x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ADCSC2	ADCSC1	ADCSC0	-	-	AMPGN2	AMPGN1	AMPGN0	01100000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBC

Биты 7-5: ADCSC2-0: Биты установки тактового сигнала модуля АЦП
 000: Частота тактирования АЦП равна системной частоте
 001: Частота тактирования АЦП равна 1/2 системной частоты
 010: Частота тактирования АЦП равна 1/4 системной частоты
 011: Частота тактирования АЦП равна 1/8 системной частоты
 1xx: Частота тактирования АЦП равна 1/16 системной частоты
 (Примечание: Частота тактирования АЦП должна быть не более 2МГц)

Биты 4-3: **Не используются**; читаются как '0'.

Биты 2-0: AMPGN2-0: коэффициент усиления программируемого усилителя PGA
 000: коэффициент усиления = 1
 001: коэффициент усиления = 2
 010: коэффициент усиления = 4
 011: коэффициент усиления = 8
 10x: коэффициент усиления = 16
 11x: коэффициент усиления = 0.5

Рисунок 5.7. ADC0CN: Регистр управления АЦП (C8051F00x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
ADCEN	ADCTM	ADCINT	ADBUSY	ADSTM1	ADSTM0	ADWINT	ADLJST	SFR Адрес: 0xE8
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит7: ADCEN: Бит включения АЦП</p> <p>0: АЦП отключен. АЦП находится в режиме пониженного энергопотребления.</p> <p>1: АЦП включен. АЦП находится в активном режиме и готов к преобразованию данных.</p> <p>Бит 6: ADCTM: Бит установки режима слежения АЦП</p> <p>0: Когда АЦП включен, слежение осуществляется всегда, за исключением момента преобразования</p> <p>1: Режим слежения определяется битами ADSTM1-0</p> <p>ADSTM1-0:</p> <p>00: слежение начинается в момент установки в 1 бита ADBUSY и длится 3 периода сигнала тактирования модуля АЦП</p> <p>01: слежение начинается при переполнении Таймера 3 и длится 3 периода сигнала тактирования модуля АЦП</p> <p>10: слежение происходит лишь при низком уровне сигнала на входе CNVSTR</p> <p>11: слежение начинается при переполнении Таймера 2 и длится 3 периода сигнала тактирования модуля АЦП</p> <p>Бит 5: ADCINT: Флаг прерывания от модуля АЦП (сбрасывается программно)</p> <p>0: АЦП не закончил преобразование данных (с момента последнего обнуления этого флага)</p> <p>1: АЦП закончил преобразование данных</p> <p>Бит 4: ADBUSY: Бит занятости АЦП</p> <p>Чтение:</p> <p>0: Преобразование данных завершено или с момента сброса достоверные данные не получены.</p> <p>При аппаратном обнулении этого бита генерируется прерывание, если оно разрешено</p> <p>1: Идет процесс преобразования данных</p> <p>Запись</p> <p>0: Не вызывает никаких действий</p> <p>1: Запуск преобразования, если биты ADSTM1-0 = 00b</p> <p>Биты 3-2: ADSTM1-0: Биты режима запуска преобразования АЦП</p> <p>00: Запуск преобразования осуществляется установкой в 1 бита ADBUSY</p> <p>01: Запуск преобразования осуществляется при каждом переполнении Таймера 3</p> <p>10: Запуск преобразования осуществляется каждым нарастающим фронтом внешнего сигнала CNVSTR</p> <p>11: Запуск преобразования осуществляется при каждом переполнении Таймера 2</p> <p>Бит 1: ADWINT: Флаг прерывания от детектора диапазона АЦП (сбрасывается программно)</p> <p>0: Преобразованные данные не соответствуют заданному диапазону</p> <p>1: Преобразованные данные соответствуют заданному диапазону</p> <p>Бит 0: ADLJST: Бит выравнивания результата преобразования</p> <p>0: Данные в регистровой паре ADC0H:ADC0L выровнены вправо</p> <p>1: Данные в регистровой паре ADC0H:ADC0L выровнены влево</p>								

Рисунок 5.8. ADC0H: Регистр старшего байта слова данных АЦП (C8051F00x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBF

Биты 7-0: Биты слова данных АЦП
 Для ADLJST = 1: Старшие 8 бит 12-разрядного слова данных АЦП.
 Для ADLJST = 0: Биты 7-4 являются знаковым расширением бита 3. Биты 3-0 представляют собой старшие 4 бита 12-разрядного слова данных АЦП.

Рисунок 5.9. ADC0L: Регистр младшего байта слова данных АЦП (C8051F00x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBE

Биты 7-0: Биты слова данных АЦП
 Для ADLJST = 1: Биты 7-4 представляют собой младшие 4 бита 12-разрядного слова данных АЦП. Биты 3-0 всегда читаются как '0'.
 Для ADLJST = 0: Младшие 8 бит 12-разрядного слова данных АЦП.

Примечание: 12-разрядный результат преобразования получается следующим образом:
 ADC0H[3:0]:ADC0L[7:0], если ADLJST = 0
 (в случае преобразования дифференциального сигнала биты ADC0H[7:4] будут знаковым расширением бита ADC0H.3, в случае одиночного сигнала ADC0H[7:4] = 0000b)
 ADC0H[7:0]:ADC0L[7:4], если ADLJST = 1
 (ADC0L[3:0] = 0000b)

Пример: Порядок записи результата преобразования, вход AIN0 работает в одиночном режиме (AMX0CF=0x00, AMX0SL=0x00)

AIN0 – AGND (Вольты)	ADC0H:ADC0L (ADLJST = 0)	ADC0H:ADC0L (ADLJST = 1)
Вион x (4095/4096)	0x0FFF	0xFF0
Вион x 1/2	0x0800	0x8000
Вион x (2047/4096)	0x07FF	0x7FF0
0	0x0000	0x0000

Пример: Порядок записи результата преобразования, входы AIN0-AIN1 работают в дифференциальном режиме (AMX0CF=0x01, AMX0SL=0x00)

AIN0 – AIN1 (Вольты)	ADC0H:ADC0L (ADLJST = 0)	ADC0H:ADC0L (ADLJST = 1)
Вион x (2047/2048)	0x07FF	0x7FF0
0	0x0000	0x0000
- Вион x (1/2048)	0xFFFF	0xFF0
- Вион	0xF800	0x8000

5.3. Программируемый детектор диапазона АЦП

Программируемый детектор диапазона АЦП очень полезен во многих приложениях. Он постоянно проверяет выходные данные АЦП на соответствие заданному пользователем диапазону значений и уведомляет систему при обнаружении несоответствия. Это особенно эффективно в управляемых прерываниями системах, т.к. позволяет уменьшить объем кода и улучшить производительность при одновременном уменьшении времени отклика системы. Флаг прерывания от детектора диапазона (бит ADWINT в регистре ADC0CN) можно использовать также в режиме программного опроса. Старшие и младшие байты граничных значений загружаются в регистры нижней и верхней границ диапазона АЦП (ADC0GTH, ADC0GTL, ADC0LTH и ADC0LTL). На рис. 5.14 и рис. 5.15 приведены примеры использования детектора диапазона. Следует отметить, что флаг прерывания от детектора диапазона может устанавливаться как при попадании, так и при непадании результата преобразования в заданный диапазон, в зависимости от значений, записанных в регистры ADC0GTx и ADC0LTx.

Рисунок 5.10. ADC0GTH: Регистр старшего байта нижней границы диапазона (C8051F00x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC5

Биты 7-0:
Старший байт нижней границы диапазона АЦП.

Рисунок 5.11. ADC0GTL: Регистр младшего байта нижней границы диапазона (C8051F00x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC4

Биты 7-0:
Младший байт нижней границы диапазона АЦП.
Определение:
Нижняя граница диапазона АЦП = ADC0GTH:ADC0GTL

Рисунок 5.12. ADC0LTH: Регистр старшего байта верхней границы диапазона (C8051F00x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC7

Биты 7-0:
Старший байт верхней границы диапазона АЦП.

Рисунок 5.13. ADC0LTL: Регистр младшего байта верхней границы диапазона (C8051F00x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC6

Биты 7-0:
Младший байт верхней границы диапазона АЦП.
Определение:
Верхняя граница диапазона АЦП = ADC0LTH:ADC0LTL

Рисунок 5.14. Примеры использования детектора диапазона (данные выровнены вправо)

Входное напряжение (AD0 - AGND)	Слово данных АЦП		Входное напряжение (AD0 - AGND)	Слово данных АЦП	
REF x (4095/4096)	0x0FFF	ADWINT не изменяется	REF x (4095/4096)	0x0FFF	ADWINT=1
	0x0201			0x0201	
REF x (512/4096)	0x0200	ADWINT=1	REF x (512/4096)	0x0200	ADC0GTH:ADC0GTL
	0x01FF			0x01FF	
	0x0101			0x0101	ADWINT не изменяется
REF x (256/4096)	0x0100	ADC0GTH:ADC0GTL	REF x (256/4096)	0x0100	ADC0LTH:ADC0LTL
	0x00FF	ADWINT не изменяется		0x00FF	ADWINT=1
0	0x0000		0	0x0000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, ADLJST = 0,
 ADC0LTH:ADC0LTL = 0x0200,
 ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x0200 и > 0x0100.

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, ADLJST = 0,
 ADC0LTH:ADC0LTL = 0x0100,
 ADC0GTH:ADC0GTL = 0x0200.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x0100 или > 0x0200.

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, ADLJST = 0,
 ADC0LTH:ADC0LTL = 0x0100,
 ADC0GTH:ADC0GTL = 0xFFFF.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x0100 и > 0xFFFF. (используется дополнительный код, т.е. 0xFFFF = -1.)

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, ADLJST = 0,
 ADC0LTH:ADC0LTH = 0xFFFF,
 ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0xFFFF или > 0x0100. (используется дополнительный код, т.е. 0xFFFF = -1.)

Рисунок 5.15. Примеры использования детектора диапазона (данные выровнены влево)

Входное напряжение (AD0 - AGND)	Слово данных АЦП		Входное напряжение (AD0 - AGND)	Слово данных АЦП	
REF x (4095/4096)	0xFFFF0	ADWINT не изменяется	REF x (4095/4096)	0xFFFF0	ADWINT=1
	0x2010			0x2010	
REF x (512/4096)	0x2000	ADC0LTH:ADC0LTL	REF x (512/4096)	0x2000	ADC0GTH:ADC0GTL
	0x1FF0	ADWINT=1		0x1FF0	ADWINT не изменяется
	0x1010			0x1010	
REF x (256/4096)	0x1000	ADC0GTH:ADC0GTL	REF x (256/4096)	0x1000	ADC0LTH:ADC0LTL
	0x0FF0	ADWINT не изменяется		0x0FF0	ADWINT=1
0	0x0000		0	0x0000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, ADLJST = 1,
ADC0LTH:ADC0LTL = 0x2000,
ADC0GTH:ADC0GTL = 0x1000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x2000 и > 0x1000.

Входное напряжение (AD0 - AD1)	Слово данных АЦП		Входное напряжение (AD0 - AD1)	Слово данных АЦП	
REF x (2047/2048)	0x7FF0	ADWINT не изменяется	REF x (2047/2048)	0x7FF0	ADWINT=1
	0x1010			0x1010	
REF x (256/2048)	0x1000	ADC0LTH:ADC0LTL	REF x (256/2048)	0x1000	ADC0GTH:ADC0GTL
	0x0FF0	ADWINT=1		0x0FF0	ADWINT не изменяется
	0x0000			0x0000	
REF x (-1/2048)	0xFFFF0	ADC0GTH:ADC0GTL	REF x (-1/2048)	0xFFFF0	ADC0LTH:ADC0LTL
	0xFFE0	ADWINT не изменяется		0xFFE0	ADWINT=1
-REF	0x8000		-REF	0x8000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, ADLJST = 1,
ADC0LTH:ADC0LTH = 0xFFFF0,
ADC0GTH:ADC0GTL = 0x1000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0xFFFF0 или > 0x1000. (используется дополнительный код, т.е. 0xFFFF = -1.)

Таблица 5.1. Электрические характеристики 12-разрядного АЦП

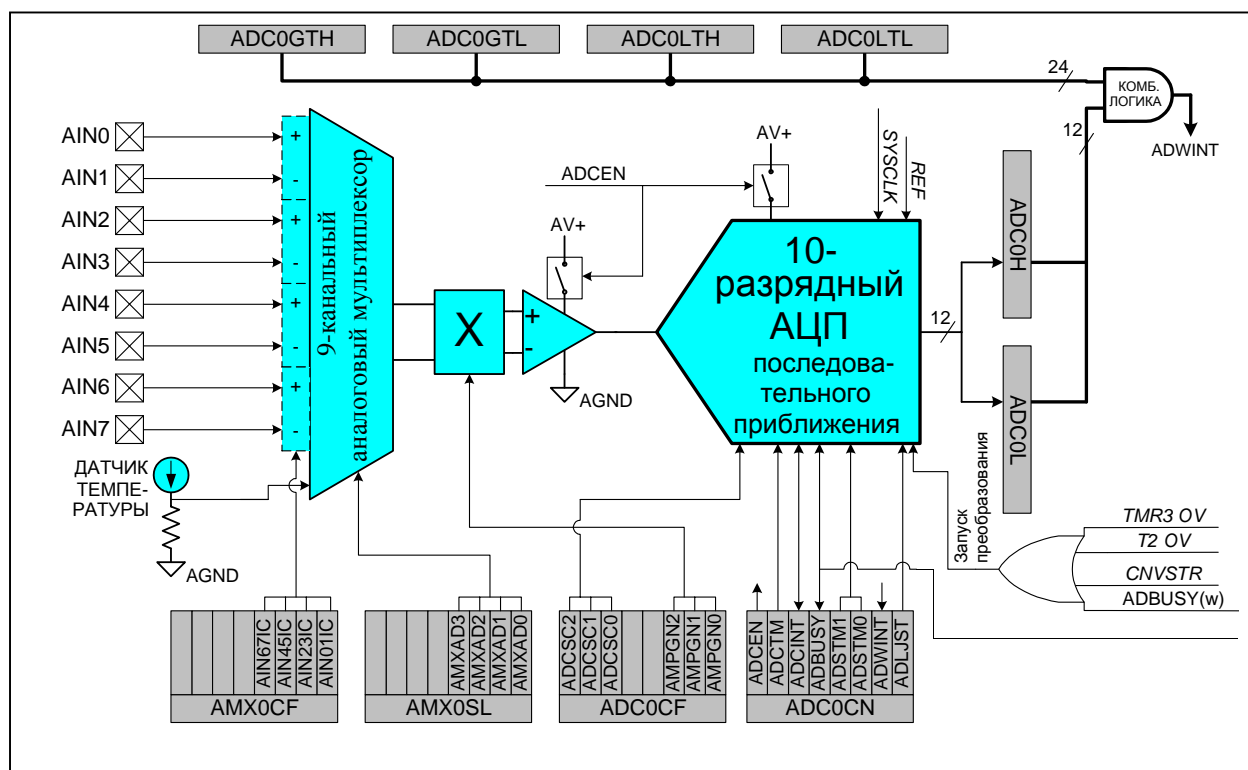
VDD = 3.0В, AV+ = 3.0В, Viон = 2.4В (REFBE=0), PGA Кусил = 1, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Точность преобразования					
Разрядность		12			бит
Интегральная нелинейность				±1	МЗР
Дифференциальная нелинейность	Монотонность преобразования			±1	МЗР
Погрешность смещения нуля			-3 ±1		МЗР
Погрешность полной шкалы	Дифференциальный режим		-7 ±3		МЗР
Температурный коэффициент смещения нуля			±0.25 x 10 ⁻⁴		%/°C
Динамические характеристики (10кГц синусоидальный входной сигнал, от 0 до -1dB полной шкалы, 100 тыс. преобразований/сек.)					
Отношение сигнал/шум плюс искажение		66	69		dB
Общее нелинейное искажение	До 5-й гармоники		-75		dB
Динамический диапазон			80		dB
Скорость преобразования					
Время преобразования в периодах сигнала дискретизации		16			такты
Частота дискретизации	C8051F000, 'F001, 'F002 C8051F005, 'F006, 'F007			2.0 2.5	МГц МГц
Время заряда УВХ		1.5			мкс
Производительность				100000	преобр./с
Аналоговые входы					
Диапазон преобразуемых напряжений	Режим одиночных входов: (AINn – AGND) Дифференциальный режим: (AINn+) – (AINm-)	0		Viон -1МЗР	В
Входное напряжение	Любой AINn вывод	AGND		AV+	В
Входная емкость			10		пФ
Датчик температуры					
Нелинейность			±0.20		°C
Абсолютная погрешность			±3		°C
Коэффициент преобразования	PGA Кусил = 1		2.86		мВ/°C
Погрешность коэффициента преобразования (±1σ)	PGA Кусил = 1		±33.5		мкВ/°C
Смещение нуля	PGA Кусил = 1, Темп-ра = 0°C		776		мВ
Погрешность смещения нуля (±1σ)	PGA Кусил = 1, Темп-ра = 0°C		±8.51		мВ
Параметры питания					
Ток потребления по выв. AV+	Активный режим, 100 тыс. преобразований/сек		450	900	мкА
Нестабильность напряжения питания			±0.3		мВ/В

6. АЦП 10-разрядный (С8051F010/1/2/5/6/7)

Модуль АЦП МК C8051F010/1/2/5/6/7 состоит из 9-канального программируемого аналогового мультиплексора (AMUX), программируемого усилителя (PGA), 10-разрядного АЦП последовательного приближения с производительностью до 100 тыс. преобразований в секунду, устройства выборки-хранения (VBX) и программируемого детектора диапазона (см. рис. 6.1). AMUX, PGA, режимы преобразования и детектор диапазона настраиваются программным путем при помощи регистров специального назначения (см. рис. 6.1). Модуль АЦП (АЦП, VBX и PGA) включен только тогда, когда бит ADCEN регистра управления АЦП ADC0CN (см. рис. 6.7) установлен в 1. Сброс этого бита в 0 переводит АЦП в режим пониженного энергопотребления. Чтобы подать смещение на АЦП, необходимо установить в 1 бит разрешения смещения (BIASE) в регистре REF0CN (см. рис. 9.2).

Рисунок 6.1. Функциональная схема 10-разрядного АЦП



6.1. Аналоговый мультиплексор и программируемый усилитель

Восемь каналов АЦП могут использоваться для измерения внешних сигналов, девятый канал подключен к внутреннему датчику температуры (передаточная характеристика датчика температуры показана на рис. 6.3). Следует иметь в виду, что показания датчика температуры считываются через PGA. Каждая пара входов AMUX могут быть запрограммированы на работу в одиночном или дифференциальном режимах. Это позволяет пользователю выбрать наиболее подходящий режим измерения, и даже производить изменение режимов “на лету”. При сбросе все каналы AMUX настраиваются как одиночные входы. Для управления AMUX используются два регистра: регистр выбора канала AMX0SL (см. рис. 6.5) и регистр конфигурации AMX0CF (см. рис. 6.4). В таблице на рис. 6.5 приведены все возможные комбинации режимов работы каналов AMUX. PGA усиливает выходной сигнал AMUX с коэффициентом усиления, определяемым битами AMPGN2-0 регистра управления АЦП ADC0CF (см. рис. 6.6). Коэффициент усиления может быть программно выбран из следующего ряда значений: 0.5, 1 (устанавливается при сбросе), 2, 4, 8, 16.

6.2. Режимы работы АЦП

Т.к. АЦП использует ИОН для определения диапазона изменения напряжения, то ИОН должен быть правильно настроен до начала преобразования (см. раздел 9). Максимальная скорость преобразования АЦП – 100 тыс. преобразований в секунду. Частота тактирования модуля АЦП определяется системной тактовой частотой. Скорость преобразования может быть уменьшена в 2, 4, 8 или 16 раз соответствующей установкой битов ADCSC в регистре ADC0CF, что позволяет устанавливать необходимую скорость преобразования при различных системных тактовых частотах.

Запуск преобразования может быть осуществлен одним из четырех способов, в зависимости от состояния битов режима запуска преобразования АЦП (ADSTM1, ADSTM0) в регистре ADC0CN. Преобразование может быть инициировано:

- 1) установкой в 1 бита ADBUSY в регистре ADC0CN;
- 2) переполнением Таймера 3 (т.е. синхронизированное по времени непрерывное преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CNVSTR);
- 4) переполнением Таймера 2 (т.е. синхронизированное по времени непрерывное преобразование).

Установка в 1 бита ADBUSY обеспечивает программное управление модулем АЦП, при котором преобразования выполняются “по требованию”. После окончания преобразования бит ADBUSY сбрасывается в 0, при этом инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания в регистре ADC0CN. Преобразованные данные доступны в регистрах старшего и младшего слова данных АЦП, ADC0H и ADC0L соответственно. В регистровой паре ADC0H:ADC0L преобразованные данные могут быть выровнены либо вправо, либо влево (см. пример на рис. 6.9) в зависимости от состояния бита ADLJST в регистре ADC0CN.

Бит ADCTM регистра ADC0CN управляет режимом выборки-хранения АЦП. По умолчанию состояние входа АЦП отслеживается непрерывно, за исключением момента преобразования. Установка в 1 бита ADCTM позволяет задать один из четырех энергосберегающих режимов выборки-хранения, выбранный битами ADSTM1-0 регистра ADC0CN:

- 1) слежение начинается в момент установки в 1 бита ADBUSY и длится 3 периода сигнала тактирования модуля АЦП;
- 2) слежение начинается при переполнении Таймера 3 и длится 3 периода сигнала тактирования модуля АЦП;
- 3) слежение происходит лишь при низком уровне сигнала на входе CNVSTR;
- 4) слежение начинается при переполнении Таймера 2 и длится 3 периода сигнала тактирования модуля АЦП.

Режимы 1, 2 и 4 используются, когда запуск преобразования инициируется командой из программы или когда АЦП работает непрерывно. Режим 3 используется, когда запуск преобразования инициируется сигналом от внешнего источника. В этом случае УВХ работает в энергосберегающем режиме все время, пока на входе CNVSTR присутствует сигнал высокого уровня. Также слежение может быть запрещено (отключено), когда весь МК переведен в мало потребляющие режимы ожидания или сна.

Рисунок 6.2. Временные диаграммы процесса преобразования



Рисунок 6.3. Передаточная характеристика датчика температуры

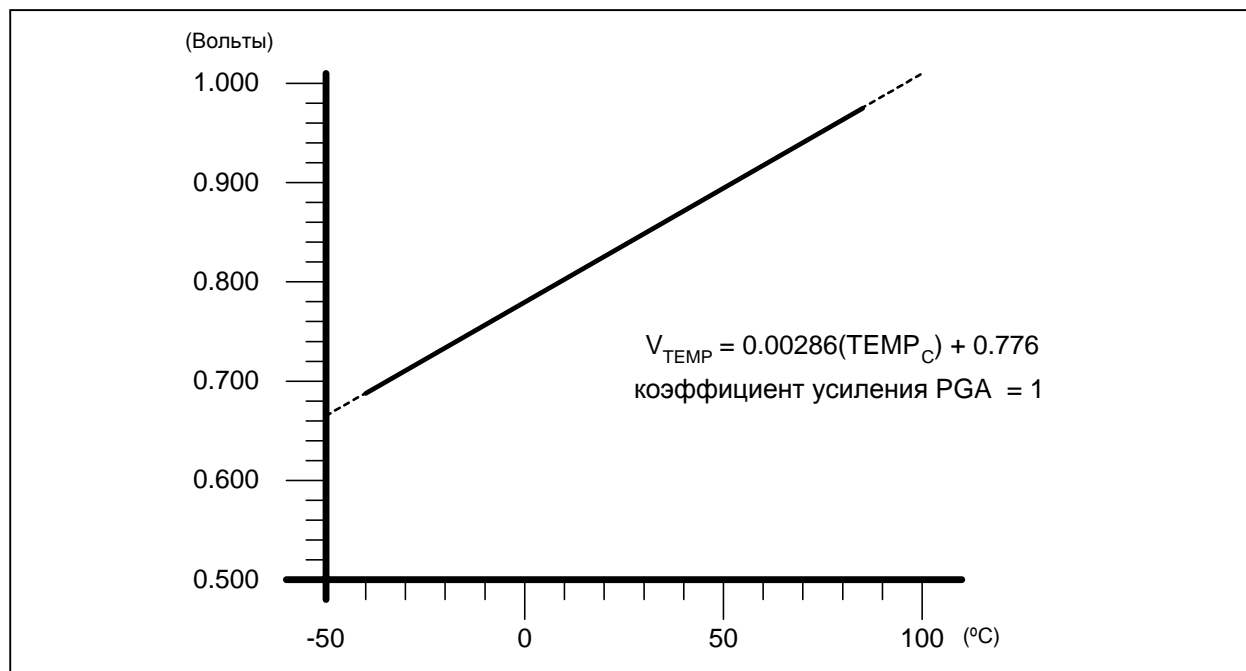


Рисунок 6.4. AMX0CF: Регистр конфигурации AMUX (C8051F01x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	AIN67IC	AIN45IC	AIN23IC	AIN01IC	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBA

Биты 7-4: **Не используются:** читаются как '0'.

Бит 3: AIN67IC: Бит конфигурации пары входов AIN6, AIN7
 0: AIN6 и AIN7 – независимые одиночные входы
 1: AIN6 и AIN7 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 2: AIN45IC: Бит конфигурации пары входов AIN4, AIN5
 0: AIN4 и AIN5 – независимые одиночные входы
 1: AIN4 и AIN5 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 1: AIN23IC: Бит конфигурации пары входов AIN2, AIN3
 0: AIN2 и AIN3 – независимые одиночные входы
 1: AIN2 и AIN3 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 0: AIN01IC: Бит конфигурации пары входов AIN0, AIN1
 0: AIN0 и AIN1 – независимые одиночные входы
 1: AIN0 и AIN1 – пара дифференциальных входов ('+' и '-' соответственно)

Примечание: Для каналов, настроенных как дифференциальные, слово данных АЦП представляет собой число в дополнительном формате.

Рисунок 6.5. AMX0SL: Регистр выбора канала AMUX (C8051F01x)

R/W								Значение при сбросе: 00000000
-	-	-	-	AMXAD3	AMXAD2	AMXAD1	AMXAD0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBB

Биты 7-4: **Не используются**: читаются как '0'.
Биты 3-0: AMXAD3-0: Биты адреса AMUX
0000-1111: Каналы АЦП выбираются в соответствии со следующей таблицей:

		Биты 3-0 регистра AMXAD								
		0000	0001	0010	0011	0100	0101	0110	0111	1xxx
Биты 3-0 регистра AMX0CF	0000	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	датчик темпер-ры
	0001	+(AIN0) -(AIN1)		AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	датчик темпер-ры
	0010	AIN0	AIN1	+(AIN2) -(AIN3)		AIN4	AIN5	AIN6	AIN7	датчик темпер-ры
	0011	+(AIN0) -(AIN1)		+(AIN2) -(AIN3)		AIN4	AIN5	AIN6	AIN7	датчик темпер-ры
	0100	AIN0	AIN1	AIN2	AIN3	+(AIN4) -(AIN5)		AIN6	AIN7	датчик темпер-ры
	0101	+(AIN0) -(AIN1)		AIN2	AIN3	+(AIN4) -(AIN5)		AIN6	AIN7	датчик темпер-ры
	0110	AIN0	AIN1	+(AIN2) -(AIN3)		+(AIN4) -(AIN5)		AIN6	AIN7	датчик темпер-ры
	0111	+(AIN0) -(AIN1)		+(AIN2) -(AIN3)		+(AIN4) -(AIN5)		AIN6	AIN7	датчик темпер-ры
	1000	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	+(AIN6) -(AIN7)		датчик темпер-ры
	1001	+(AIN0) -(AIN1)		AIN2	AIN3	AIN4	AIN5	+(AIN6) -(AIN7)		датчик темпер-ры
	1010	AIN0	AIN1	+(AIN2) -(AIN3)		AIN4	AIN5	+(AIN6) -(AIN7)		датчик темпер-ры
	1011	+(AIN0) -(AIN1)		+(AIN2) -(AIN3)		AIN4	AIN5	+(AIN6) -(AIN7)		датчик темпер-ры
	1100	AIN0	AIN1	AIN2	AIN3	+(AIN4) -(AIN5)		+(AIN6) -(AIN7)		датчик темпер-ры
	1101	+(AIN0) -(AIN1)		AIN2	AIN3	+(AIN4) -(AIN5)		+(AIN6) -(AIN7)		датчик темпер-ры
	1110	AIN0	AIN1	+(AIN2) -(AIN3)		+(AIN4) -(AIN5)		+(AIN6) -(AIN7)		датчик темпер-ры
	1111	+(AIN0) -(AIN1)		+(AIN2) -(AIN3)		+(AIN4) -(AIN5)		+(AIN6) -(AIN7)		датчик темпер-ры

Рисунок 6.6. ADC0CF: Регистр конфигурации АЦП (C8051F01x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ADCSC2	ADCSC1	ADCSC0	-	-	AMPGN2	AMPGN1	AMPGN0	01100000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBC
<p>Биты 7-5: ADCSC2-0: Биты установки тактового сигнала модуля АЦП</p> <p>000: Частота тактирования АЦП равна системной частоте</p> <p>001: Частота тактирования АЦП равна 1/2 системной частоты</p> <p>010: Частота тактирования АЦП равна 1/4 системной частоты</p> <p>011: Частота тактирования АЦП равна 1/8 системной частоты</p> <p>1xx: Частота тактирования АЦП равна 1/16 системной частоты</p> <p>(Примечание: Частота тактирования АЦП должна быть не более 2МГц)</p> <p>Биты 4-3: Не используются: читаются как '0'.</p> <p>Биты 2-0: AMPGN2-0: коэффициент усиления программируемого усилителя PGA</p> <p>000: коэффициент усиления = 1</p> <p>001: коэффициент усиления = 2</p> <p>010: коэффициент усиления = 4</p> <p>011: коэффициент усиления = 8</p> <p>10x: коэффициент усиления = 16</p> <p>11x: коэффициент усиления = 0.5</p>								

Рисунок 6.7. ADC0CN: Регистр управления АЦП (C8051F01x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ADCEN	ADCTM	ADCINT	ADBUSY	ADSTM1	ADSTM0	ADWINT	ADLJST	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xE8
<p>Бит7: ADCEN: Бит включения АЦП</p> <p>0: АЦП отключен. АЦП находится в режиме пониженного энергопотребления.</p> <p>1: АЦП включен. АЦП находится в активном режиме и готов к преобразованию данных.</p> <p>Бит 6: ADCTM: Бит установки режима слежения АЦП</p> <p>0: Когда АЦП включен, слежение осуществляется всегда, за исключением момента преобразования</p> <p>1: Режим слежения определяется битами ADSTM1-0</p> <p>ADSTM1-0:</p> <p>00: слежение начинается в момент установки в 1 бита ADBUSY и длится 3 периода сигнала тактирования модуля АЦП</p> <p>01: слежение начинается при переполнении Таймера 3 и длится 3 периода сигнала тактирования модуля АЦП</p> <p>10: слежение происходит лишь при низком уровне сигнала на входе CNVSTR</p> <p>11: слежение начинается при переполнении Таймера 2 и длится 3 периода сигнала тактирования модуля АЦП</p> <p>Бит 5: ADCINT: Флаг прерывания от модуля АЦП (сбрасывается программно)</p> <p>0: АЦП не закончил преобразование данных (с момента последнего обнуления этого флага)</p> <p>1: АЦП закончил преобразование данных</p> <p>Бит 4: ADBUSY: Бит занятости АЦП</p> <p>Чтение:</p> <p>0: Преобразование данных завершено или с момента сброса достоверные данные не получены. При аппаратном обнулении этого бита генерируется прерывание, если оно разрешено</p> <p>1: Идет процесс преобразования данных</p> <p>Запись</p> <p>0: Не вызывает никаких действий</p> <p>1: Запуск преобразования, если биты ADSTM1-0 = 00b</p> <p>Биты 3-2: ADSTM1-0: Биты режима запуска преобразования АЦП</p> <p>00: Запуск преобразования осуществляется установкой в 1 бита ADBUSY</p> <p>01: Запуск преобразования осуществляется при каждом переполнении Таймера 3</p> <p>10: Запуск преобразования осуществляется каждым нарастающим фронтом внешнего сигнала CNVSTR</p> <p>11: Запуск преобразования осуществляется при каждом переполнении Таймера 2</p> <p>Бит 1: ADWINT: Флаг прерывания от детектора диапазона АЦП (сбрасывается программно)</p> <p>0: Преобразованные данные не соответствуют заданному диапазону</p> <p>1: Преобразованные данные соответствуют заданному диапазону</p> <p>Бит 0: ADLJST: Бит выравнивания результата преобразования</p> <p>0: Данные в регистровой паре ADC0H:ADC0L выровнены вправо</p> <p>1: Данные в регистровой паре ADC0H:ADC0L выровнены влево</p>								

Рисунок 6.8. ADC0H: Регистр старшего байта слова данных АЦП (C8051F01x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBF

Биты 7-0: Биты слова данных АЦП
 Для ADLJST = 1: Старшие 8 бит 10-разрядного слова данных АЦП.
 Для ADLJST = 0: Биты 7-2 являются знаковым расширением бита 1. Биты 1-0 представляют собой старшие 2 бита 10-разрядного слова данных АЦП.

Рисунок 6.9. ADC0L: Регистр младшего байта слова данных АЦП (C8051F01x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBE

Биты 7-0: Биты слова данных АЦП
 Для ADLJST = 1: Биты 7-6 представляют собой младшие 2 бита 10-разрядного слова данных АЦП. Биты 5-0 всегда читаются как '0'.
 Для ADLJST = 0: Младшие 8 бит 10-разрядного слова данных АЦП.

Примечание: 10-разрядный результат преобразования получается следующим образом:
 ADC0H[1:0]:ADC0L[7:0], если ADLJST = 0
 (в случае преобразования дифференциального сигнала биты ADC0H[7:2] будут знаковым расширением бита ADC0H.1, в случае одиночного сигнала ADC0H[7:2] = 000000b)
 ADC0H[7:0]:ADC0L[7:6], если ADLJST = 1
 (ADC0L[5:0] = 000000b)

Пример: Порядок записи результата преобразования, вход AIN0 работает в одиночном режиме (AMX0CF=0x00, AMX0SL=0x00)

AIN0 – AGND (Вольты)	ADC0H:ADC0L (ADLJST = 0)	ADC0H:ADC0L (ADLJST = 1)
Вион x (1023/1024)	0x03FF	0xFFC0
Вион x 1/2	0x0200	0x8000
Вион x (511/1024)	0x01FF	0x7FC0
0	0x0000	0x0000

Пример: Порядок записи результата преобразования, входы AIN0-AIN1 работают в дифференциальном режиме (AMX0CF=0x01, AMX0SL=0x00)

AIN0 – AIN1 (Вольты)	ADC0H:ADC0L (ADLJST = 0)	ADC0H:ADC0L (ADLJST = 1)
Вион x (511/512)	0x01FF	0x7FC0
0	0x0000	0x0000
- Вион x (1/512)	0xFFFF	0xFFC0
- Вион	0xFE00	0x8000

6.3. Программируемый детектор диапазона АЦП

Программируемый детектор диапазона АЦП очень полезен во многих приложениях. Он постоянно проверяет выходные данные АЦП на соответствие заданному пользователем диапазону значений и уведомляет систему при обнаружении несоответствия. Это особенно эффективно в управляемых прерываниями системах, т.к. позволяет уменьшить объем кода и улучшить производительность при одновременном уменьшении времени отклика системы. Флаг прерывания от детектора диапазона (бит ADWINT в регистре ADC0CN) можно использовать также в режиме программного опроса. Старшие и младшие байты граничных значений загружаются в регистры нижней и верхней границ диапазона АЦП (ADC0GTH, ADC0GTL, ADC0LTH и ADC0LTL). На рис. 6.14 и рис. 6.15 приведены примеры использования детектора диапазона. Следует отметить, что флаг прерывания от детектора диапазона может устанавливаться как при попадании, так и при непадании результата преобразования в заданный диапазон, в зависимости от значений, записанных в регистры ADC0GTx и ADC0LTx.

Рисунок 6.10. ADC0GTH: Регистр старшего байта нижней границы диапазона (C8051F01x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 11111111 SFR Адрес: 0xC5
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: Старший байт нижней границы диапазона АЦП.								

Рисунок 6.11. ADC0GTL: Регистр младшего байта нижней границы диапазона (C8051F01x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 11111111 SFR Адрес: 0xC4
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: Младший байт нижней границы диапазона АЦП. Определение: Нижняя граница диапазона АЦП = ADC0GTH:ADC0GTL								

Рисунок 6.12. ADC0LTH: Регистр старшего байта верхней границы диапазона (C8051F01x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC7
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: Старший байт верхней границы диапазона АЦП.								

Рисунок 6.13. ADC0LTL: Регистр младшего байта верхней границы диапазона (C8051F01x)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC6
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: Младший байт верхней границы диапазона АЦП. Определение: Верхняя граница диапазона АЦП = ADC0LTH:ADC0LTL								

Рисунок 6.14. Примеры использования детектора диапазона (данные выровнены вправо)

Входное напряжение (AD0 - AGND)	Слово данных АЦП		Входное напряжение (AD0 - AGND)	Слово данных АЦП	
REF x (1023/1024)	0x03FF	ADWINT не изменяется	REF x (1023/1024)	0x03FF	ADWINT=1
	0x0201			0x0201	
REF x (512/1024)	0x0200	ADC0LTH:ADC0LTL	REF x (512/1024)	0x0200	ADC0GTH:ADC0GTL
	0x01FF	ADWINT=1		0x01FF	ADWINT не изменяется
	0x0101			0x0101	
REF x (256/1024)	0x0100	ADC0GTH:ADC0GTL	REF x (256/1024)	0x0100	ADC0LTH:ADC0LTL
	0x00FF	ADWINT не изменяется		0x00FF	ADWINT=1
0	0x0000		0	0x0000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, ADLJST = 0,
 ADC0LTH:ADC0LTL = 0x0200,
 ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x0200 и > 0x0100.

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, ADLJST = 0,
 ADC0LTH:ADC0LTL = 0x0100,
 ADC0GTH:ADC0GTL = 0x0200.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x0100 или > 0x0200.

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, ADLJST = 0,
 ADC0LTH:ADC0LTL = 0x0100,
 ADC0GTH:ADC0GTL = 0xFFFF.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x0100 и > 0xFFFF. (используется дополнительный код, т.е. 0xFFFF = -1.)

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, ADLJST = 0,
 ADC0LTH:ADC0LTH = 0xFFFF,
 ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0xFFFF или > 0x0100. (используется дополнительный код, т.е. 0xFFFF = -1.)

Рисунок 6.15. Примеры использования детектора диапазона (данные выровнены влево)

Входное напряжение (AD0 - AGND)	Слово данных АЦП		Входное напряжение (AD0 - AGND)	Слово данных АЦП	
REF x (1023/1024)	0xFFC0	ADWINT не изменяется	REF x (1023/1024)	0xFFC0	ADWINT=1
	0x8040			0x8040	
REF x (512/1024)	0x8000	ADWINT=1	REF x (512/1024)	0x8000	ADC0LTH:ADC0LTL
	0x7FC0			0x7FC0	ADWINT не изменяется
	0x4040			0x4040	
REF x (256/1024)	0x4000	ADC0GTH:ADC0GTL	REF x (256/1024)	0x4000	ADC0LTH:ADC0LTL
	0x3FC0	ADWINT не изменяется		0x3FC0	ADWINT=1
0	0x0000		0	0x0000	
<p>Задано: AMX0SL = 0x00, AMX0CF = 0x00, ADLJST = 1, ADC0LTH:ADC0LTL = 0x8000, ADC0GTH:ADC0GTL = 0x4000.</p> <p>По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x8000 и > 0x4000.</p>			<p>Задано: AMX0SL = 0x00, AMX0CF = 0x00, ADLJST = 1, ADC0LTH:ADC0LTL = 0x4000, ADC0GTH:ADC0GTL = 0x8000.</p> <p>По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x4000 или > 0x8000.</p>		

Входное напряжение (AD0 - AD1)	Слово данных АЦП		Входное напряжение (AD0 - AD1)	Слово данных АЦП	
REF x (511/512)	0x7FC0	ADWINT не изменяется	REF x (511/512)	0x7FC0	ADWINT=1
	0x2040			0x2040	
REF x (128/512)	0x2000	ADWINT=1	REF x (128/512)	0x2000	ADC0GTH:ADC0GTL
	0x1FC0			0x1FC0	ADWINT не изменяется
	0x0000			0x0000	
REF x (-1/512)	0xFFC0	ADC0GTH:ADC0GTL	REF x (-1/512)	0xFFC0	ADC0LTH:ADC0LTL
	0xFF80	ADWINT не изменяется		0xFF80	ADWINT=1
-REF	0x8000		-REF	0x8000	
<p>Задано: AMX0SL = 0x00, AMX0CF = 0x01, ADLJST = 1, ADC0LTH:ADC0LTL = 0x2000, ADC0GTH:ADC0GTL = 0xFFC0.</p> <p>По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0x2000 и > 0xFFC0. (используется дополнительный код, т.е. 0xFFFF = -1.)</p>			<p>Задано: AMX0SL = 0x00, AMX0CF = 0x01, ADLJST = 1, ADC0LTH:ADC0LTH = 0xFFC0, ADC0GTH:ADC0GTL = 0x2000.</p> <p>По окончании преобразования будет инициировано прерывание от детектора диапазона (ADWINT=1), если полученное слово данных АЦП < 0xFFC0 или > 0x2000. (используется дополнительный код, т.е. 0xFFFF = -1.)</p>		

Таблица 6.1. Электрические характеристики 10-разрядного АЦП

VDD = 3.0В, AV+ = 3.0В, Vион = 2.4В (REFBE=0), PGA Кусил = 1, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Точность преобразования					
Разрядность		10			бит
Интегральная нелинейность			±1/2	±1	МЗР
Дифференциальная нелинейность	Монотонность преобразования		±1/2	±1	МЗР
Погрешность смещения нуля			±0.5		МЗР
Погрешность полной шкалы	Дифференциальный режим		-1.5 ± 0.5		МЗР
Температурный коэффициент смещения нуля			±0.25 × 10 ⁻⁴		%/°C
Динамические характеристики (10кГц синусоидальный входной сигнал, от 0 до -1dB полной шкалы, 100 тыс. преобразований/сек.)					
Отношение сигнал/шум плюс искажение		59	61		dB
Общее нелинейное искажение	До 5-й гармоники		-70		dB
Динамический диапазон			80		dB
Скорость преобразования					
Время преобразования в периодах сигнала дискретизации		16			такты
Частота дискретизации	C8051F000, 'F001, 'F002 C8051F005, 'F006, 'F007			2.0 2.5	МГц МГц
Время заряда УВХ		1.5			мкс
Производительность				100000	преобр./с
Аналоговые входы					
Диапазон преобразуемых напряжений	Режим одиночных входов: (AINn – AGND) Дифференциальный режим: (AINn+) – (AINm-)	0		Vион -1МЗР	В
Входное напряжение	Любой AINn вывод	AGND		AV+	В
Входная емкость			10		пФ
Датчик температуры					
Нелинейность			±0.20		°C
Абсолютная погрешность			±3		°C
Коэффициент преобразования	PGA Кусил = 1		2.86		мВ/°C
Погрешность коэффициента преобразования (±1σ)	PGA Кусил = 1		±33.5		мкВ/°C
Смещение нуля	PGA Кусил = 1, Темп-ра = 0°C		776		мВ
Погрешность смещения нуля (±1σ)	PGA Кусил = 1, Темп-ра = 0°C		±8.51		мВ
Параметры питания					
Ток потребления по выв. AV+	Активный режим, 100 тыс. преобразований/сек		450	900	мкА
Нестабильность напряжения питания			±0.3		мВ/В

7. ЦАП 12-разрядный

МК семейства C8051F000 имеют два 12-разрядных ЦАП, выходным сигналом которых является напряжение. Диапазон выходных напряжений каждого ЦАП от 0В до ($V_{OP}-1M3P$)В для диапазона входных кодов соответственно от 0x000 до 0xFFF. Для ЦАП0 12-разрядное слово данных записывается в регистры младшего (DAC0L) и старшего (DAC0H) байта данных. Данные фиксируются в ЦАП0 после записи регистра DAC0H, поэтому, если требуется получить полную 12-разрядную точность, **последовательность записи должна быть следующей: сначала DAC0L, затем DAC0H**. ЦАП может использоваться в 8-разрядном режиме. Для этого необходимо инициализировать регистр DAC0L требуемым значением (обычно 0x00) и записывать данные только в регистр DAC0H со сдвигом влево. Регистр управления ЦАП0 (DAC0CN) обеспечивает возможность включения/отключения ЦАП0 и позволяет изменять режим форматирования его входных данных.

Бит DAC0EN (DAC0CN.7) управляет включением/отключением ЦАП0. Установка бита DAC0EN в 1 включает ЦАП0, сброс бита DAC0EN в 0 отключает ЦАП0. Когда ЦАП отключен, его выход переводится в высокоимпедансное состояние и ток потребления падает до 1 мкА или менее. Чтобы подать напряжение смещения на ЦАП0, необходимо установить в 1 бит разрешения смещения (BIASE) в регистре REF0CN (см. рис. 9.2). Кроме этого для работы ЦАП0 необходимо правильно настроить источник опорного напряжения (см. раздел 9).

В некоторых случаях перед записью данных в ЦАП0 требуется сдвинуть их, чтобы обеспечить правильное выравнивание данных во входных регистрах ЦАП. Обычно для этого требуется одна или более операций загрузки и сдвига, что увеличивает объем программного кода и ухудшает производительность ЦАП. Чтобы решить эту проблему, предусмотрена возможность форматирования данных, которая позволяет пользователю выбрать режим форматирования слова данных ЦАП0 в регистрах данных DAC0H и DAC0L. Три бита DAC0DF2-0 (DAC0CN.[2:0]) позволяют пользователю задать один из пяти режимов форматирования данных (см. описание регистра DAC0CN).

ЦАП1 и описанный выше ЦАП0 функционально идентичны. Электрические характеристики ЦАП0 и ЦАП1 приведены в таблице 7.1.

Рисунок 7.1. Функциональная схема ЦАП

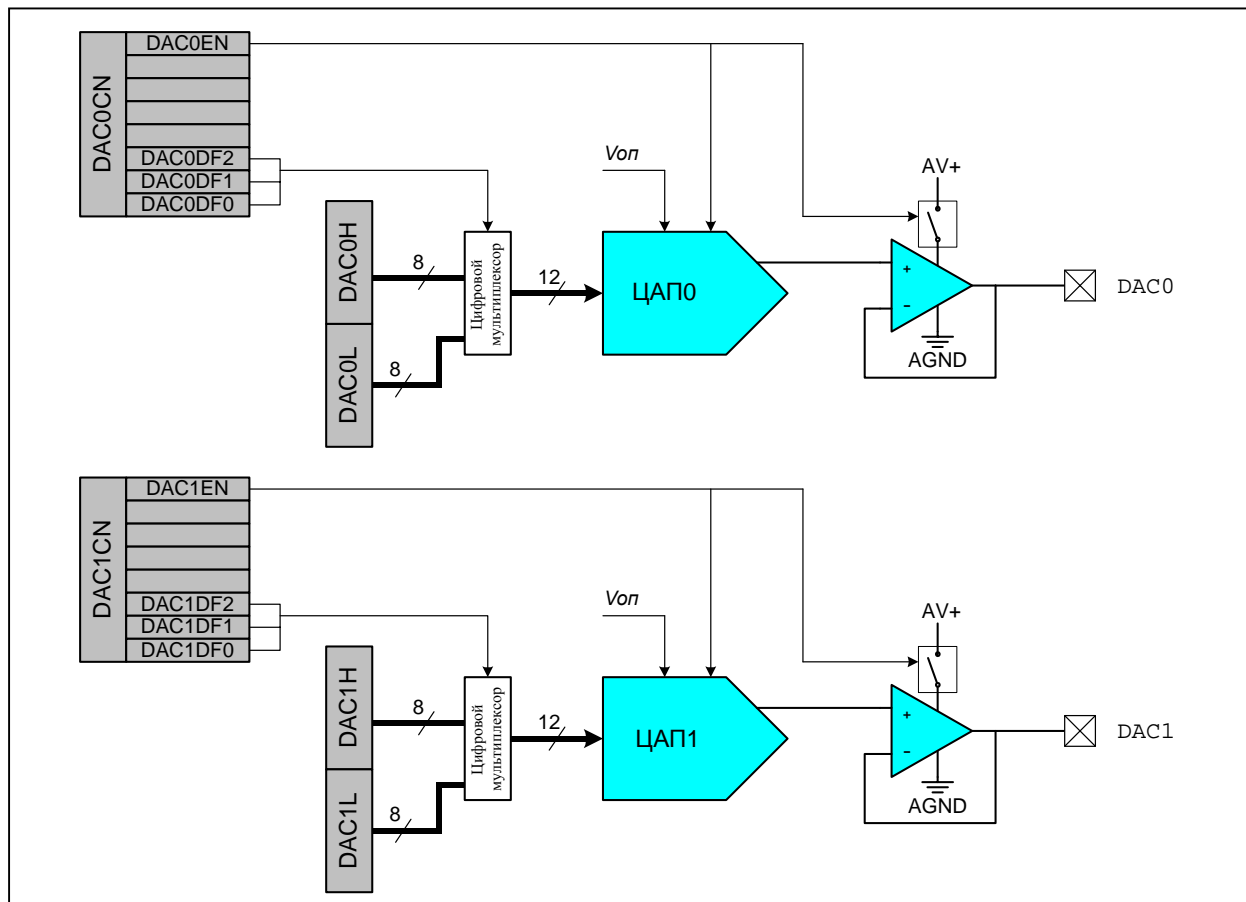


Рисунок 7.2. DAC0H: Регистр старшего байта ЦАП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD3

Биты 7-0: Старший байт слова данных ЦАП0.

Рисунок 7.3. DAC0L: Регистр младшего байта ЦАП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD2

Биты 7-0: Младший байт слова данных ЦАП0.

Рисунок 7.4. DAC0CN: Регистр управления ЦАП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
DAC0EN	-	-	-	-	DAC0DF2	DAC0DF1	DAC0DF0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD4

Бит 7: DAC0EN: Бит включения ЦАП0
 0: ЦАП0 выключен. Вывод выхода ЦАП0 отключен; ЦАП0 переведен в режим пониженного энергопотребления.
 1: ЦАП0 включен.

Биты 6-3: **Не используются**: читаются как '0'.

Биты 2-0: DAC0DF2-0: Биты выбора режима форматирования данных ЦАП0
 000: DAC0H[3:0] – старшие 4 бита слова данных ЦАП0
 DAC0L – младший байт слова данных ЦАП0

DAC0H				DAC0L			
			MSB				LSB

001: DAC0H[4:0] – старшие 5 бит слова данных ЦАП0
 DAC0L[7:1] – младшие 7 бит слова данных ЦАП0

DAC0H				DAC0L			
			MSB				LSB

010: DAC0H[5:0] – старшие 6 бит слова данных ЦАП0
 DAC0L[7:2] – младшие 6 бит слова данных ЦАП0

DAC0H				DAC0L			
		MSB					LSB

011: DAC0H[6:0] – старшие 7 бит слова данных ЦАП0
 DAC0L[7:3] – младшие 5 бит слова данных ЦАП0

DAC0H				DAC0L			
	MSB					LSB	

1xx: DAC0H – старший байт слова данных ЦАП0
 DAC0L[7:4] – младшие 4 бита слова данных ЦАП0

DAC0H				DAC0L			
	MSB					LSB	

Рисунок 7.5. DAC1H: Регистр старшего байта ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD6

Биты 7-0: Старший байт слова данных ЦАП1.

Рисунок 7.6. DAC1L: Регистр младшего байта ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD5

Биты 7-0: Младший байт слова данных ЦАП1.

Рисунок 7.7. DAC1CN: Регистр управления ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
DAC1EN	-	-	-	-	DAC1DF2	DAC1DF1	DAC1DF0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD7

Бит 7: DAC1EN: Бит включения ЦАП1
0: ЦАП1 выключен. Вывод выхода ЦАП1 отключен; ЦАП1 переведен в режим пониженного энергопотребления.
1: ЦАП1 включен.

Биты 6-3: **Не используются**: читаются как '0'.

Биты 2-0: DAC1DF2-0: Биты выбора режима форматирования данных ЦАП1
000: DAC1H[3:0] – старшие 4 бита слова данных ЦАП1
DAC1L – младший байт слова данных ЦАП1

DAC1H								DAC1L							
				MSB											LSB

001: DAC1H[4:0] – старшие 5 бит слова данных ЦАП1
DAC1L[7:1] – младшие 7 бит слова данных ЦАП1

DAC1H								DAC1L							
				MSB											LSB

010: DAC1H[5:0] – старшие 6 бит слова данных ЦАП1
DAC1L[7:2] – младшие 6 бит слова данных ЦАП1

DAC1H								DAC1L							
				MSB											LSB

011: DAC1H[6:0] – старшие 7 бит слова данных ЦАП1
DAC1L[7:3] – младшие 5 бит слова данных ЦАП1

DAC1H								DAC1L							
				MSB											LSB

1xx: DAC1H – старший байт слова данных ЦАП1
DAC1L[7:4] – младшие 4 бита слова данных ЦАП1

DAC1H								DAC1L							
				MSB											LSB

Таблица 7.1. Электрические характеристики ЦАП

VDD = 3.0В, AV+ = 3.0В, Vop = 2.4В (REFBE=0), без нагрузки на выходе, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Статические параметры					
Разрядность			12		биты
Интегральная нелинейность	Для входных слов данных от 0x014 до 0xFEB		±2		МЗР
Дифференциальная нелинейность	Монотонность преобразования (коды от 0x014 до 0xFEB)			±1	МЗР
Выходной шум	Без выходного фильтра		250		мкВ/мс
	С выходным фильтром на 100кГц		128		
	С выходным фильтром на 10кГц		41		
Погрешность смещения нуля	Слово данных = 0x014		±3	±30	мВ
Температурный коэффициент смещения нуля			6×10^{-6}		%/°C
Погрешность полной шкалы			±20	±60	мВ
Температурный коэффициент погрешности полной шкалы			1×10^{-5}		%/°C
Коэффициент подавления по напряжению питания VDD			-60		дБ
Выходное сопротивление в режиме энергосбережения	DACnEN=0		100		кОм
Выходной ток			±300		мкА
Выходной ток короткого замыкания	Слово данных = 0xFFFF		15		мА
Динамические параметры					
Скорость нарастания выходного напряжения	Емкость нагрузки = 40 пФ		0.44		В/мкс
Время установления выходного напряжения в пределах 1/2 МЗР	Емкость нагрузки = 40 пФ, входные коды от 0xFFFF до 0x014		10		мкс
Диапазон выходных напряжений		0		Vop-1МЗР	В
Время запуска	Бит включения ЦАП установлен		10		мкс
Аналоговые выходы					
Нестабильность выходного напряжения	Ток нагрузки от 0.01мА до 0.3мА при коде 0xFFFF		6×10^{-5}		%
Энергопотребление (каждый ЦАП)					
Ток потребления по выв. AV+	Слово данных = 0x7FF		110	400	мкА

8. КОМПАРАТОРЫ

Все МК имеют два встроенных аналоговых компаратора напряжения (см. рис. 8.1). Входы каждого компаратора подключены к внешним выводам корпуса. Выход каждого компаратора соединен с выводами корпуса через коммутирующую матрицу (см. раздел 15.1). Выход каждого компаратора, соединенный с выводом корпуса, может быть настроен на работу в режиме с открытым стоком или в двунаправленном режиме.

Параметры гистерезиса каждого компаратора настраиваются при помощи соответствующих регистров управления компараторами (CPT0CN, CPT1CN). Пользователь может программировать общую ширину петли гистерезиса (касается входного напряжения), задав по отдельности положительное и отрицательное напряжение этого гистерезиса относительно порогового значения. Выход компаратора может использоваться в режиме программного опроса, либо как источник прерывания. Каждый компаратор можно включить или отключить. Если компаратор отключен, на его выходе (если он соединен с портом ввода/вывода через матрицу) по умолчанию удерживается напряжение низкого уровня, вызов прерываний от этого компаратора запрещен, а ток потребления становится менее 1 мкА. На входы Компаратора 0 можно подавать сигналы с напряжением от $-0.25V$ до $(AV+) + 0.25V$, не опасаясь повреждения МК или сбоя в его работе.

Параметры гистерезиса Компаратора 0 программируются битами 3-0 регистра управления Компаратора 0 CPT0CN (см. рис. 8.3). Величина отрицательного напряжения гистерезиса определяется битами CP0HYN. Как показано на рис. 8.2, отрицательный гистерезис может быть отключен либо установлен на уровне 10, 4 или 2 мВ. Аналогично величина положительного напряжения гистерезиса определяется битами CP0HYP.

Прерывания от компараторов могут быть сгенерированы по переднему или заднему фронту выходного сигнала. (Обработка прерываний и управление приоритетами описаны в разделе 10.4). Флаг CP0FIF устанавливается при возникновении прерывания по заднему фронту выходного сигнала Компаратора 0. Флаг CP0RIF устанавливается при возникновении прерывания по переднему фронту выходного сигнала Компаратора 0. Эти флаги остаются установленными до тех пор, пока не будут сброшены программно. Состояние выхода Компаратора 0 можно получить в любой момент опросом бита CP0OUT. Выход компаратора и прерывание от него будут игнорироваться до тех пор, пока компаратор не будет настроен должным образом после включения питания. Компаратор 0 включается установкой в 1 бита CP0EN и отключается сбросом в 0 этого бита. Следует помнить, что время стабилизации сигнала на выходе компаратора после установки бита CP0EN или включения питания составляет 20 мкс. Компаратор 0 может быть настроен как источник сброса (см. раздел 13).

Оба компаратора работают одинаково. Компаратор 1 отличается от Компаратора 0 следующим:

- Компаратор 1 управляется регистром управления CPT1CN (см. рис. 8.4);
- Компаратор 1 нельзя запрограммировать как источник сброса;
- в МК F002, F007, F012, F017 входы Компаратора 1 не выведены на внешние выводы корпуса.

Электрические параметры компараторов приведены в табл. 8.1.

Рисунок 8.1. Функциональная схема компаратора

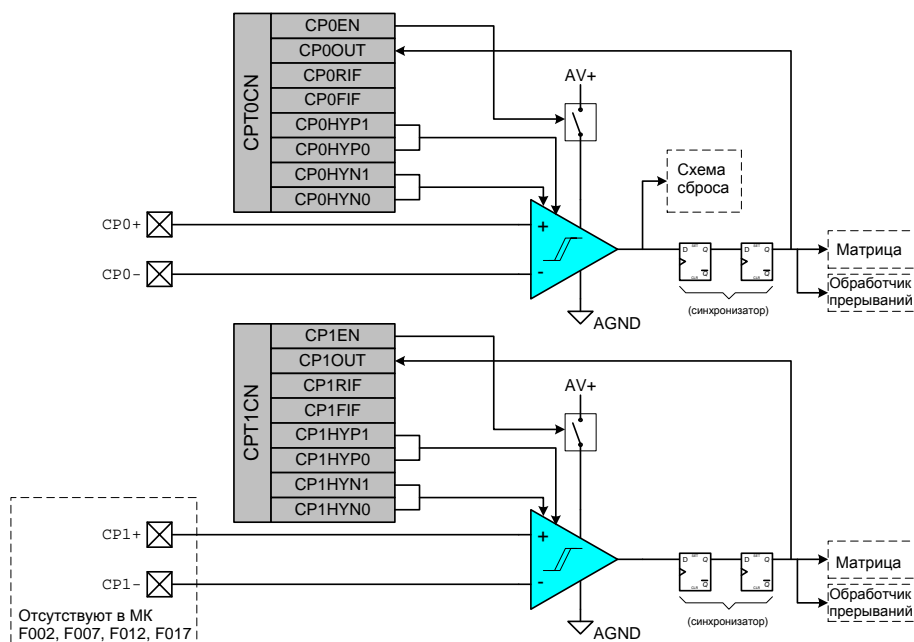


Рисунок 8.2. Гистерезис компаратора

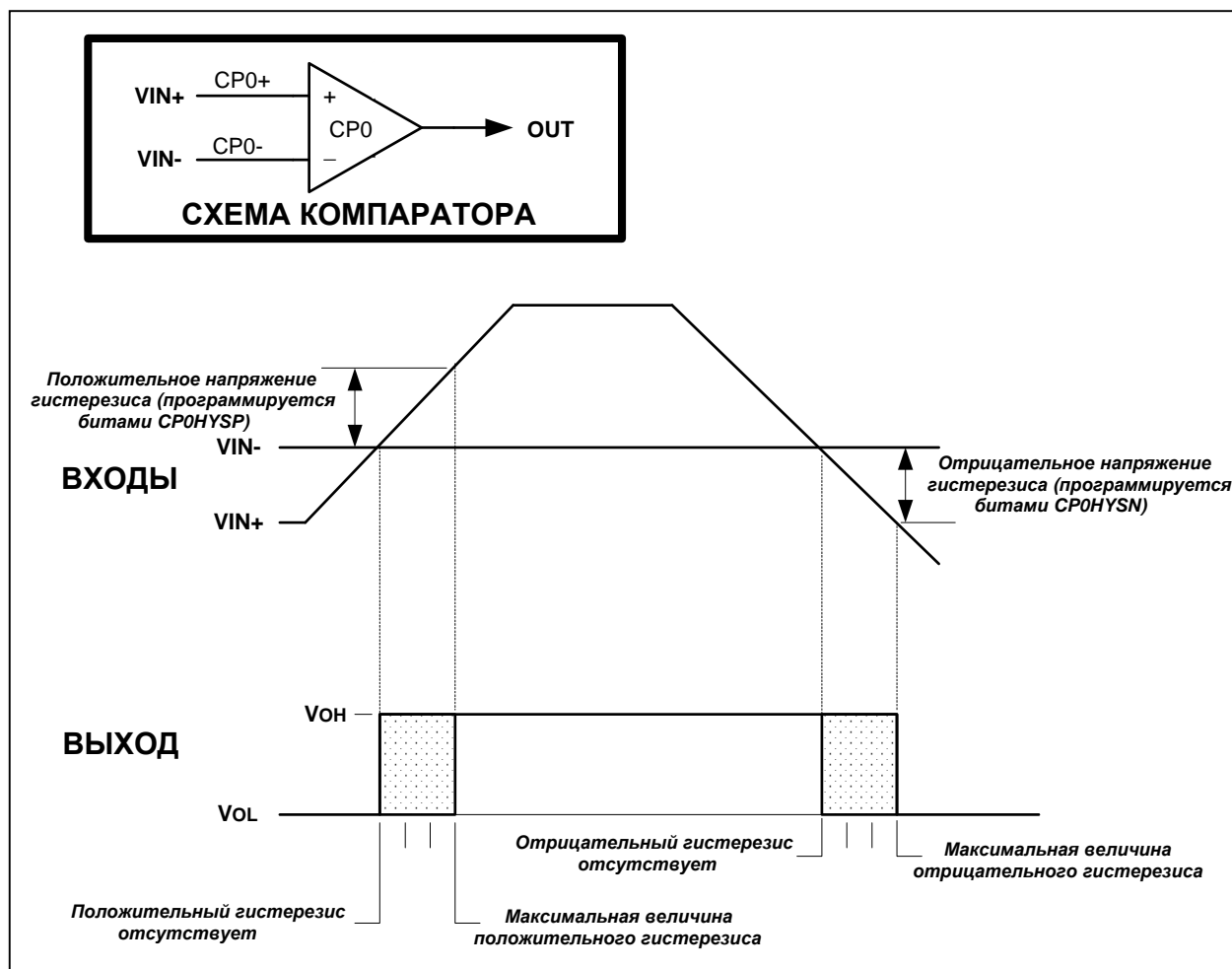


Рисунок 8.3. CPT0CN: Регистр управления Компаратора 0

R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CP0EN	CP0OUT	CP0RIF	CP0FIF	CP0HYP1	CP0HYP0	CP0HYN1	CP0HYN0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9E
<p>Бит 7: CP0EN: Бит включения Компаратора 0 0: Компаратор 0 отключен. 1: Компаратор 0 включен.</p> <p>Бит 6: CP0OUT: Флаг состояния выхода Компаратора 0 0: Напряжение на вх. CP0+ < CP0- 1: Напряжение на вх. CP0+ > CP0-</p> <p>Бит 5: CP0RIF: Флаг прерывания по переднему фронту выходного сигнала Компаратора 0 0: Прерывания по переднему фронту выходного сигнала Компаратора 0 с момента последнего обнуления флага CP0RIF не было 1: Произошло прерывание по переднему фронту выходного сигнала Компаратора 0</p> <p>Бит 4: CP0FIF: Флаг прерывания по заднему фронту выходного сигнала Компаратора 0 0: Прерывания по заднему фронту выходного сигнала Компаратора 0 с момента последнего обнуления флага CP0FIF не было 1: Произошло прерывание по заднему фронту выходного сигнала Компаратора 0</p> <p>Биты 3-2: CP0HYP1-0: Биты управления положительным гистерезисом Компаратора 0 00: Положительный гистерезис отсутствует 01: Положительный гистерезис = 2 мВ 10: Положительный гистерезис = 4 мВ 11: Положительный гистерезис = 10 мВ</p> <p>Биты 1-0: CP0HYN1-0: Биты управления отрицательным гистерезисом Компаратора 0 00: Отрицательный гистерезис отсутствует 01: Отрицательный гистерезис = 2 мВ 10: Отрицательный гистерезис = 4 мВ 11: Отрицательный гистерезис = 10 мВ</p>								

Рисунок 8.4. CPT1CN: Регистр управления Компаратора 1

R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	Значение
CP1EN	CP1OUT	CP1RIF	CP1FIF	CP1HYP1	CP1HYP0	CP1HYN1	CP1HYN0	при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	00000000
<p>Бит 7: CP1EN: Бит включения Компаратора 1 0: Компаратор 1 отключен. 1: Компаратор 1 включен.</p> <p>Бит 6: CP1OUT: Флаг состояния выхода Компаратора 1 0: Напряжение на вх. CP1+ < CP1- 1: Напряжение на вх. CP1+ > CP1-</p> <p>Бит 5: CP1RIF: Флаг прерывания по переднему фронту выходного сигнала Компаратора 1 0: Прерывания по переднему фронту выходного сигнала Компаратора 1 с момента последнего обнуления флага CP1RIF не было 1: Произошло прерывание по переднему фронту выходного сигнала Компаратора 1</p> <p>Бит 4: CP1FIF: Флаг прерывания по заднему фронту выходного сигнала Компаратора 1 0: Прерывания по заднему фронту выходного сигнала Компаратора 1 с момента последнего обнуления флага CP1RIF не было 1: Произошло прерывание по заднему фронту выходного сигнала Компаратора 1</p> <p>Биты 3-2: CP1HYP1-0: Биты управления положительным гистерезисом Компаратора 1 00: Положительный гистерезис отсутствует 01: Положительный гистерезис = 2 мВ 10: Положительный гистерезис = 4 мВ 11: Положительный гистерезис = 10 мВ</p> <p>Биты 1-0: CP1HYN1-0: Биты управления отрицательным гистерезисом Компаратора 1 00: Отрицательный гистерезис отсутствует 01: Отрицательный гистерезис = 2 мВ 10: Отрицательный гистерезис = 4 мВ 11: Отрицательный гистерезис = 10 мВ</p>								SFR Адрес: 0x9F

Таблица 8.1. Электрические характеристики компаратора

VDD = 3.0В, AV+ = 3.0В, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Время реакции 1	(CP+) – (CP-) = 100mV (Примечание 1)		4		мкс
Время реакции 2	(CP+) – (CP-) = 10mV (Примечание 1)		12		мкс
Коэффициент подавления синфазного сигнала			1.5	4	мВ/В
Положительный гистерезис 1	CPnHYP1-0 = 00		0	1	мВ
Положительный гистерезис 2	CPnHYP1-0 = 01	2	4.5	7	мВ
Положительный гистерезис 3	CPnHYP1-0 = 10	4	9	13	мВ
Положительный гистерезис 4	CPnHYP1-0 = 11	10	17	25	мВ
Отрицательный гистерезис 1	CPnHYN1-0 = 00		0	1	мВ
Отрицательный гистерезис 2	CPnHYN1-0 = 01	2	4.5	7	мВ
Отрицательный гистерезис 3	CPnHYN1-0 = 10	4	9	13	мВ
Отрицательный гистерезис 4	CPnHYN1-0 = 11	10	17	25	мВ
Напряжение на инвертирующем и неинвертирующем входах		-0.25		(AV+) + 0.25	В
Входная емкость			7		пФ
Входной ток смещения		-5	0.001	+5	нА
Входное напряжение смещения		-10		+10	мВ
Параметры питания					
Время включения	При установке в 1 бита CPnEN		20		мкс
Нестабильность напряжения питания			0.1	1	мВ/В
Ток потребления	В рабочем режиме (каждый компаратор)		1.5	10	мкА

Примечание 1: CPnHYP1-0 = CPnHYN1-0 = 00.

9. Источник опорного напряжения (ИОН)

Схема ИОН состоит из генератора стабилизированного напряжения 1,2В с нестабильностью по напряжению 0,0015%/°C (типичное значение) и выходного буферного усилителя с $K_{уст}$ = 2. Опорное напряжение с вывода VREF может использоваться внешними устройствами системы, при этом ток через этот вывод должен быть не более 200 мкА (см. рис. 9.1).

Если требуется опорное напряжение другой величины, можно программно отключить внутренние стабилизатор и буферный усилитель, а к выводу VREF подключить внешний ИОН. Внешнее опорное напряжение должно быть не более $AV+ - 0.3В$. Регистр управления ИОН REF0CN (см. рис. 9.2) позволяет включать и отключать стабилизатор и буферный усилитель. Бит BIASE регистра REF0CN разрешает работу схемы смещения АЦП и ЦАП. Бит REFBE регистра REF0CN управляет выходным буфером внутреннего ИОН. Если ИОН отключен, ток потребления стабилизатора и буферного усилителя уменьшается до 1 мкА (типичное значение) и менее, а выход буферного усилителя переводится в высокоимпедансное состояние. Если внутренний стабилизатор используется в качестве генератора опорного напряжения, биты BIASE и REFBE должны быть установлены в 1. Если используется внешний ИОН, бит REFBE следует сбросить в 0, а бит BIASE должен быть установлен в 1. Если ни АЦП, ни ЦАП не используются, оба этих бита можно сбросить в 0 с целью уменьшения энергопотребления. Электрические параметры ИОН приведены в табл. 9.1.

Датчик температуры подключен к девятому каналу входного мультиплексора АЦП (см. рис. 5.1 и рис.5.5). Бит TEMPE регистра REF0CN разрешает или запрещает работу датчика температуры. В случае запрещения датчик температуры по умолчанию переводится в высокоимпедансное состояние. Любые аналого-цифровые измерения показаний запрещенного датчика температуры возвратят незначащие данные.

Рисунок 9.1. Функциональная схема источника опорного напряжения

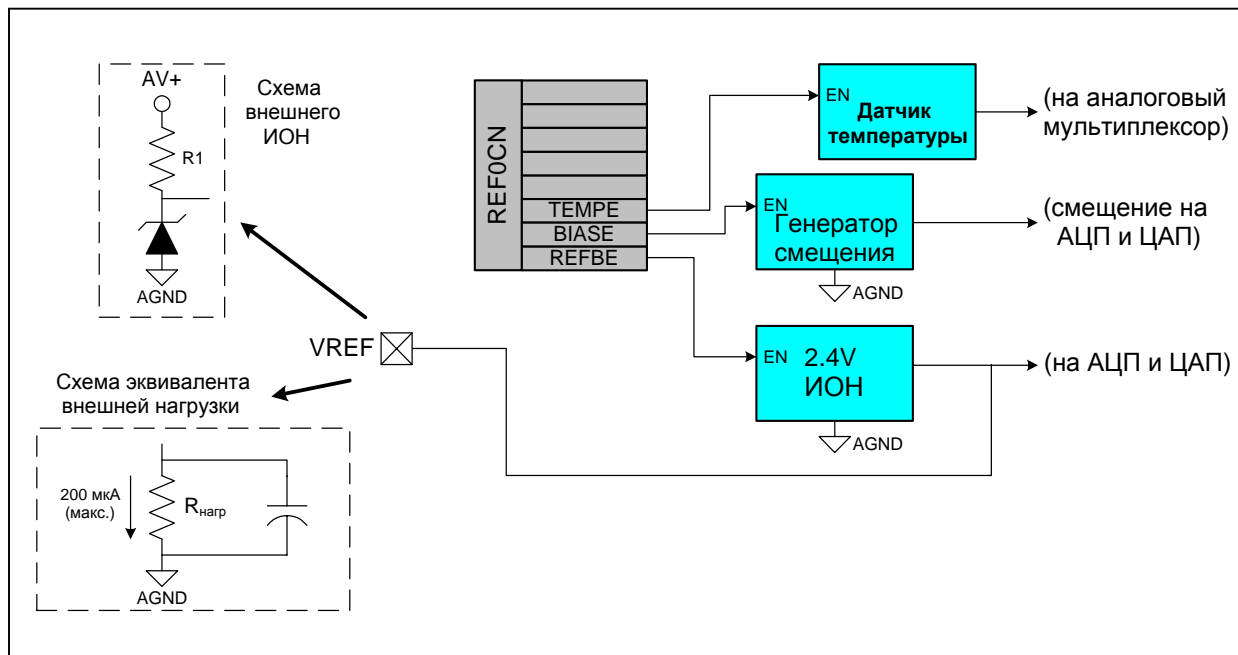


Рисунок 9.2. REF0CN: Регистр управления ИОН

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	TEMPE	BIASE	REFBE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD1

Биты 7-3: **Не используются**: читаются как '0'.

Бит 2: TEMPE: Бит включения датчика температуры
0: Внутренний датчик температуры выключен.
1: Внутренний датчик температуры включен.

Бит 1: BIASE: Бит разрешения смещения для АЦП и ЦАП
0: Внутренняя схема смещения отключена.
1: Внутренняя схема смещения включена (требуется для использования АЦП и ЦАП).

Бит 0: REFBE: Бит управления выходным буфером внутреннего ИОН
0: Буфер внутреннего ИОН выключен. Опорное напряжение от внешнего источника может быть подано на вывод VREF.
1: Буфер внутреннего ИОН включен. Используется опорное напряжение от внутреннего ИОН.

Таблица 9.1. Электрические характеристики ИОН

VDD = 3.0В, AV+ = 3.0В, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Внутренний ИОН (REFBE = 1)					
Выходное напряжение	T _{окр. ср.} = 25°C	2.34	2.43	2.50	В
Ток короткого замыкания через вывод VREF				30	мА
Температурный коэффициент нестабильности напряжения на выводе VREF			0,0015		%/°C
Нестабильность тока по нагрузке	Ток нагрузки = (0-200мкА) в цепь AGND (Примечание 1)		5 x 10 ⁻⁵		%/мкА
Время стабилизации напряжения на выводе VREF (1)	Танталовый шунтирующий конденсатор емкостью 4.7мкФ или керамический шунтирующий конденсатор емкостью 0.1мкФ		2		мс
Время стабилизации напряжения на выводе VREF (2)	Керамический шунтирующий конденсатор емкостью 0.1мкФ		20		мкс
Время стабилизации напряжения на выводе VREF (3)	Без шунтирующего конденсатора		10		мкс
Внешний ИОН (REFBE = 0)					
Входное напряжение		1.00		(AV+) - 0.3В	В
Входной ток			0	1	мкА

Примечание 1: Внутренний ИОН может быть только источником тока. При подключении внешней нагрузки рекомендуется соединить вывод VREF с цепью AGND нагрузочным резистором.

10. ПРОЦЕССОРНОЕ ЯДРО CIP-51

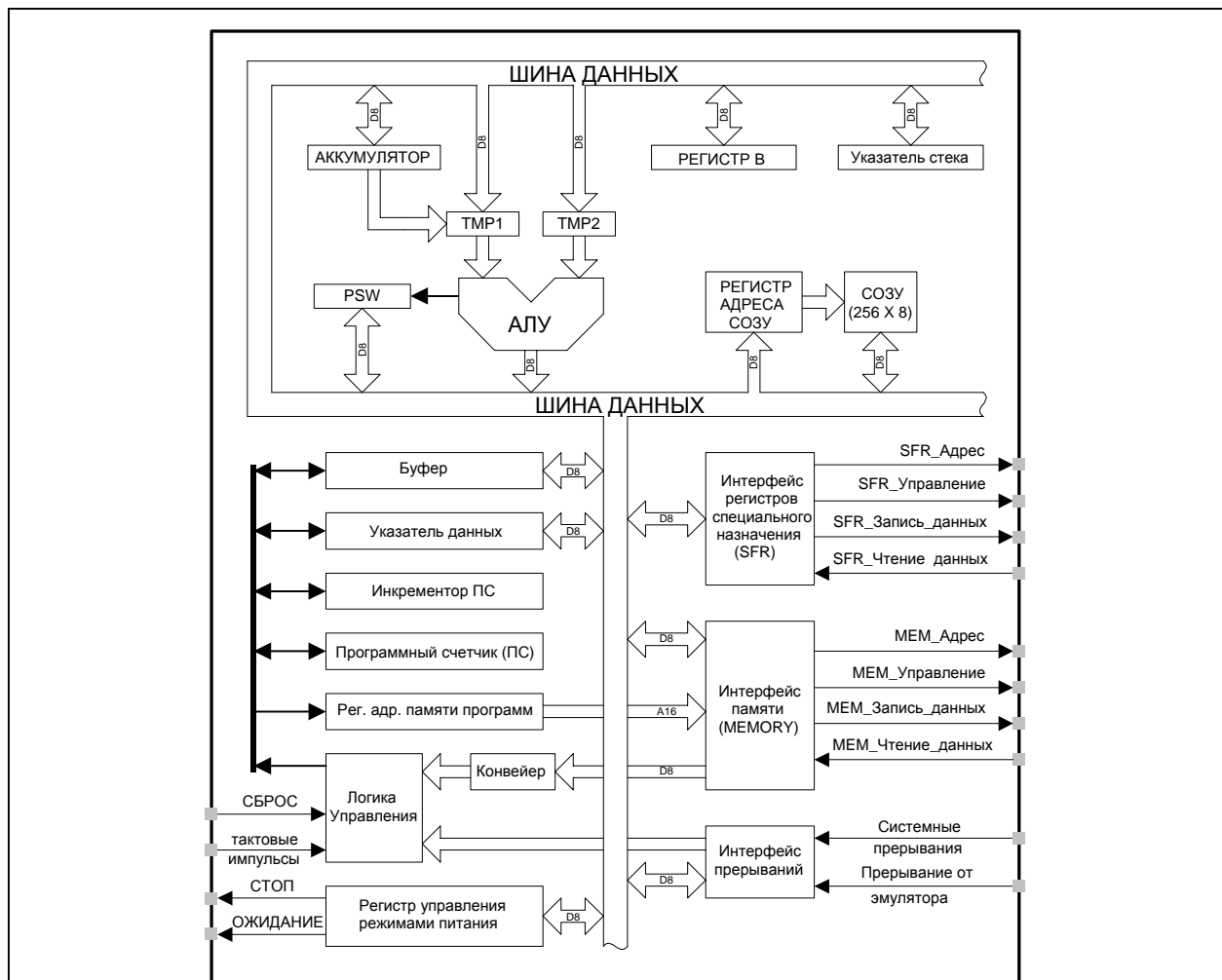
МК семейства C8051F000 используют процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51™. В состав МК данного семейства входят все периферийные модули, соответствующие стандарту 8051, включая четыре 16-разрядных таймера/счетчика (см. раздел 19), полнодуплексный УАПП (см. раздел 18), 256 байт внутреннего ОЗУ, 128 байт адресного пространства для регистров специального назначения (Special Function Register – SFR)(см. раздел 10.3), а также четыре 8-разрядных порта ввода/вывода (см. раздел 14). Ядро CIP-51 содержит встроенные аппаратные средства отладки (см. раздел 21), а также средства взаимодействия с аналоговыми и цифровыми модулями МК, что позволяет построить на одной микросхеме законченную систему управления или сбора данных.

Основные характеристики

МК на основе CIP-51 имеют стандартную для архитектуры 8051 структуру и периферию. Кроме этого введены дополнительные специализированные периферийные модули и функции, улучшающие возможности МК (см. рис. 10.1). Ниже перечислены основные характеристики ядра CIP-51:

- Полная совместимость с MCS-51 по системе команд
- Пиковая производительность 25 MIPS на частоте 25 МГц
- Тактовая частота от 0 до 25МГц (для 'F0x5/6/7)
- Четыре 8-разрядных порта ввода-вывода
- Развитая система прерываний
- Вход сброса
- Различные режимы энергопотребления
- Встроенные средства отладки
- Защита памяти программ и данных

Рисунок 10.1. Структурная схема CIP-51



Производительность

CIP-51 использует конвейерную архитектуру, что существенно повышает скорость исполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 тактовых цикла, а максимальная тактовая частота составляет обычно 12 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два тактовых цикла, и ни одна команда не требует более восьми тактовых циклов.

При работе на максимальной тактовой частоте 25 МГц производительность ядра CIP-51 может достигать 25 MIPS. Система команд CIP-51 состоит из 109 команд, которые требуют от одного до восьми тактовых циклов:

Количество команд	26	50	5	14	7	3	1	2	1
Количество тактовых циклов	1	2	2/3	3	3/4	4	4/5	5	8

Средства поддержки программирования и отладки

Последовательный интерфейс JTAG предназначен для внутрисистемного программирования Flash-памяти программ и взаимодействия со встроенными средствами отладки. Кроме этого перепрограммируемая Flash-память может быть прочитана и изменена прикладной программой в любое время в побайтном режиме, используя команды MOVС и MOVX. Эта возможность позволяет использовать память программ для долговременного хранения данных, а также обновлять программный код под управлением программы.

Встроенные аппаратные средства отладки позволяют осуществлять внутрисхемную отладку в режиме реального времени, при этом возможны расстановка точек останова и временных меток, запуск, остановка и пошаговое исполнение программы (включая процедуры обработки прерываний), проверка программного стека, чтение/запись содержимого регистров и памяти. Это метод отладки является не разрушающим, не требует вмешательства в структуру отлаживаемой системы и использования внутренних ресурсов МК (например, ОЗУ, стека, памяти и др.).

CIP-51 поддерживается аппаратными и программными средствами разработки от фирмы Cygnal и других фирм. Фирма Cygnal предлагает интегрированную среду проектирования (IDE), которая включает в себя редактор, макроассемблер, отладчик и программатор. Отладчик и программатор, входящие в состав IDE, взаимодействуют с CIP-51 посредством JTAG интерфейса, что позволяет осуществлять быстрое и эффективное программирование МК и его отладку. Доступны также макроассемблеры и С-компиляторы независимых фирм-производителей.

10.1. СИСТЕМА КОМАНД

Система команд CIP-51 полностью совместима с системой команд MCS-51™, поэтому разработка программного обеспечения может осуществляться с использованием средств проектирования для стандартной архитектуры 8051. Все команды CIP-51 являются двоичным и функциональным эквивалентом аналогичных команд MCS-51™, включая коды операций, режимы адресации и изменение флагов состояния. Однако, по времени выполнения команды отличаются.

10.1.1. Команды и тактирование

Во многих МК с архитектурой 8051 существует различие между машинным циклом и циклом тактирования, при этом машинный цикл длится от 2 до 12 циклов тактирования. Однако, CIP-51 основан исключительно на синхронизации тактовым сигналом и все временные параметры команд приводятся на основе циклов тактирования.

Благодаря конвейерной архитектуре CIP-51, количество тактовых циклов, требуемых для выполнения большинства команд, равно количеству байтов в команде. Команды условных переходов требуют для завершения на один цикл меньше, если переход не происходит (по сравнению с тем случаем, когда переход происходит). Система команд CIP-51 приведена в таблице 10.1, которая содержит мнемонику, количество байтов и количество тактовых циклов для каждой команды.

10.1.2. Команда MOVX и память программ

Команда MOVX обычно используется для доступа к внешней памяти данных. В CIP-51 команда MOVX может обращаться к встроенной памяти программ, реализованной как перепрограммируемая Flash-память, используя управляющие биты в регистре PSCTL (см. рис. 11.1). Это позволяет ядру CIP-51 обновлять программный код и использовать область памяти программ для долговременного хранения данных. Для МК с ОЗУ, отображенным на внешнюю память данных (C8051F005/06/07/15/16/17), команда MOVX используется также для чтения/записи этой памяти с помощью регистра PSCTL, настроенного на доступ к внешней памяти данных. Подробная информация об использовании Flash-памяти приведена в разделе 11.

Таблица 10.1. Система команд CIP-51

Мнемоника команды	Описание	Байты	Циклы
АРИФМЕТИЧЕСКИЕ ОПЕРАЦИИ			
ADD A,Rn	Сложение аккумулятора с регистром (n = 0...7)	1	1
ADD A,direct	Сложение аккумулятора с прямо-адресуемым байтом	2	2
ADD A,@Ri	Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ	1	2
ADD A,#data	Сложение аккумулятора с константой	2	2
ADDC A,Rn	Сложение аккумулятора с регистром и переносом	1	1
ADDC A,direct	Сложение аккумулятора с прямо-адресуемым байтом и переносом	2	2
ADDC A,@Ri	Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ и переносом	1	2
ADDC A,#data	Сложение аккумулятора с константой и переносом	2	2
SUBB A,Rn	Вычитание из аккумулятора регистра и заема	1	1
SUBB A,direct	Вычитание из аккумулятора прямо-адресуемого байта и заема	2	2
SUBB A,@Ri	Вычитание из аккумулятора косвенно-адресуемого байта ОЗУ и заема	1	2
SUBB A,#data	Вычитание из аккумулятора константы и заема	2	2
INC A	Инкремент аккумулятора	1	1
INC Rn	Инкремент регистра	1	1
INC direct	Инкремент прямо-адресуемого байта	2	2
INC @Ri	Инкремент косвенно-адресуемого байта ОЗУ	1	2
DEC A	Декремент аккумулятора	1	1
DEC Rn	Декремент регистра	1	1
DEC direct	Декремент прямо-адресуемого байта	2	2
DEC @Ri	Декремент косвенно-адресуемого байта ОЗУ	1	2
INC DPTR	Инкремент указателя данных	1	1
MUL AB	Умножение аккумулятора на регистр В	1	4
DIV AB	Деление аккумулятора на регистр В	1	8
DA A	Десятичная коррекция аккумулятора	1	1
ЛОГИЧЕСКИЕ ОПЕРАЦИИ			
ANL A,Rn	Логическое И аккумулятора и регистра	1	1
ANL A,direct	Логическое И аккумулятора и прямо-адресуемого байта	2	2
ANL A,@Ri	Логическое И аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
ANL A,#data	Логическое И аккумулятора и константы	2	2
ANL direct,A	Логическое И прямо-адресуемого байта и аккумулятора	2	2
ANL direct,#data	Логическое И прямо-адресуемого байта и константы	3	3
ORL A,Rn	Логическое ИЛИ аккумулятора и регистра	1	1
ORL A,direct	Логическое ИЛИ аккумулятора и прямо-адресуемого байта	2	2
ORL A,@Ri	Логическое ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
ORL A,#data	Логическое ИЛИ аккумулятора и константы	2	2
ORL direct,A	Логическое ИЛИ прямо-адресуемого байта и аккумулятора	2	2
ORL direct,#data	Логическое ИЛИ прямо-адресуемого байта и константы	3	3
XRL A,Rn	Исключающее ИЛИ аккумулятора и регистра	1	1
XRL A,direct	Исключающее ИЛИ аккумулятора и прямо-адресуемого байта	2	2
XRL A,@Ri	Исключающее ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
XRL A,#data	Исключающее ИЛИ аккумулятора и константы	2	2
XRL direct,A	Исключающее ИЛИ прямо-адресуемого байта и аккумулятора	2	2
XRL direct,#data	Исключающее ИЛИ прямо-адресуемого байта и константы	3	3
CLR A	Сброс аккумулятора	1	1
CPL A	Инверсия аккумулятора	1	1
RL A	Сдвиг аккумулятора влево циклический	1	1
RLC A	Сдвиг аккумулятора влево через перенос	1	1

Мнемоника команды	Описание	Байты	Циклы
RR A	Сдвиг аккумулятора вправо циклический	1	1
RRC A	Сдвиг аккумулятора вправо через перенос	1	1
SWAP A	Обмен местами тетрад в аккумуляторе	1	1
КОМАНДЫ ПЕРЕДАЧИ ДАННЫХ			
MOV A,Rn	Пересылка в аккумулятор из регистра (n = 0...7)	1	1
MOV A,direct	Пересылка в аккумулятор прямо-адресуемого байта	2	2
MOV A,@Ri	Пересылка в аккумулятор косвенно-адресуемого байта ОЗУ	1	2
MOV A,#data	Загрузка в аккумулятор константы	2	2
MOV Rn,A	Пересылка в регистр из аккумулятора	1	1
MOV Rn,direct	Пересылка в регистр прямо-адресуемого байта	2	2
MOV Rn,#data	Загрузка в регистр константы	2	2
MOV direct,A	Пересылка по прямому адресу аккумулятора	2	2
MOV direct,Rn	Пересылка по прямому адресу регистра	2	2
MOV direct,direct	Пересылка прямо-адресуемого байта по прямому адресу	3	3
MOV direct,@Ri	Пересылка косвенно-адресуемого байта ОЗУ по прямому адресу	2	2
MOV direct,#data	Пересылка по прямому адресу константы	3	3
MOV @Ri,A	Пересылка в косвенно-адресуемую ячейку ОЗУ аккумулятора	1	2
MOV @Ri,direct	Пересылка в косвенно-адресуемую ячейку ОЗУ прямо-адресуемого байта	2	2
MOV @Ri,#data	Пересылка в косвенно-адресуемую ячейку ОЗУ константы	2	2
MOV DPTR,#data16	Загрузка указателя данных	3	3
MOVC A,@A+DPTR	Пересылка в аккумулятор байта из памяти программ	1	3
MOVC A,@A+PC	Пересылка в аккумулятор байта из памяти программ	1	3
MOVX A,@Ri	Пересылка в аккумулятор байта из внешней памяти данных	1	3
MOVX @Ri,A	Пересылка байта из аккумулятора во внешнюю память данных	1	3
MOVX A,@DPTR	Пересылка в аккумулятор из расширенной внешней памяти данных	1	3
MOVX @DPTR,A	Пересылка из аккумулятора в расширенную внешнюю память данных	1	3
PUSH direct	Загрузка в стек	2	2
POP direct	Извлечение из стека	2	2
XCH A,Rn	Обмен аккумулятора с регистром	1	1
XCH A,direct	Обмен аккумулятора с прямо-адресуемым байтом	2	2
XCH A,@Ri	Обмен аккумулятора с косвенно-адресуемым байтом ОЗУ	1	2
XCHD A,@Ri	Обмен младшей тетрады аккумулятора с младшей тетрадой косвенно-адресуемого байта ОЗУ	1	2
ОПЕРАЦИИ С БИТАМИ			
CLR C	Сброс переноса	1	1
CLR bit	Сброс бита	2	2
SETB C	Установка переноса	1	1
SETB bit	Установка бита	2	2
CPL C	Инверсия переноса	1	1
CPL bit	Инверсия бита	2	2
ANL C,bit	Логическое И бита и переноса	2	2
ANL C,/bit	Логическое И инверсии бита и переноса	2	2
ORL C,bit	Логическое ИЛИ бита и переноса	2	2
ORL C,/bit	Логическое ИЛИ инверсии бита и переноса	2	2
MOV C,bit	Пересылка бита в перенос	2	2
MOV bit,C	Пересылка переноса в бит	2	2
JC rel	Переход, если перенос равен единице	2	2/3

Мнемоника команды	Описание	Байты	Циклы
JNC rel	Переход, если перенос равен нулю	2	2/3
JB bit,rel	Переход, если бит равен единице	3	3/4
JNB bit,rel	Переход, если бит равен нулю	3	3/4
JBC bit,rel	Переход, если бит установлен, с последующим сбросом бита	3	3/4
ПРОГРАММНЫЕ ПЕРЕХОДЫ			
ACALL addr11	Абсолютный вызов подпрограммы в пределах страницы в 2 Кбайта	2	3
LCALL addr16	Длинный вызов подпрограммы	3	4
RET	Возврат из подпрограммы	1	5
RETI	Возврат из подпрограммы обработки прерывания	1	5
AJMP addr11	Абсолютный переход внутри страницы в 2 Кбайта	2	3
LJMP addr16	Длинный переход в полном объеме памяти программ	3	4
SJMP rel	Короткий относительный переход внутри страницы в 256 байт	2	3
JMP @A+DPTR	Косвенный относительный переход	1	3
JZ rel	Переход, если аккумулятор равен нулю	2	2/3
JNZ rel	Переход, если аккумулятор не равен нулю	2	2/3
CJNE A,direct,rel	Сравнение аккумулятора с прямо-адресуемым байтом и переход, если не равно	3	3/4
CJNE A,#data,rel	Сравнение аккумулятора с константой и переход, если не равно	3	3/4
CJNE Rn,#data,rel	Сравнение регистра с константой и переход, если не равно	3	3/4
CJNE @Ri,#data,rel	Сравнение косвенно-адресуемого байта ОЗУ с константой и переход, если не равно	3	4/5
DJNZ Rn,rel	Декремент регистра и переход, если не нуль	2	2/3
DJNZ direct,rel	Декремент прямо-адресуемого байта и переход, если не нуль	3	3/4
NOP	Холостая команда	1	1

Условные обозначения:

Rn - Регистр R0-R7 выбранного банка регистров.

@Ri – Ячейка ОЗУ данных, адресуемая косвенно через регистры R0-R1

rel - 8-битное смещение со знаком (в дополнительном коде) относительно первого байта следующей команды. Используется командой SJMP и всеми командами условных переходов.

direct - 8-битный адрес ячейки внутреннего ОЗУ данных. Это может быть ячейка ОЗУ данных прямого доступа (0x00-0x7F) или регистр специального назначения SFR (0x80-0xFF).

#data - 8-битная константа

#data 16 - 16-битная константа

bit – Прямо-адресуемый бит ячейки ОЗУ данных или регистра специального назначения SFR.

addr 11 - 11-битный адрес перехода, используемый командами ACALL и AJMP. Переход должен осуществляться в пределах той 2-Кбайтной страницы памяти программ, в которой расположен первый байт следующей команды.

addr 16 - 16-битный адрес перехода, используемый командами LCALL и LJMP. Переход может осуществляться в пределах всего 64-Кбайтного пространства памяти программ.

Существует один неиспользуемый код операции (0xA5), который выполняется аналогично команде NOP.

На всю мнемонику распространяется авторское право © Intel Corporation 1980.

10.2. ОРГАНИЗАЦИЯ ПАМЯТИ

Организация памяти МК с ядром CIP-51 соответствует стандарту 8051. Имеется две отдельных области памяти, память программ и память данных, которые разделяют одно и то же адресное пространство, но доступ к ним осуществляется командами различного типа. Объем внутренней памяти данных составляет 256 байт. Адресное пространство внутренней памяти программ составляет 64 Кбайт. Организация памяти CIP-51 показана на рис. 10.2.

10.2.1. Память программ

CIP-51 имеет адресное пространство памяти программ 64 Кбайт. В МК физически реализовано 32896 байт этой памяти программ, которая является внутрисистемной перепрограммируемой Flash-памятью, занимающей непрерывный блок адресов от 0x0000 до 0x807F. 512 байт (0x7E00 – 0x7FFF) этой памяти зарезервированы для целей производителя и не доступны для хранения программ пользователя.

По умолчанию память программ настраивается только для чтения. Однако CIP-51 может записывать данные в память программ (с использованием команды MOVX), для чего необходимо установить в 1 бит разрешения записи памяти программ (PSCCTL.0). Эта возможность позволяет CIP-51 обновлять программный код и использовать память программ для долговременного хранения данных. Подробная информация о работе с Flash-памятью приведена в разделе 11.

10.2.2. Память данных

Физически реализовано 256 байт внутреннего ОЗУ, отображенного в пространстве памяти данных с адресами от 0x00 до 0xFF. Младшие 128 байт памяти данных используются для регистров общего назначения (РОН) и сверхоперативного ЗУ (СОЗУ). Для доступа к младшим 128 байтам памяти данных можно использовать либо прямую, либо косвенную адресацию. Ячейки с адресами от 0x00 до 0x1F разбиты на четыре банка РОН, каждый банк состоит из восьми однобайтовых регистра. Следующие 16 байт (0x20 - 0x2F) могут адресоваться побайтно или побитно как 128 бит, доступные в режиме прямой битовой адресации.

Старшие 128 байт памяти данных доступны только в режиме косвенной адресации. Эта область памяти занимает то же самое адресное пространство, что и регистры специального назначения (Special Function Registers - SFR), но физически отделена от них. При обращении к ячейкам памяти с адресами 0x7F - 0xFF использующийся в команде режим адресации определяет, к чему осуществляется доступ: к старшим 128 байтам памяти данных или к SFR. Команды, которые используют режим прямой адресации, будут обращаться к SFR. Команды, использующие режим косвенной адресации, будут обращаться к старшим 128 байтам памяти данных. На рис. 10.2 показана организация памяти данных CIP-51.

МК C8051F005/06/07/15/16/17 также имеют 2048 байт ОЗУ в пространстве внешней памяти данных, доступ к которым осуществляется с использованием команды MOVX. Подробная информация о работе с внешней памятью приведена в разделе 12.

10.2.3. Регистры общего назначения

Младшие 32 байта памяти данных (0x00 - 0x1F) разбиты на четыре банка регистров общего назначения. Каждый банк состоит из восьми однобайтовых регистров, обозначаемых R0-R7. В конкретный момент времени может быть активен лишь один банк, определяемый битами RS0 (PSW.3) и RS1 (PSW.4) в слове состояния программы (program status word) PSW (см. описание PSW на рис. 10.6). Это позволяет осуществлять быстрое переключение контекста при вызове подпрограмм и процедур обработки прерываний. Режимы косвенной адресации используют регистры R0 и R1 в качестве индексных регистров.

10.2.4. Ячейки памяти с битовой адресацией

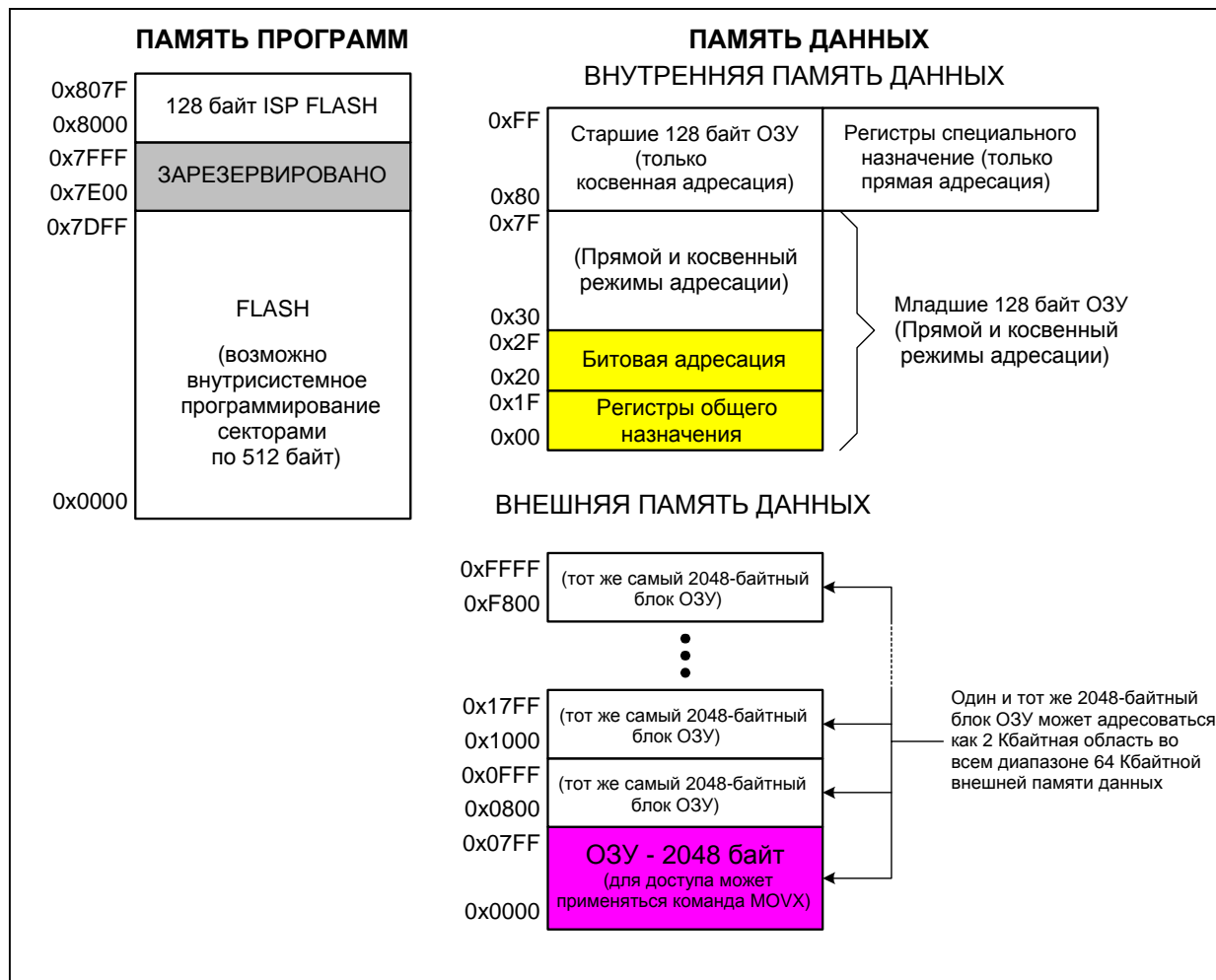
Кроме прямого (побайтного) доступа к памяти данных 16 ячеек этой памяти с адресами 0x20 - 0x2F доступны также как 128 индивидуально адресуемых бит. Каждый бит имеет битовый адрес от 0x00 до 0x7F. Бит 0 байта 0x20 имеет битовый адрес 0x00, а бит 7 байта 0x20 имеет битовый адрес 0x07. Бит 7 байта 0x2F имеет битовый адрес 0x7F. Битовый доступ можно отличить от байтового доступа по типу используемой команды (операнды исходных данных и результата в первом случае являются битами, во втором – байтами).

Ассемблер MCS-51™ допускает альтернативную запись для режима битовой адресации в форме XX.B, где XX – адрес байта, а B – позиция бита внутри этого байта. Например, команда:

```
MOV C, 22h.3
```

присваивает значение бита 0x13 (бит 3 в ячейке с адресом 0x22) флагу переноса.

Рисунок 10.2. Карта распределения памяти



10.2.5. Стек

Программный стек может быть размещен в любом месте 256-байтной памяти данных. Область стека определяется с использованием указателя стека (Stack Pointer - SP, 0x81). SP будет указывать на последнюю использованную ячейку. Следующее значение, загружаемое в стек, размещается по адресу SP+1, и затем SP инкрементируется. При сбросе SP инициализируется значением 0x07. Поэтому первое значение, загружаемое в стек, размещается по адресу 0x08, которое также является первым регистром (R0) регистрового банка 1. Таким образом, если требуется использовать более одного банка регистров, SP следует инициализировать адресом ячейки ОЗУ, не используемой для хранения данных. Стек может иметь глубину до 256 байт.

МК также имеют встроенный аппаратный регистратор стековых операций, который представляет собой 32-разрядный сдвиговый регистр. Каждая команда PUSH или инкремент SP загружают один регистрационный бит в этот регистр, каждая команда CALL или прерывание загружают два регистрационных бита в этот регистр. (Команда POP или декремент SP извлекают один регистрационный бит, а команда RETURN извлекает два регистрационных бита из этого регистра). Схема регистратора стековых операций способна определять переполнение или опустошение стека и может уведомлять программные средства отладки, даже если МК отлаживается в режиме реального времени.

10.3. РЕГИСТРЫ СПЕЦИАЛЬНОГО НАЗНАЧЕНИЯ

Ячейки памяти данных с адресами от 0x80 до 0xFF, доступные в режиме прямой адресации, образуют регистры специального назначения (special function registers - SFR). SFR позволяют управлять ресурсами ядра CIP-51 и периферийными модулями, а также осуществлять обмен данными с ними. CIP-51 дублирует SFR, типичные для архитектуры 8051, и содержит дополнительные SFR, используемые для настройки подсистем, уникальных для данного семейства МК, и доступа к ним. Это позволяет реализовать новые возможности при сохранении совместимости с системой команд MCS-51™. В таблице 10.3 перечислены все SFR МК на основе CIP-51.

Регистры SFR доступны в любое время, когда для доступа к ячейкам памяти с адресами от 0x80 до 0xFF используется режим прямой адресации. SFR с адресами, оканчивающимися на 0x0 или 0x8 (т.е. P0, TCON, P1, SCON, IE, и т.д.), адресуются как побайтно, так и побитно. Все другие SFR адресуются только побайтно. Незанятые адреса в области SFR зарезервированы для дальнейшего использования. Обращение к ячейкам из этой области даст неопределенный результат и должно быть исключено. Подробное описание каждого регистра приведено на соответствующей странице данного руководства (см. табл. 10.3).

Таблица 10.2. Распределение регистров специального назначения в памяти

F8	SPI0CN	PCA0H	PCA0CPH0	PCA0CPH1	PCA0CPH2	PCA0CPH3	PCA0CPH4	WDTCN
F0	B						EIP1	EIP2
E8	ADC0CN	PCA0L	PCA0CPL0	PCA0CPL1	PCA0CPL2	PCA0CPL3	PCA0CPL4	RSTSRC
E0	ACC	XBR0	XBR1	XBR2			EIE1	EIE2
D8	PCA0CN	PCA0MD	PCA0CPM0	PCA0CPM1	PCA0CPM2	PCA0CPM3	PCA0CPM4	
D0	PSW	REF0CN	DAC0L	DAC0H	DAC0CN	DAC1L	DAC1H	DAC1CN
C8	T2CON		RCAP2L	RCAP2H	TL2	TH2		SMB0CR
C0	SMB0CN	SMB0STA	SMB0DAT	SMB0ADR	ADC0GTL	ADC0GTH	ADC0LTL	ADC0LTH
B8	IP		AMX0CF	AMX0SL	ADC0CF		ADC0L	ADC0H
B0	P3	OSCXCN	OSCICN				FLSCL	FLACL***
A8	IE					PRT1IF		EMI0CN***
A0	P2				PRT0CF	PRT1CF	PRT2CF	PRT3CF
98	SCON	SBUF	SPI0CFG	SPI0DAT		SPI0CKR	CPT0CN	CPT1CN
90	P1	TMR3CN	TMR3RL	TMR3RLH	TMR3L	TMR3H		
88	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	PSCTL
80	P0	SP	DPL	DPH				PCON
	↑0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)

Доступны в режиме побитной адресации

Таблица 10.3. Регистры специального назначения

SFR перечислены в алфавитном порядке. Все неопределенные ячейки в области SFR зарезервированы.

* Только для МК C8051F000/1/2/5/6/7.

** Только для МК C8051F010/1/2/5/6/7.

*** Только для МК C8051F005/06/07/15/16/17.

Адрес	Регистр	Описание	№ стр.
0xE0	ACC	Аккумулятор	75
0xBC	ADC0CF	Конфигурация АЦП	33*, 42**
0xE8	ADC0CN	Управление АЦП	34*, 45**
0xC5	ADC0GTH	Нижняя граница диапазона АЦП (старший байт)	36*, 47**
0xC4	ADC0GTL	Нижняя граница диапазона АЦП (младший байт)	36*, 47**
0xBF	ADC0H	Слово данных АЦП (старший байт)	35*, 46**

**C8051F000/1/2/5/6/7****C8051F010/1/2/5/6/7**

Адрес	Регистр	Описание	№ стр.
0xBE	ADC0L	Слово данных АЦП (младший байт)	35*, 46**
0xC7	ADC0LTH	Верхняя граница диапазона АЦП (старший байт)	36*, 47**
0xC6	ADC0LTL	Верхняя граница диапазона АЦП (младший байт)	36*, 47**
0xBA	AMX0CF	Конфигурация мультиплексора АЦП	31*, 42**
0xBB	AMX0SL	Выбор канала мультиплексора АЦП	32*, 43**
0xF0	B	Регистр В	75
0x8E	CKCON	Управление тактированием таймеров 0, 1 и 2	142
0x9E	CPT0CN	Управление компаратором 0	56
0x9F	CPT1CN	Управление компаратором 1	58
0xD4	DAC0CN	Управление ЦАП 0	52
0xD3	DAC0H	Слово данных ЦАП 0 (старший байт)	52
0xD2	DAC0L	Слово данных ЦАП 0 (младший байт)	52
0xD7	DAC1CN	Управление ЦАП 1	53
0xD6	DAC1H	Слово данных ЦАП 1 (старший байт)	53
0xD5	DAC1L	Слово данных ЦАП 1 (младший байт)	53
0x83	DPH	Указатель данных (старший байт)	73
0x82	DPL	Указатель данных (младший байт)	73
0xE6	EIE1	Дополнительный регистр разрешения прерываний 1	80
0xE7	EIE2	Дополнительный регистр разрешения прерываний 2	81
0xF6	EIP1	Дополнительный регистр приоритетов прерываний 1	82
0xF7	EIP2	Дополнительный регистр приоритетов прерываний 2	83
0xAF	EMI0CN	Управление интерфейсом внешней памяти	91***
0xB7	FLACL	Ограничение доступа к Flash-памяти	89***
0xB6	FLSCL	Делитель модуля Flash-памяти	90
0xA8	IE	Разрешение прерываний	78
0xB8	IP	Управление приоритетами прерываний	79
0xB2	OSCICN	Управление внутренним генератором	99
0xB1	OSCXCN	Управление внешним генератором	100
0x80	P0	Регистр-защелка порта 0	108
0x90	P1	Регистр-защелка порта 1	109
0xA0	P2	Регистр-защелка порта 2	110
0xB0	P3	Регистр-защелка порта 3	111
0xD8	PCA0CN	Управление программируемым массивом счетчиков (ПМС) 0	158
0xFA	PCA0CPH0	Слово данных модуля захвата 0 (старший байт)	161
0xFB	PCA0CPH1	Слово данных модуля захвата 1 (старший байт)	161
0xFC	PCA0CPH2	Слово данных модуля захвата 2 (старший байт)	161
0xFD	PCA0CPH3	Слово данных модуля захвата 3 (старший байт)	161
0xFE	PCA0CPH4	Слово данных модуля захвата 4 (старший байт)	161
0xEA	PCA0CPL0	Слово данных модуля захвата 0 (младший байт)	161
0xEB	PCA0CPL1	Слово данных модуля захвата 1 (младший байт)	161
0xEC	PCA0CPL2	Слово данных модуля захвата 2 (младший байт)	161

Адрес	Регистр	Описание	№ стр.
0xED	PCA0CPL3	Слово данных модуля захвата 3 (младший байт)	161
0xEE	PCA0CPL4	Слово данных модуля захвата 4 (младший байт)	161
0xDA	PCA0CPM0	Настройка модуля захват/сравнение 0	160
0xDB	PCA0CPM1	Настройка модуля захват/сравнение 1	160
0xDC	PCA0CPM2	Настройка модуля захват/сравнение 2	160
0xDD	PCA0CPM3	Настройка модуля захват/сравнение 3	160
0xDE	PCA0CPM4	Настройка модуля захват/сравнение 4	160
0xF9	PCA0H	Слово данных таймера/счетчика ПМС (старший байт)	161
0xE9	PCA0L	Слово данных таймера/счетчика ПМС (младший байт)	161
0xD9	PCA0MD	Режим ПМС 0	159
0x87	PCON	Управление питанием	85
0xA4	PRT0CF	Конфигурация порта 0	108
0xA5	PRT1CF	Конфигурация порта 1	109
0xAD	PRT1IF	Флаги прерываний от порта 1	109
0xA6	PRT2CF	Конфигурация порта 2	110
0xA7	PRT3CF	Конфигурация порта 3	111
0x8F	PSCTL	Управление режимом чтения/записи памяти программ	87
0xD0	PSW	Слово состояния программы	74
0xCB	RCAP2H	Захват таймера/счетчика 2 (старший байт)	149
0xCA	RCAP2L	Захват таймера/счетчика 2 (младший байт)	149
0xD1	REF0CN	Регистр управления ИОН	61
0xEF	RSTSRC	Регистр источника сброса	96
0x99	SBUF	Буфер данных (УАПП)	134
0x98	SCON	Управление последовательным портом (УАПП)	135
0xC3	SMB0ADR	Адрес модуля SMBus 0	119
0xC0	SMB0CN	Управление модулем SMBus 0	117
0xCF	SMB0CR	Установка частоты тактирования модуля SMBus 0	118
0xC2	SMB0DAT	Регистр данных модуля SMBus 0	119
0xC1	SMB0STA	Регистр состояния модуля SMBus 0	120
0x81	SP	Указатель стека	73
0x9A	SPI0CFG	Конфигурация модуля SPI	126
0x9D	SPI0CKR	Установка частоты тактирования модуля SPI	128
0xF8	SPI0CN	Управление модулем SPI	127
0x9B	SPI0DAT	Регистр данных модуля SPI	128
0xC8	T2CON	Управление таймером/счетчиком 2	148
0x88	TCON	Управление таймером/счетчиком	140
0x8C	TH0	Слово данных таймера/счетчика 0 (старший байт)	143
0x8D	TH1	Слово данных таймера/счетчика 1 (старший байт)	143
0xCD	TH2	Слово данных таймера/счетчика 2 (старший байт)	149
0x8A	TL0	Слово данных таймера/счетчика 0 (младший байт)	143
0x8B	TL1	Слово данных таймера/счетчика 1 (младший байт)	143



Адрес	Регистр	Описание	№ стр.
0xCC	TL2	Слово данных таймера/счетчика 2 (младший байт)	149
0x89	TMOD	Режим таймера/счетчика	141
0x91	TMR3CN	Управление таймером 3	150
0x95	TMR3H	Старший байт таймера 3	151
0x94	TMR3L	Младший байт таймера 3	151
0x93	TMR3RLH	Старший байт регистра перезагрузки таймера 3	151
0x92	TMR3RLL	Младший байт регистра перезагрузки таймера 3	151
0xFF	WDTCN	Управление сторожевым таймером	95
0xE1	XBR0	Конфигурация 1 матрицы портов ввода/вывода	104
0xE2	XBR1	Конфигурация 2 матрицы портов ввода/вывода	106
0xE3	XBR2	Конфигурация 3 матрицы портов ввода/вывода	107
0x84-86, 0x96-97, 0x9C, 0xA1-A3, 0xA9-AC, 0xAE, 0xB3-B5, 0xB9, 0xBD, 0xC9, 0xCE, 0xDF, 0xE4-E5, 0xF1-F5		Зарезервированы	

* Только для МК C8051F000/1/2/5/6/7.

** Только для МК C8051F010/1/2/5/6/7.

*** Только для МК C8051F005/06/07/15/16/17.

10.3.1. Описания регистров

Ниже приведены описания регистров SFR, связанных с работой ядра CIP-51. Зарезервированные биты не следует устанавливать в логическую 1. Будущие версии МК могут использовать эти биты для реализации новых функций, тогда при сбросе в эти биты будут записаны логические нули, выбирая тем самым состояние по умолчанию для новых функций. Подробные описания остальных SFR включены в разделы настоящего руководства, посвященные описанию связанных с ними системных модулей и функций.

Рисунок 10.3. SP: Указатель стека

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x81

Биты 7-0: SP: Указатель стека.
 Указатель стека содержит адрес вершины стека. Указатель стека инкрементируется перед каждой операцией PUSH. После сброса регистр SP содержит значение по умолчанию 0x07.

Рисунок 10.4. DPL: Младший байт указателя данных

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x82

Биты 7-0: DPL: Младший байт указателя данных.
 Регистр DPL является младшим байтом 16-разрядного регистра DPTR. DPTR используется для доступа в режиме косвенной адресации к ОЗУ и Flash-памяти.

Рисунок 10.5. DPH: Старший байт указателя данных

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x83

Биты 7-0: DPH: Старший байт указателя данных.
 Регистр DPH является младшим байтом 16-разрядного регистра DPTR. DPTR используется для доступа в режиме косвенной адресации к ОЗУ и Flash-памяти.

Рисунок 10.6. PSW: Слово состояния программы

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CY	AC	F0	RS1	RS0	OV	F1	PARITY	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xD0

Бит 7: CY: Флаг переноса.
Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) или заем (вычитание). Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 6: AC: Флаг десятичного переноса.
Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) в старший полубайт или заем (вычитание) из старшего полубайта. Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 5: F0: Флаг пользователя 0.
Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.

Биты 4-3: RS1-RS0: Биты выбора банка регистров.
Эти биты определяют активный банк регистров.

RS1	RS0	Банк регистров	Адреса
0	0	0	0x00-0x07
0	1	1	0x08-0x0F
1	0	2	0x10-0x17
1	1	3	0x18-0x1F

Примечание: Любая команда, которая изменяет биты RS1-RS0, не должна следовать сразу же за командой “MOV Rn, A”.

Бит 2: OV: Флаг переполнения.
Этот бит устанавливается в 1, если в результате последней арифметической операции произошел перенос (сложение), заем (вычитание) или переполнение (умножение или деление). Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 1: F1: Флаг пользователя 1.
Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.

Бит 0: PARITY: Флаг четности.
(Только для чтения)
Этот бит устанавливается в 1, если сумма восьми бит в аккумуляторе нечетная и сбрасывается, если сумма четная.

Рисунок 10.7. АСС: Аккумулятор

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение
ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	00000000
							(доступен в битовом режиме адресации)	SFR Адрес: 0xE0

Биты 7-0: АСС: Аккумулятор
Этот регистр является аккумулятором для арифметических операций.

Рисунок 10.8. В: Регистр В

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение
B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	00000000
							(доступен в битовом режиме адресации)	SFR Адрес: 0xF0

Биты 7-0: В: Регистр В
Этот регистр работает в качестве второго аккумулятора для точных арифметических операций.

10.4. ОБРАБОТКА ПРЕРЫВАНИЙ

CIP-51 имеет развитую систему прерываний, поддерживающую в общей сложности 22 источника прерываний с двумя уровнями приоритета. Распределение источников прерываний между встроенными периферийными модулями и внешними входными выводами для каждого типа МК различно. Каждый источник прерываний имеет один или несколько связанных с ним флагов прерываний, размещенных в SFR. Когда периферийный модуль или внешний источник прерываний регистрирует событие, удовлетворяющее условию прерывания, соответствующий флаг прерывания устанавливается в 1.

Если прерывание от источника прерываний разрешено, то при установке флага прерывания генерируется запрос прерывания. Как только выполнение текущей команды завершится, будет сгенерирована команда LCALL перехода по предопределенному адресу, откуда начнется исполнение процедуры обслуживания прерывания (interrupt service routine - ISR). Каждая ISR должна заканчиваться командой RETI, которая возвращает управление прерванной программе и приводит к выполнению той команды, которая исполнилась бы, если бы запроса прерывания не было. Если прерывания не разрешены, флаг прерывания игнорируется и выполнение программы продолжается в нормальном режиме. (Флаг прерывания устанавливается в 1 независимо от того, разрешены прерывания или запрещены).

Прерывание от каждого источника прерываний может быть разрешено или запрещено с помощью соответствующих битов разрешения прерываний в регистрах SFR (IE-EIE2). Однако, сначала прерывания необходимо разрешить глобально установкой в 1 бита EA (IE.7), только после этого состояние индивидуальных флагов разрешения прерываний будет учтено. Сброс в 0 бита EA запрещает прерывания от всех источников прерываний независимо от состояния индивидуальных флагов разрешения прерываний.

Некоторые флаги прерываний сбрасываются автоматически аппаратными средствами при переходе к процедуре ISR. Однако большинство флагов прерываний не сбрасываются аппаратно и должны быть сброшены программно до возвращения из процедуры ISR. Если флаг прерывания остается установленным после завершения выполнения команды возврата из прерывания (RETI), то сразу же будет сгенерирован новый запрос прерывания и после завершения выполнения следующей команды произойдет повторный переход к процедуре ISR.

10.4.1. Источники и векторы прерываний

МК закрепляет 12 источников прерываний за встроенными периферийными модулями. В зависимости от конфигурации портов ввода/вывода МК доступны до 10 дополнительных внешних источников прерываний. Программа может симулировать прерывание установкой в 1 любого флага прерывания. Если прерывание для этого флага разрешено, будут сгенерирован запрос прерывания и произойдет переход по адресу процедуры ISR, связанной с этим флагом прерывания. Источники прерываний МК, соответствующие им адреса прерываний, уровень приоритета и биты управления перечислены в таблице 10.4. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

10.4.2. Внешние прерывания

Два внешних источника прерываний (/INT0 и /INT1) настраиваются как входы с низким активным уровнем, чувствительные к уровню или к фронту сигнала, в зависимости от состояния битов IT0 (TCON.0) и IT1 (TCON.2). Биты IE0 (TCON.1) и IE1 (TCON.3) служат флагами прерываний для внешних прерываний /INT0 и /INT1 соответственно. Если вход /INT0 или /INT1 настроен как чувствительный к фронту, то соответствующий флаг прерывания автоматически сбрасывается аппаратными средствами при переходе к процедуре ISR. Если вход /INT0 или /INT1 настроен как чувствительный к уровню, то соответствующий флаг прерывания отслеживает состояние входного вывода внешнего прерывания. Внешний источник прерывания должен удерживать на этом входе активный уровень до тех пор, пока запрос прерывания не будет распознан. Затем необходимо деактивировать запрос прерывания до окончания выполнения процедуры ISR, иначе будет сгенерирован другой запрос прерывания.

Остальные четыре внешних прерывания (внешние прерывания 4-7) являются чувствительными к фронту сигнала входами с низким активным уровнем. Соответствующие им флаги прерываний размещены в регистре флагов прерываний от порта 1 (см. рис. 15.10).

Таблица 10.4. Источники прерываний

Источник прерывания	Вектор прерывания	Приоритет	Флаг прерывания	Бит разрешения
Сброс	0x0000	Наивысший	Нет	Разрешен всегда
Внешнее прерывание 0 (/INT0)	0x0003	0	IE0 (TCON.1)	EX0 (IE.0)
Переполнение Таймера 0	0x000B	1	TF0 (TCON.5)	ET0 (IE.1)
Внешнее прерывание 1 (/INT1)	0x0013	2	IE1 (TCON.3)	EX1 (IE.2)
Переполнение Таймера 1	0x001B	3	TF1 (TCON.7)	ET1 (IE.3)
Последовательный порт (УАПП)	0x0023	4	RI (SCON.0) TI (SCON.1)	ES (IE.4)
Переполнение Таймера 2 (или EXF2)	0x002B	5	TF2 (T2CON.7)	ET2 (IE.5)
Модуль SPI	0x0033	6	SPIF (SPI0CN.7)	ESPI0 (EIE1.0)
Модуль SMBus	0x003B	7	SI (SMB0CN.3)	ESMB0 (EIE1.1)
Детектор диапазона АЦПО	0x0043	8	ADWINT (ADC0CN.2)	EWADC0 (EIE1.2)
Программируемый массив счетчиков 0	0x004B	9	CF (PCA0CN.7) CCFn (PCA0CN.n)	EPCA0 (EIE1.3)
Спадающий фронт компаратора 0	0x0053	10	CP0FIF (CPT0CN.4)	ECP0F (EIE1.4)
Нарастающий фронт компаратора 0	0x005B	11	CP0RIF (CPT0CN.5)	ECP0R (EIE1.5)
Спадающий фронт компаратора 1	0x0063	12	CP1FIF (CPT1CN.4)	ECP1F (EIE1.6)
Нарастающий фронт компаратора 1	0x006B	13	CP1RIF (CPT1CN.5)	ECP1R (EIE1.7)
Переполнение Таймера 3	0x0073	14	TF3 (TMR3CN.7)	ET3 (EIE2.0)
Завершение преобразования АЦПО	0x007B	15	ADCINT (ADC0CN.5)	EADC0 (EIE2.1)
Внешнее прерывание 4	0x0083	16	IE4 (PRT1IF.4)	EX4 (EIE2.2)
Внешнее прерывание 5	0x008B	17	IE5 (PRT1IF.5)	EX5 (EIE2.3)
Внешнее прерывание 6	0x0093	18	IE6 (PRT1IF.6)	EX6 (EIE2.4)
Внешнее прерывание 7	0x009B	19	IE7 (PRT1IF.7)	EX7 (EIE2.5)
Неиспользуемое прерывание	0x00A3	20	None	Reserved (EIE2.6)
Готовность внешнего кварцевого генератора	0x00AB	21	XTLVLD (OSCXCN.7)	EXVLD (EIE2.7)

10.4.3. Приоритеты прерываний

Каждому источнику прерываний можно программно присвоить один из двух уровней приоритета: низкий или высокий. Процедура ISR с низким приоритетом может быть прервана прерыванием с высоким приоритетом. Прерывание с высоким приоритетом не может быть прервано. Каждое прерывание имеет связанный с ним бит приоритета в регистрах SFR (IP-EIP2), используемый для настройки уровня приоритета. По умолчанию присваивается низкий приоритет. Если два прерывания происходят одновременно, прерывание с более высоким приоритетом обслуживается первым. Если оба прерывания имеют одинаковый приоритет, для арбитража используется фиксированный уровень приоритета.

10.4.4. Задержка обработки прерывания

Время реакции на прерывание зависит от состояния процессорного ядра в момент возникновения прерывания. Опрос флага прерывания и декодирование приоритета осуществляется каждый системный тактовый цикл. Поэтому, наименее возможное время реакции на прерывание составляет 5 тактовых циклов: 1 цикл для определения прерывания и 4 цикла для выполнения команды LCALL перехода к процедуре ISR. Если в момент выполнения команды RETI появляется прерывание, то до выполнения команды LCALL перехода на процедуру обслуживания этого прерывания будет исполнена одна команда основной программы. Поэтому максимальное время реакции на прерывание (если в настоящий момент не обслуживается другое прерывание или если новое прерывание имеет более высокий приоритет) будет тогда, когда выполняется команда RETI, а следом за ней должна выполняться команда DIV. В этом случае время реакции составляет 18 тактовых циклов: 1 цикл для определения прерывания, 5 циклов для выполнения команды RETI, 8 циклов для выполнения команды DIV и 4 цикла для выполнения команды LCALL перехода на процедуру ISR. Если выполняется процедура ISR для прерывания с равным или более высоким приоритетом, новое прерывание не будет обслужено до тех пор, пока не завершится текущая процедура ISR, включая команду RETI и следующую команду.

10.4.5. Описания регистров прерываний

Регистры SFR, используемые для разрешения/запрещения источников прерываний и установки их приоритетов, описаны ниже. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

Рисунок 10.9. IE: Регистр разрешения прерываний

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xA8
EA	IEGF0	ET2	ES	ET1	EX1	ET0	EX0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит 7: EA: Бит разрешения всех прерываний. Это бит глобально разрешает/запрещает все прерывания. Он перекрывает индивидуальные маски прерываний 0: Все источники прерываний запрещены. 1: Каждое прерывание разрешено/запрещено в соответствии с его индивидуальной маской.</p> <p>Бит 6: IEGF0: Флаг общего назначения 0. Это флаг общего назначения, предназначенный для использования под управлением программы.</p> <p>Бит 5: ET2: Бит разрешения прерывания от Таймера 2. Этот бит устанавливает маскирование прерывания от Таймера 2. 0: Все прерывания от Таймера 2 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF2 (T2CON.7)</p> <p>Бит 4: ES: Бит разрешения прерываний от последовательного порта (УАПП). Этот бит устанавливает маскирование прерывания от последовательного порта (УАПП). 0: Все прерывания от УАПП запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флагов R1 (SCON.0) или T1 (SCON.1).</p> <p>Бит 3: ET1: Бит разрешения прерывания от Таймера 1. Этот бит устанавливает маскирование прерывания от Таймера 1. 0: Все прерывания от Таймера 1 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF1 (TCON.7).</p> <p>Бит 2: EX1: Бит разрешения внешнего прерывания 1. Этот бит устанавливает маскирование внешнего прерывания 1. 0: Внешнее прерывание 1 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на выводе /INT1.</p> <p>Бит 1: ET0: Бит разрешения прерывания от Таймера 0. Этот бит устанавливает маскирование прерывания от Таймера 0. 0: Все прерывания от Таймера 0 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF0 (TCON.5).</p> <p>Бит 0: EX0: Бит разрешения внешнего прерывания 0. Этот бит устанавливает маскирование внешнего прерывания 0. 0: Внешнее прерывание 0 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на выводе /INT0.</p>								

Рисунок 10.10. IP: Регистр приоритетов прерываний

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	PT2	PS	PT1	PX1	PT0	PX0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xB8

Биты 7-6: Не используются. Читаются как 11b.

Бит 5: PT2: Управление приоритетом прерывания от Таймера 2.
Этот бит устанавливает приоритет прерываний от Таймера 2.
0: Приоритет прерывания от Таймера 2 определяется уровнем приоритета по умолчанию.
1: Прерываниям от Таймера 2 назначается высокий уровень приоритета.

Бит 4: PS: Управление приоритетом прерывания от последовательного порта (УАПП).
Этот бит устанавливает приоритет прерываний от последовательного порта (УАПП).
0: Приоритет прерывания от УАПП определяется уровнем приоритета по умолчанию.
1: Прерываниям от УАПП назначается высокий уровень приоритета.

Бит 3: PT1: Управление приоритетом прерывания от Таймера 1.
Этот бит устанавливает приоритет прерываний от Таймера 1.
0: Приоритет прерывания от Таймера 1 определяется уровнем приоритета по умолчанию.
1: Прерываниям от Таймера 1 назначается высокий уровень приоритета.

Бит 2: PX1: Управление приоритетом внешнего прерывания 1.
Этот бит устанавливает приоритет внешнего прерывания 1.
0: Приоритет внешнего прерывания 1 определяется уровнем приоритета по умолчанию.
1: Внешнему прерыванию 1 назначается высокий уровень приоритета.

Бит 1: PT0: Управление приоритетом прерывания от Таймера 0.
Этот бит устанавливает приоритет прерываний от Таймера 0.
0: Приоритет прерывания от Таймера 0 определяется уровнем приоритета по умолчанию.
1: Прерываниям от Таймера 0 назначается высокий уровень приоритета.

Бит 0: PX0: Управление приоритетом внешнего прерывания 0.
Этот бит устанавливает приоритет внешнего прерывания 0.
0: Приоритет внешнего прерывания 0 определяется уровнем приоритета по умолчанию.
1: Внешнему прерыванию 0 назначается высокий уровень приоритета.

Рисунок 10.11. EIE1: Дополнительный регистр разрешения прерываний 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ECP1R	ECP1F	ECP0R	ECP0F	EPCA0	EWADC0	ESMB0	ESPI0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE6
<p>Бит 7: ECP1R: Бит разрешения прерываний от нарастающего фронта Компаратора 1 (CP1). Этот бит устанавливает маскирование прерывания от CP1. 0: Прерывание от нарастающего фронта CP1 запрещено. 1: Разрешены запросы прерываний, генерируемые при установке флага CP1RIF (CPT1CN.5).</p> <p>Бит 6: ECP1F: Бит разрешения прерываний от спадающего фронта Компаратора 1 (CP1). Этот бит устанавливает маскирование прерывания от CP1. 0: Прерывание от спадающего фронта CP1 запрещено. 1: Разрешены запросы прерываний, генерируемые при установке флага CP1FIF (CPT1CN.4).</p> <p>Бит 5: ECP0R: Бит разрешения прерываний от нарастающего фронта Компаратора 0 (CP0). Этот бит устанавливает маскирование прерывания от CP0. 0: Прерывание от нарастающего фронта CP0 запрещено. 1: Разрешены запросы прерываний, генерируемые при установке флага CP0RIF (CPT0CN.5).</p> <p>Бит 4: ECP0F: Бит разрешения прерываний от спадающего фронта Компаратора 0 (CP0). Этот бит устанавливает маскирование прерывания от CP0. 0: Прерывание от спадающего фронта CP0 запрещено. 1: Разрешены запросы прерываний, генерируемые при установке флага CP0FIF (CPT0CN.4).</p> <p>Бит 3: EPCA0: Бит разрешения прерываний от программируемого массива счетчиков (PCA0). Этот бит устанавливает маскирование прерывания от PCA0. 0: Все прерывания от PCA0 запрещены. 1: Разрешены запросы прерываний, генерируемые PCA0.</p> <p>Бит 2: EWADC0: Бит разрешения прерываний от детектора диапазона АЦП0. Этот бит устанавливает маскирование прерывания от детектора диапазона АЦП0. 0: Прерывание от детектора диапазона АЦП0 запрещено. 1: Разрешены запросы прерываний, генерируемые детектором диапазона АЦП0.</p> <p>Бит 1: ESMB0: Бит разрешения прерываний от модуля SMBus. Этот бит устанавливает маскирование прерывания от модуля SMBus. 0: Все прерывания от модуля SMBus запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага SI (SMB0CN.3).</p> <p>Бит 0: ESPI0: Бит разрешения прерываний от модуля SPI0. Этот бит устанавливает маскирование прерывания от модуля SPI0. 0: Все прерывания от модуля SPI0 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага SPIF (SPI0CN.7).</p>								

Рисунок 10.12. EIE2: Дополнительный регистр разрешения прерываний 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
EXVLD	-	EX7	EX6	EX5	EX4	EADC0	ET3	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE7

Бит 7: EXVLD: Бит разрешения прерывания от флага готовности внешнего источника тактовых импульсов (XTLVLD).
Этот бит устанавливает маскирование прерывания от XLTVLD.
0: Все прерывания от XLTVLD запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага XLTVLD (OSCXCN.7)

Бит 6: Зарезервирован. Необходимо записать лог. '0'. Читается как '0'.

Бит 5: EX7: Бит разрешения внешнего прерывания 7.
Этот бит устанавливает маскирование внешнего прерывания 7.
0: Внешнее прерывание 7 запрещено.
1: Разрешены запросы прерываний, генерируемые на входном выводе внешнего прерывания 7.

Бит 4: EX6: Бит разрешения внешнего прерывания 6.
Этот бит устанавливает маскирование внешнего прерывания 6.
0: Внешнее прерывание 6 запрещено.
1: Разрешены запросы прерываний, генерируемые на входном выводе внешнего прерывания 6.

Бит 3: EX5: Бит разрешения внешнего прерывания 5.
Этот бит устанавливает маскирование внешнего прерывания 5.
0: Внешнее прерывание 5 запрещено.
1: Разрешены запросы прерываний, генерируемые на входном выводе внешнего прерывания 5.

Бит 2: EX4: Бит разрешения внешнего прерывания 4.
Этот бит устанавливает маскирование внешнего прерывания 4.
0: Внешнее прерывание 4 запрещено.
1: Разрешены запросы прерываний, генерируемые на входном выводе внешнего прерывания 4.

Бит 1: EADC0: Бит разрешения прерываний, возникающих при завершении преобразования АЦП0.
Этот бит устанавливает маскирование прерывания, возникающего при завершении преобразования АЦП0.
0: Прерывание, возникающее при завершении преобразования АЦП0, запрещено.
1: Разрешены запросы прерываний, генерируемые флагом завершения преобразования АЦП0.

Бит 0: ET3: Бит разрешения прерываний от Таймера 3.
Этот бит устанавливает маскирование прерывания от Таймера 3.
0: Все прерывания от Таймера 3 запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага TF3 (TMR3CN.7)

Рисунок 10.13. EIP1: Дополнительный регистр приоритетов прерываний 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
PCP1R	PCP1F	PCP0R	PCP0F	PPCA0	PWADC0	PSMB0	PSPI0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xF6
<p>Бит 7: PCP1R: Управление приоритетом прерывания от нарастающего фронта Компаратора 1 (CP1). Этот бит устанавливает приоритет прерывания от CP1. 0: Прерыванию от нарастающего фронта CP1 назначается низкий уровень приоритета. 1: Прерыванию от нарастающего фронта CP1 назначается высокий уровень приоритета.</p>								
<p>Бит 6: PCP1F: Управление приоритетом прерывания от спадающего фронта Компаратора 1 (CP1). Этот бит устанавливает приоритет прерывания от CP1. 0: Прерыванию от спадающего фронта CP1 назначается низкий уровень приоритета. 1: Прерыванию от спадающего фронта CP1 назначается высокий уровень приоритета.</p>								
<p>Бит 5: PCP0R: Управление приоритетом прерывания от нарастающего фронта Компаратора 0 (CP0). Этот бит устанавливает приоритет прерывания от CP0. 0: Прерыванию от нарастающего фронта CP0 назначается низкий уровень приоритета. 1: Прерыванию от нарастающего фронта CP0 назначается высокий уровень приоритета.</p>								
<p>Бит 4: PCP0F: Управление приоритетом прерывания от спадающего фронта Компаратора 0 (CP0). Этот бит устанавливает приоритет прерывания от CP0. 0: Прерыванию от спадающего фронта CP0 назначается низкий уровень приоритета. 1: Прерыванию от спадающего фронта CP0 назначается высокий уровень приоритета.</p>								
<p>Бит 3: PPCA0: Управление приоритетом прерывания от программируемого массива счетчиков (PCA0). Этот бит устанавливает приоритет прерывания от PCA0. 0: Прерыванию от PCA0 назначается низкий уровень приоритета. 1: Прерыванию от PCA0 назначается высокий уровень приоритета.</p>								
<p>Бит 2: PWADC0: Управление приоритетом прерывания от детектора диапазона АЦП0. Этот бит устанавливает приоритет прерывания от детектора диапазона АЦП0. 0: Прерыванию от детектора диапазона АЦП0 назначается низкий уровень приоритета. 1: Прерыванию от детектора диапазона АЦП0 назначается высокий уровень приоритета.</p>								
<p>Бит 1: PSMB0: Управление приоритетом прерывания от модуля SMBus. Этот бит устанавливает приоритет прерывания от модуля SMBus. 0: Прерыванию от модуля SMBus назначается низкий уровень приоритета. 1: Прерыванию от модуля SMBus назначается высокий уровень приоритета.</p>								
<p>Бит 0: PSPI0: Управление приоритетом прерывания от модуля SPI0. Этот бит устанавливает приоритет прерывания от модуля SPI0. 0: Прерыванию от модуля SPI0 назначается низкий уровень приоритета. 1: Прерыванию от модуля SPI0 назначается высокий уровень приоритета.</p>								

Рисунок 10.14. EIP2: Дополнительный регистр приоритетов прерываний 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xF7
PXVLD	-	PX7	PX6	PX5	PX4	PADC0	PT3	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: PXVLD: Управление приоритетом прерывания от флага готовности внешнего источника тактовых импульсов (XTLVLD). Этот бит устанавливает приоритет прерывания от XLTVLD. 0: Прерыванию от XLTVLD назначается низкий уровень приоритета. 1: Прерыванию от XLTVLD назначается высокий уровень приоритета.</p> <p>Бит 6: Зарезервирован: Необходимо записать лог. '0'. Читается как '0'.</p> <p>Бит 5: PX7: Управление приоритетом внешнего прерывания 7. Этот бит устанавливает приоритет внешнего прерывания 7. 0: Внешнему прерыванию 7 назначается низкий уровень приоритета. 1: Внешнему прерыванию 7 назначается высокий уровень приоритета.</p> <p>Бит 4: PX6: Управление приоритетом внешнего прерывания 6. Этот бит устанавливает приоритет внешнего прерывания 6. 0: Внешнему прерыванию 6 назначается низкий уровень приоритета. 1: Внешнему прерыванию 6 назначается высокий уровень приоритета.</p> <p>Бит 3: PX5: Управление приоритетом внешнего прерывания 5. Этот бит устанавливает приоритет внешнего прерывания 5. 0: Внешнему прерыванию 5 назначается низкий уровень приоритета. 1: Внешнему прерыванию 5 назначается высокий уровень приоритета.</p> <p>Бит 2: PX4: Управление приоритетом внешнего прерывания 4. Этот бит устанавливает приоритет внешнего прерывания 4. 0: Внешнему прерыванию 4 назначается низкий уровень приоритета. 1: Внешнему прерыванию 4 назначается высокий уровень приоритета.</p> <p>Бит 1: PADC0: Управление приоритетом прерывания от флага завершения преобразования АЦП0. Этот бит устанавливает приоритет прерывания от флага завершения преобразования АЦП0. 0: Прерыванию от флага завершения преобразования АЦП0 назначается низкий уровень приоритета. 1: Прерыванию от флага завершения преобразования АЦП0 назначается высокий уровень приоритета.</p> <p>Бит 0: PT3: Управление приоритетом прерывания от Таймера 3. Этот бит устанавливает приоритет прерывания от Таймера 3. 0: Приоритет прерывания от Таймера 3 определяется уровнем приоритета по умолчанию. 1: Прерыванию от Таймера 3 назначается высокий уровень приоритета.</p>								

10.5. Режимы управления электропитанием

Ядро CIP-51 имеет два программируемых режима управления электропитанием: режим ожидания и режим остановки. В режиме ожидания процессорное ядро останавливается, а внешние периферийные модули и внутренние тактовые генераторы остаются активными. В режиме остановки процессорное ядро и системный тактовый генератор останавливаются, все источники прерываний и таймеры (кроме детектора исчезновения тактовых импульсов) неактивны. После того, как тактовые генераторы переведены в режим ожидания, энергопотребление зависит от системной тактовой частоты и количества периферийных модулей, оставленных в активном режиме до входа в режим ожидания. В режиме остановки энергопотребление наименьшее. На рис. 10.15 описан регистр управления питанием (PCON), используемый для настройки режимов электропитания CIP-51.

Хотя CIP-51 имеет встроенные режимы ожидания и остановки (как любой МК со стандартной архитектурой 8051), управление питанием всего МК наиболее эффективно осуществляется путем разрешения/запрещения по необходимости индивидуальных периферийных модулей. Каждый аналоговый периферийный модуль, когда он не используется, может быть заблокирован и переведен в режим пониженного энергопотребления. Цифровые периферийные модули, такие как таймеры или последовательные интерфейсы, потребляют мало энергии, когда не используются. Отключение генератора хоть и сохраняет много энергии, но требует сброса для запуска МК.

10.5.1. Режим ожидания

Установка в 1 бита выбора режима ожидания (PCON.0) заставит CIP-51 остановить процессорное ядро и перейти в режим ожидания сразу же после завершения команды, которая устанавливает этот бит. Все внутренние регистры и память сохраняют свои данные. Все аналоговые и цифровые периферийные модули могут оставаться активными во время режима ожидания.

Выйти из режима ожидания можно или по сигналу сброса, или по прерыванию. Любой из разрешенных сигналов прерывания приведет к сбросу бита PCON.0 и возобновлению работы процессорного ядра. Прерывание будет обслужено и после выхода из прерывания (RETI) будет исполнена команда, которая следует в программе за командой, установившей бит выбора режима ожидания (PCON.0). Если режим ожидания завершается по внутреннему или внешнему сигналу сброса, то CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если сторожевой таймер включен, то со временем он вызовет сброс от сторожевого таймера, что приведет к выходу из режима ожидания. Эта возможность защищает систему от непреднамеренного постоянного отключения в случае случайной записи регистра PCON. Когда такое поведение нежелательно, сторожевой таймер может быть отключен программно до входа в режим ожидания, если первоначально он был настроен на разрешение такой операции. Это обеспечивает возможность дополнительного уменьшения энергопотребления, т.к. система остается в режиме ожидания неопределенно долгое время, ожидая внешнего сигнала пробуждения системы. Подробная информация об использовании и настройке сторожевого таймера приведена в разделе 13.8.

10.5.2. Режим остановки

Установка в 1 бита выбора режима остановки (PCON.1) заставит CIP-51 перейти в режим остановки сразу же после завершения команды, которая устанавливает этот бит. В режиме остановки процессорное ядро и тактовые генераторы останавливаются, а значит все цифровые модули выключаются. Каждый аналоговый периферийный модуль может быть отключен индивидуально до перехода в режим остановки. Выйти из режима остановки можно по внутреннему или внешнему сигналу сброса. При сбросе CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если включен детектор исчезновения тактовых импульсов (Missing Clock Detector – MCD), то он вызовет внутренний сброс и тем самым выведет МК из режима остановки. Детектор исчезновения тактовых импульсов следует отключить, если необходимо перевести МК в режим остановки на время, большее времени задержки MCD (100 мкс).

Рисунок 10.15. PCON: Регистр управления электропитанием

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
SMOD	GF4	GF3	GF2	GF1	GF0	STOP	IDLE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x87

Бит 7: SMOD: Включение удвоения скорости передачи данных последовательного порта.
0: Скорости передачи данных последовательного порта определяется режимом последовательного порта, заданным в регистре SCON.
1: Скорости передачи данных последовательного порта в два раза больше, чем та, которая определяется режимом последовательного порта, заданным в регистре SCON.

Биты 6-2: GF4-GF0: Флаги общего назначения 4-0.
Это флаги общего назначения, предназначенные для использования под управлением программы.

Бит 1: STOP: Выбор режима остановки.
Установка этого бита переведет CIP-51 в режим остановки. Этот бит всегда будет читаться как '0'.
1: Переход в режим пониженного энергопотребления. (Отключение тактового генератора).

Бит 0: IDLE: Выбор режима ожидания.
Установка этого бита переведет CIP-51 в режим ожидания. Этот бит всегда будет читаться как '0'.
1: Переход в режим ожидания. (Отключение тактирования процессорного ядра, однако тактирование таймеров, модулей прерываний, последовательных портов и аналоговых модулей остается включенным)

11. FLASH-ПАМЯТЬ

МК данного семейства содержат 32k + 128 байт встроенной перепрограммируемой Flash-памяти для хранения программного кода и долговременного хранения данных. Flash-память может программироваться внутрисистемно по одному байту за раз посредством JTAG-интерфейса или с использованием команды MOVX. Если Flash-бит сброшен в 0, то для того, чтобы установить его в 1, его необходимо стереть. Байты перед программированием обычно стираются (устанавливаются в 0xFF). Временные интервалы операций записи и стирания, необходимые для корректной работы, устанавливаются аппаратными средствами. Опрос данных для определения завершения операции записи/стирания не требуется. Flash-память разработана таким образом, чтобы выдержать по меньшей мере 20000 циклов записи/стирания. Электрические параметры Flash-памяти приведены в таблице 11.1.

11.1. Программирование Flash-памяти

Самый простой способ программирования Flash-памяти заключается в использовании JTAG-интерфейса и средств программирования, предлагаемых фирмой Cygnal или независимыми производителями. Это единственный способ программирования неинициализированного МК. Подробная информация об использовании JTAG команд для программирования Flash-памяти приведена в разделе 21.2.

Flash-память можно программировать программным путем, используя команду MOVX с адресом и байтом данных в качестве обычных операндов. Перед записью во Flash-память с использованием команды MOVX операции записи Flash-памяти необходимо разрешить установкой в 1 бита разрешения записи памяти программ PSWE (PSCTL.0). Запись во Flash-память остается разрешенной до тех пор, пока бит PSWE не будет сброшен в 0 программой.

Запись во Flash-память может сбросить в 0 биты, но не может установить их в 1. Только операция стирания может установить в 1 биты во Flash-памяти. Поэтому ячейку памяти, в которую должен быть записан байт, необходимо предварительно стереть, чтобы можно было записать новое значение. 32-Кбайтная Flash-память организована секторами по 512 байт. Операция стирания применяется ко всему сектору целиком (все байты в секторе устанавливаются в 0xFF). Установка в 1 бита разрешения стирания памяти программ PSEE (PSCTL.1) и бита PSWE (PSCTL.0) и использование затем команды MOVX для записи байта данных в любую ячейку памяти внутри сектора приведет к стиранию всего 512-байтного сектора. Записанный байт данных может иметь любое значение, т.к. он в действительности не записывается во Flash-память. Стирание Flash-памяти остается разрешенным до тех пор, пока бит PSEE не будет сброшен в 0 программой. Ниже приведен алгоритм программирования Flash-памяти программным путем:

1. Разрешить запись/стирание Flash-памяти, используя биты FLASCL в регистре FLSCCL.
2. Установить в 1 бит PSEE (PSCTL.1) для разрешения стирания Flash-сектора.
3. Установить в 1 бит PSWE (PSCTL.0) для разрешения записи во Flash-память.
4. Использовать команду MOVX для записи байта данных в любую ячейку внутри 512-байтного сектора, который таким образом будет стерт.
5. Сбросить в 0 бит PSEE (PSCTL.1) для запрещения стирания Flash-сектора
6. Использовать команду MOVX для записи байта данных по нужному адресу внутри 512-байтного сектора. Повторять столько, сколько необходимо. (Любое количество байтов можно записать: от одного байта и до всего сектора полностью).
7. Сбросить в 0 бит PSWE (PSCTL.0) для запрещения записи во Flash-память.

Временные интервалы операций записи и стирания, которые устанавливаются аппаратными средствами, основаны на значении делителя из регистра делителя Flash-памяти (FLSCL). 4-разрядное значение делителя FLASCL определяет временной интервал для операций записи/стирания. Значение FLASCL, необходимое для заданной системной тактовой частоты, вместе с формулой, используемой для его расчета, приведены на рис. 11.4. Когда значение FLASCL равно 1111b, операции записи/стирания запрещены. Следует иметь в виду, что во время программирования или стирания Flash-памяти выполнение программы приостанавливается.

Таблица 11.1. Электрические параметры FLASH-памяти

VDD = 2.7 - 3.6V, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Число циклов программирования		20000	100000		Стирание/Запись
Время цикла стирания		10			мс
Время цикла записи		40			мкс

11.2. Долговременное хранение данных

Flash-память может использоваться не только для программного кода, но и для долговременного хранения данных. Это позволяет рассчитывать и сохранять во время выполнения программы такие данные, как калибровочные коэффициенты. Данные записываются с использованием команды MOVX и считываются с использованием команды MOVC.

МК данного семейства содержат дополнительный 128-байтный сектор Flash-памяти, занимающий адреса 0x8000 – 0x807F. Этот сектор может использоваться для программного кода или хранения данных. Однако, по причине небольшого размера этого сектора его особенно выгодно использовать в качестве долговременной сверхбыстродействующей памяти общего назначения. Несмотря на то, что во Flash-память можно записывать по одному байту за раз, сначала необходимо стереть весь сектор. После того, как сектор стерт, данные обновляются и возвращаются в исходный сектор. 128-байтный размер сектора позволяет организовать процесс обновления данных без расходования пространства памяти программ, т.к. можно использовать внутреннее ОЗУ данных для временного хранения. (Обычный 512-байтный сектор слишком большой и не позволяет сохранить его в 256-байтной памяти данных.)

11.3. Защита FLASH-памяти

CIP-51 имеет опции защиты, позволяющие защитить Flash-память от случайной модификации со стороны программы и исключить возможность просмотра патентованного программного кода и констант. Биты разрешения записи памяти программ (PSCTL.0) и разрешения стирания памяти программ (PSCTL.1) защищают Flash-память от случайной модификации со стороны программы. Эти биты должны быть явно установлены в 1, чтобы программа могла модифицировать Flash-память. Дополнительные функции защиты предотвращают чтение и изменение патентованного программного кода и констант посредством JTAG-интерфейса или программы, запущенной на системном контроллере.

Установка байтов блокировки защиты по адресам 0x7DFE и 0x7DFF защищает Flash-память от чтения и изменения через JTAG-интерфейс. Каждый бит в байте блокировки защиты защищает один 4Кбайтный блок памяти. Сброс бита в 0 в байте блокировки чтения защищает соответствующий блок Flash-памяти от чтения через JTAG-интерфейс. Сброс бита в 0 в байте блокировки записи/стирания защищает блок от записи и/или стирания через JTAG-интерфейс. Байт блокировки чтения находится по адресу 0x7DFF. Байт блокировки записи/стирания находится по адресу 0x7DFE. На рис.11.2 показаны определения бит и адреса байтов защиты. 512-байтный сектор, содержащий байты защиты, можно программно записывать, но нельзя программно стирать.

Рисунок 11.1. PSCTL: Регистр управления записью/стиранием памяти программ

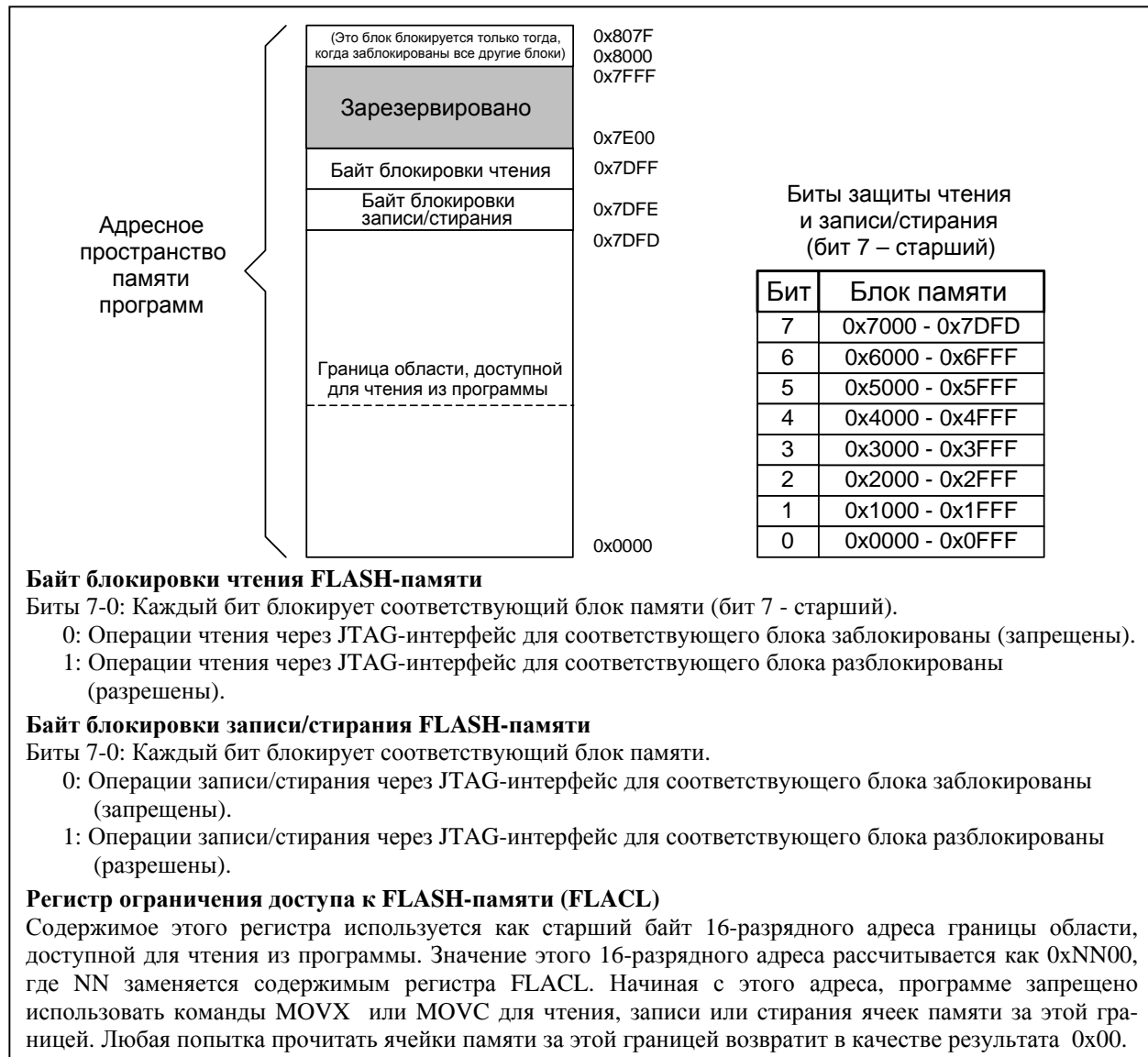
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	-	PSEE	PSWE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8F

Биты 7-2: Не используются. Читаются как 000000b.

Бит 1: PSEE: Разрешение стирания памяти программ.
Установка этого бита разрешает стереть целую страницу Flash-памяти программ при условии, что бит PSWE также установлен. После установки этого бита запись во Flash-память с использованием команды MOVX сотрет целую страницу, которая содержит ячейку, адресуемую командой MOVX (значение записываемого байта данных не важно).
0: Стирание Flash-памяти программ запрещено.
1: Стирание Flash-памяти программ разрешено.

Бит 0: PSWE: Разрешение записи памяти программ.
Установка этого бита разрешает запись байта данных во Flash-память программ, используя команду MOVX. Адресуемая в команде MOVX ячейка памяти должна быть стертой.
0: Запись во Flash-память программ запрещена.
1: Запись во Flash-память программ разрешена.

Рисунок 11.2. Байты защиты Flash-памяти программ



Биты блокировки всегда могут быть прочитаны и сброшены в 0 независимо от параметров защиты блока, содержащего байты защиты. Это позволяет защитить дополнительные блоки уже после того, как был защищен блок, содержащий байты защиты. Однако, единственный способ удалить однажды установленную защиту – стереть все пространство памяти программ, используя операцию стирания JTAG-интерфейса (т.е. нельзя сделать этого из программы пользователя). **Примечание: обращение к любому байту защиты во время выполнения операции JTAG-стирания автоматически инициирует стирание всего пространства памяти программ (за исключением зарезервированной области). Эта операция стирания может быть выполнена только через JTAG-интерфейс. Если в процессе операции стирания происходит обращение к байту на странице 0x7C00-0x7DFF, который не является байтом защиты, то будет стерта лишь эта страница (включая байты защиты).**

Ограничение доступа к Flash-памяти (см. рис. 11.3) представляет собой функцию защиты, которая защищает патентованный программный код и данные от прочтения программой, запущенной на МК C8051F005/06/07/15/16/17. Эта функция обеспечивает поддержку OEM-производителей, которые перед распространением МК желают запрограммировать их дополнительным программным обеспечением, являющимся собственностью фирмы. При этом фирменное программное обеспечение будет защищено, а в оставшееся пространство памяти программ можно позднее запрограммировать дополнительный код.

Граница области, доступной для программного чтения (Software Read Limit - SRL), представляет собой 16-битный адрес, который делит пространство памяти программ на два логических раздела. Первый из них является верхним разделом и состоит из всех ячеек памяти программ, находящихся выше адреса SRL (включая и сам адрес SRL). Второй является нижним разделом и состоит из всех ячеек памяти программ с адресами от 0x0000 до SRL адреса (не включая сам адрес SRL). Программа, запущенная в верхнем разделе, может исполнять код из нижнего раздела, но ей запрещено читать ячейки из нижнего раздела, используя команду MOVC. (Выполнение команды MOVC из верхнего раздела с адресом источника, указывающим на нижний раздел, всегда в качестве результата будет возвращать значение 0x00.) Программа, запущенная в нижнем разделе, может обращаться к ячейкам памяти как из верхнего, так и из нижнего разделов без ограничений.

Дополнительные встроенные фирменные программы следует размещать в нижнем разделе. При сбросе управление передается этим программам через вектор сброса. Как только завершится процесс начальной инициализации, произойдет переход по предопределенному адресу в верхнем разделе. Программа, запущенная в верхнем разделе, может выполнять программный код из нижнего раздела, если известны точки входа, но не может прочитать содержимое нижнего раздела. Программному коду, запущенному в нижнем разделе, параметры могут передаваться следующим образом:

- параметры размещаются в стеке до вызова программного кода из нижнего раздела;
- параметры размещаются в регистрах внутреннего ОЗУ до вызова программного кода из нижнего раздела;
- параметры размещаются в определенных ячейках памяти в верхнем разделе.

Адрес SRL задается в регистре ограничения доступа к Flash-памяти (FLACL). 16-разрядный SRL адрес вычисляется как 0xNN00, где NN представляет собой содержимое регистра FLACL. Таким образом, адрес SRL можно задать в любом месте пространства памяти программ на границах 256-байтных секторов. Однако, 512-байтный размер сектора стирания требует использовать в качестве адреса SRL границы 512-байтных секторов. При сбросе в регистр FLACL по умолчанию записывается 0x00, устанавливая тем самым адрес SRL 0x0000 и разрешая доступ по чтению ко всем ячейкам памяти программ.

Рисунок 11.3. FLACL: Регистр ограничения доступа к Flash-памяти
(только МК C8051F005/06/07/15/16/17)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: SFR Адрес: 0xB7
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: FLACL: Адрес границы программно-доступной области Flash-памяти. Этот регистр содержит старший байт 16-разрядного адреса границы области памяти программ, доступной для операций чтения/записи/стирания. Значение полного 16-разрядного адреса ограничения доступа рассчитывается как 0xNN00, где NN заменяется содержимым регистра FLACL. Запись в этот регистр устанавливает адрес границы программно-доступной области Flash-памяти. Этот регистр может быть записан только один раз после сброса. Все последующие попытки записать этот регистр игнорируются до следующего сброса.								

Рисунок11.4. FLASCL: Регистр делителя модуля Flash-памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
FOSE	FRAE	-	-	FLASCL				10001111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xB6
<p>Бит 7: FOSE: Включение ждущего таймера модуля Flash-памяти 0: Ждущий таймер модуля Flash-памяти выключен. 1: Ждущий таймер модуля Flash-памяти включен.</p> <p>Бит 6: FRAE: Разрешение постоянного чтения Flash-памяти 0: Чтением Flash-памяти управляет ждущий таймер. 1: Flash-память всегда в режиме чтения.</p> <p>Биты 5-4: Не используются. Читаются как 00b.</p> <p>Биты 3-0: FLASCL: Делитель модуля Flash-памяти. Этот регистр устанавливает значение делителя для заданной системной тактовой частоты. Делитель необходим для генерации корректных временных интервалов, требуемых модулем Flash-памяти для выполнения операций записи/стирания. Если значение делителя равно 1111b, операции записи/стирания Flash-памяти запрещены. 0000: Системная тактовая частота < 50 кГц 0001: 50 кГц ≤ Системная тактовая частота < 100 кГц 0010: 100 кГц ≤ Системная тактовая частота < 200 кГц 0011: 200 кГц ≤ Системная тактовая частота < 400 кГц 0100: 400 кГц ≤ Системная тактовая частота < 800 кГц 0101: 800 кГц ≤ Системная тактовая частота < 1.6 МГц 0110: 1.6 МГц ≤ Системная тактовая частота < 3.2 МГц 0111: 3.2 МГц ≤ Системная тактовая частота < 6.4 МГц 1000: 6.4 МГц ≤ Системная тактовая частота < 12.8 МГц 1001: 12.8 МГц ≤ Системная тактовая частота < 25.6 МГц 1010: 25.6 МГц ≤ Системная тактовая частота < 51.2 МГц * 1011, 1100, 1101, 1110: Зарезервированные значения. 1111: Операции записи/стирания Flash-памяти запрещены.</p> <p>Значение делителя представляет собой наименьшее значение, удовлетворяющее следующей формуле: $FLASCL > \log_2(\text{Системная тактовая частота} / 50 \text{ кГц})$</p> <p>* Для тестирования. Функционирование МК семейства C8051F000 на частотах выше 25МГц не гарантируется.</p>								

12. ВНЕШНЕЕ ОЗУ (C8051F005/06/07/15/16/17)

МК C8051F005/06/07/15/16/17 включают 2048 байт ОЗУ, отображенные в пространстве внешней памяти данных. Доступ к ним осуществляется с использованием команды MOVX и указателя данных DPTR, либо с использованием команды MOVX с косвенным режимом адресации. Если команда MOVX используется с 8-битным операндом адреса (например, @R1), то старший байт 16-битного адреса берется из регистра управления интерфейсом внешней памяти EMI0CN (см. рис.12.1). **Примечание: команда MOVX также используется для записи во Flash-память (см. раздел 11). По умолчанию команда MOVX получает доступ к внешнему ОЗУ (XRAM), т.е. PSTCL.0 = 0.**

Для любого режима адресации старшие 5 бит 16-битного адреса внешней памяти данных “не имеют значения”. В результате, 2048-байтное ОЗУ отображается в виде модулей во всем 64-Кбайтном диапазоне адресов внешней памяти данных. Например, адреса 0x0000, 0x0800, 0x1000, 0x1800, 0x2000 и т.д. указывают на один и тот же байт XRAM. Это свойство полезно при осуществлении линейного заполнения памяти, т.к. нет необходимости сбрасывать указатель адреса при достижении границы блока ОЗУ.

Рисунок 12.1. EMI0CN: Регистр управления интерфейсом внешнего ОЗУ

R	R	R	R	R	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	PGSEL2	PGSEL1	PGSEL0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xAF
Биты 7-3: Не используются. Читаются как 00000b.								
Биты 2-0: PGSEL[2:0]: Биты выбора страницы XRAM								
Биты выбора страницы XRAM образуют старший байт 16-битного адреса внешней памяти данных при использовании команды MOVX с 8-битным адресом, задавая таким образом необходимую 256-байтную страницу ОЗУ. Старшие 5 бит “не имеют значения”, поэтому 2-Кбайтные адресные блоки повторяются модулями во всем 64-Кбайтном пространстве адресов внешней памяти данных.								
000: xxxxx000b								
001: xxxxx001b								
010: xxxxx010b								
011: xxxxx011b								
100: xxxxx100b								
101: xxxxx101b								
110: xxxxx110b								
111: xxxxx111b								

13.1. Сброс при включении питания (Power-on Reset - POR)

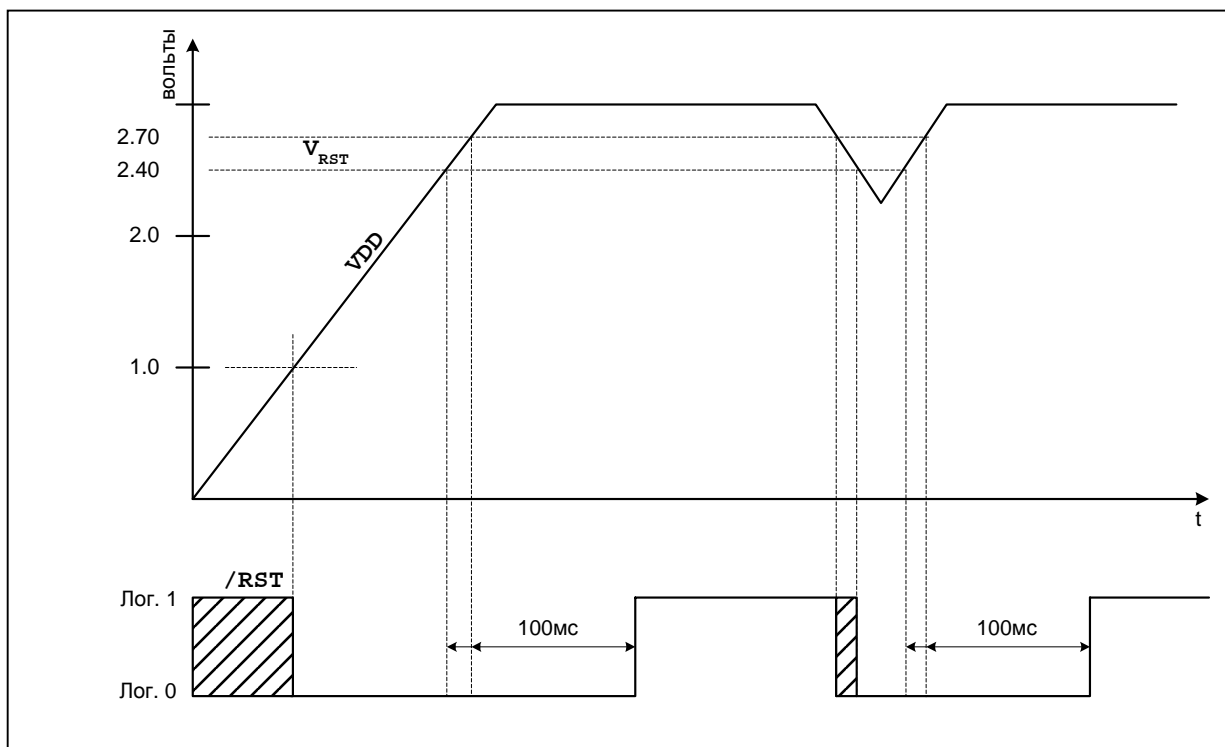
МК семейства C8051F000 содержат схему слежения за напряжением питания, которая удерживает МК в состоянии сброса, пока напряжение питания VDD не превысит в процессе включения уровень V_{RST} . (См. временную диаграмму на рис.13.2 и электрические характеристики в табл.13.1). В течение таймаута схемы слежения за напряжением питания (100 мс) на выводе /RST удерживается низкий логический уровень, что позволяет напряжению питания стабилизироваться.

При завершении сброса типа POR флаг PORSF (RSTSRC.1) аппаратно устанавливается в 1. Все другие флаги сброса в регистре RSTSRC являются неопределенными. Флаг PORSF сбрасывается в 0 при сбросе от любого другого источника. Т.к. при сбросе любого типа выполнение программы начинается с одного и того же адреса (0x0000), программа может опросить флаг PORSF, чтобы определить, было ли включение питания причиной сброса. Содержимое внутренней памяти данных после сброса типа POR следует считать неопределенным.

13.2. Программный сброс

Установка в 1 бита PORSF вызовет сброс типа POR, который описан в разделе 13.1.

Рисунок 13.2. Временная диаграмма работы схемы слежения за напряжением питания



13.3. Сброс при исчезновении питания (Power-fail Reset – PFR)

Когда при выключении или сбое питания напряжение питания VDD опускается ниже уровня V_{RST} , схема слежения за напряжением питания установит на выводе /RST низкий логический уровень и переведет CIP-51 в состояние сброса (см. рис.13.2). Когда VDD превысит уровень V_{RST} , CIP-51 выйдет из состояния сброса точно так же, как при сбросе типа POR. Следует иметь в виду, что, хотя содержимое внутренней памяти данных и не изменяется при сбросе типа PFR, невозможно определить, опускалось ли напряжение VDD ниже уровня, необходимого для сохранения данных. Если флаг PORSF установлен в 1, данные нельзя более считать действительными.

13.4. Внешний сброс

Внешний вывод /RST позволяет внешней схеме перевести МК в состояние сброса. Подача на вывод /RST сигнала с низким активным уровнем заставит МК перейти в состояние сброса. Несмотря на наличие внутренних слаботочковых подтяжек, желательно обеспечить на выводе /RST внешние подтягивающие и/или развязывающие цепи, чтобы предотвратить ложные сбросы, вызванные шумом. После снятия сигнала с низким активным уровнем с вывода /RST МК будет оставаться в состоянии сброса еще по крайней мере 12 тактовых циклов. При завершении внешнего сброса устанавливается в 1 флаг PINRSF (RSTSRC.0). Допустимое напряжение на выводе /RST составляет 5В.

13.5. Сброс от детектора исчезновения тактирования

Детектор исчезновения тактирования (Missing Clock Detector – MCD) фактически представляет собой одновибратор, который управляется системным тактовым сигналом. Если системный тактовый сигнал исчезнет более чем на 100мкс, то одновибратор сработает и сгенерирует сброс. После сброса типа MCD будет установлен в 1 флаг MCDRSF (RSTSRC.2), показывая, что источником сброса был MCD; в иных случаях этот бит читается как 0. Состояние вывода /RST не влияет на сброс этого типа. Работа детектора исчезновения тактирования разрешается установкой в 1 бита MSCLKE в регистре OSCICN (см. рис. 14.2).

13.6. Сброс от Компаратора 0

Установка в 1 флага CORSEF (RSTSRC.5) настраивает Компаратор 0 как вход сброса с активным низким уровнем. Компаратор 0 следует включить, используя бит CPT0CN.7 (см. рис. 8.3) как минимум за 20мкс до записи бита CORSEF, чтобы дребезг на выходе не привел к генерации нежелательного сброса. Когда напряжение на неинвертирующем входе (CP0+) меньше, чем напряжение на инвертирующем входе (CP0-), то, если компаратор 0 настроен как источник сброса, МК перейдет в состояние сброса. После сброса от Компаратора 0 флаг CORSEF (RSTSRC.5) будет читаться как 1, показывая, что Компаратор 0 был источником сброса; в иных случаях этот бит читается как 0. Состояние вывода /RST не влияет на сброс этого типа. Таким образом, Компаратор 0 может генерировать сброс как при наличии, так и при отсутствии системного тактового сигнала.

13.7. Сброс от внешнего вывода CNVSTR

Установка в 1 флага CNVRSEF (RSTSRC.6) настраивает внешний сигнал CNVSTR как вход сброса с активным низким уровнем. Сигнал CNVSTR может появиться на любых выводах портов ввода/вывода P0, P1 или P2, как описано в разделе 15.1. (Необходимо отметить, что матрица должна быть сконфигурирована таким образом, чтобы сигнал CNVSTR соединялся с соответствующим портом ввода/вывода). Матрицу следует настроить и включить до установки бита CNVRSEF. Когда сигнал CNVSTR настроен как источник сброса, он представляет собой чувствительный к уровню сигнал с активным низким уровнем. После сброса от сигнала CNVSTR флаг CNVRSEF (RSTSRC.6) будет читаться как 1, показывая, что сигнал CNVSTR был источником сброса; в иных случаях этот бит читается как 0. Состояние вывода /RST не влияет на сброс этого типа.

13.8. Сброс от сторожевого таймера

МК содержит программируемый сторожевой таймер (Watchdog Timer - WDT), работающий независимо от системного тактового сигнала. WDT переводит МК в состояние сброса в случае своего переполнения. Чтобы предотвратить сброс, WDT должен перезапускаться из прикладной программы до того, как произойдет его переполнение. Если в системе происходит программный/аппаратный сбой, не позволяющий программе перезапустить WDT, то WDT переполнится и вызовет сброс. Это предотвращает выход системы из под контроля.

При завершении сброса всех типов WDT автоматически включается и запускается по умолчанию с максимальным таймаутом. При необходимости WDT можно программно запретить или заблокировать, чтобы предотвратить его случайное запрещение. После блокирования WDT его нельзя запретить до следующего системного сброса. Состояние вывода /RST не влияет на сброс этого типа.

13.8.1. Использование сторожевого таймера

WDT состоит из 21-разрядного таймера, работающего с программируемой тактовой частотой. Этот таймер измеряет период между операциями записи определенных значений в его регистр управления. Если этот период превышает установленный предел, то генерируется сброс от WDT. WDT может быть программно разрешен или запрещен, кроме этого можно заблокировать функцию отключения WDT. Управление WDT осуществляется посредством регистра управления WDT (WDTCN), показанного на рис.13.3.

Включение/сброс WDT

WDT как включается, так и перезапускается в режиме обратного отсчета записью значения 0xA5 в регистр WDTCN. Программа пользователя должна периодически записывать значение 0xA5 в регистр WDTCN, чтобы предотвратить переполнение сторожевого таймера. WDT включается и перезапускается в результате любого системного сброса.

Отключение WDT

Запись в регистр WDTCN значения 0xAD вслед за значением 0xDE отключает WDT. Следующий сегмент программного кода иллюстрирует операцию отключения WDT:

```
CLR EA ; запрет всех прерываний
MOV WDTCN, #0DEh ; отключение
MOV WDTCN, #0ADh ; сторожевого таймера
SETB EA ; разрешение прерываний
```

Между записью значений 0xDE и 0xAD должно пройти не более четырех тактовых циклов, иначе операция отключения игнорируется. На время этой процедуры следует запретить прерывания во избежание задержки между двумя операциями записи.

Блокировка отключения WDT

Запись значения 0xFF в регистр WDTCN заблокирует функцию отключения WDT. Будучи заблокированной, операция отключения игнорируется до следующего системного сброса. Запись значения 0xFF не включает и не сбрасывает сторожевой таймер. Приложения, планирующие использовать WDT постоянно, должны записывать значение 0xFF в регистр WDTCN в процессе начальной инициализации.

Установка временного интервала (таймаута) WDT

Биты WDTCN.[2:0] управляют таймаутом сторожевого таймера. Временной интервал определяется следующим уравнением:

$$4^{3+WDTCN[2:0]} \times T_{SYSCLK}, \text{ (где } T_{SYSCLK} \text{ – период системного тактового сигнала).}$$

Для системной тактовой частоты 2 МГц таймаут, в соответствии с этим уравнением, может быть от 0,032 мс до 524 мс. При установке этого временного интервала бит WDTCN.7 должен быть равен 0. Операция чтения WDTCN возвратит заданный таймаут. После системного сброса значение битов WDTCN.[2:0] равно 111b.

Рисунок 13.3. WDTCN: Регистр управления WDT

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	xxxx111
Биты 7-0: Управление WDT								SFR Адрес: 0xFF
Запись 0xA5 как включает, так и перезагружает WDT.								
Запись 0xAD в течение 4 тактовых циклов после записи 0xDE отключает WDT.								
Запись 0xFF блокирует функцию отключения.								
Бит 4: Бит состояния WDT (при чтении)								
Чтение бита WDTCN.[4] показывает состояние сторожевого таймера.								
0: WDT не активен								
1: WDT активен								
Биты 2-0: Биты установки таймаута WDT								
Биты WDTCN.[2:0] задают временной интервал сторожевого таймера. При записи этих битов бит WDTCN.7 должен быть равен 0.								

Рисунок 13.4. RSTSRC: Регистр источников сброса

R	R/W	R/W	R/W	R	R	R/W	R	Значение при сбросе:
JTAGRST	CNVRSEF	CORSEF	SWRSEF	WDTRSF	MCDRSF	PORSF	PINRSF	XXXXXXXX
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xEF

(Примечание: Нельзя использовать операции типа чтение-модификация-запись по отношению к этому регистру.)

Бит 7: JTAGRST: Флаг сброса интерфейса JTAG.
 0: Интерфейс JTAG в настоящий момент не в состоянии сброса.
 1: Интерфейс JTAG в состоянии сброса.

Бит 6: CNVRSEF: Разрешение и флаг сброса от сигнала CNVSTR (Convert Start)
 Запись:
 0: CNVSTR не является источником сброса
 1: CNVSTR является источником сброса (активный уровень - низкий)
 Чтение:
 0: CNVSTR не был источником предыдущего сброса
 1: CNVSTR был источником предыдущего сброса

Бит 5: CORSEF: Разрешение и флаг сброса от Компаратора 0
 Запись:
 0: Компаратор 0 не является источником сброса
 1: Компаратор 0 является источником сброса (активный уровень - низкий)
 Чтение:
 0: Компаратор 0 не был источником предыдущего сброса
 1: Компаратор 0 был источником предыдущего сброса

Бит 4: SWRSF: Бит инициации и флаг программного сброса
 Запись:
 0: Не вызывает никаких действий
 1: Вызывает внутренний сброс. Состояние вывода /RST не влияет на этот сброс.
 Чтение:
 0: Предыдущий сброс не был вызван установкой в 1 бита SWRSF.
 1: Предыдущий сброс был вызван установкой в 1 бита SWRSF.

Бит 3: WDTRSF: Флаг сброса от сторожевого таймера
 0: WDT не был источником предыдущего сброса.
 1: WDT был источником предыдущего сброса.

Бит 2: MCDRSF: Флаг сброса от детектора исчезновения тактирования (MCD)
 0: MCD не был источником предыдущего сброса.
 1: MCD был источником предыдущего сброса.

Бит 1: PORSF: Бит инициации и флаг сброса типа POR (сброс при включении питания)
 Запись:
 0: Не вызывает никаких действий
 1: Вызывает сброс типа POR. На выводе /RST устанавливается напряжение низкого логического уровня.
 Чтение:
 0: Предыдущий сброс не был сбросом типа POR.
 1: Предыдущий сброс был сбросом типа POR.

Бит 0: PINRSF: Флаг сброса от вывода /RST
 0: Предыдущий сброс не был сбросом от вывода /RST.
 1: Предыдущий сброс был сбросом от вывода /RST.

Таблица 13.1. Электрические параметры источников сброса

T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Выходное напряжение низкого уровня на выводе /RST	$I_{OL} = 8.5\text{mA}$, $V_{DD} = 2.7 \dots 3.6\text{B}$			0.6	В
Входное напряжение высокого уровня на выводе /RST		0.7 x V_{DD}			В
Входное напряжение низкого уровня на выводе /RST				0.3 x V_{DD}	В
Входной ток утечки вывода /RST	/RST = 0.0В		20		мкА
Напряжение VDD, необходимое для функционирования выхода /RST		1.0			В
Напряжение AV+, необходимое для функционирования выхода /RST		1.0			В
Пороговое значение напряжения VDD для сброса типа POR (V_{RST})		2.40	2.55	2.70	В
Время задержки сброса	Задержка нарастающего фронта на выв. /RST после превышения порога сброса V_{RST}	80	100	120	мс
Таймаут детектора исчезновения тактирования	Время от последнего тактового импульса до генерации сброса	100	220	500	мкс

14. ГЕНЕРАТОР

Каждый МК содержит внутренний генератор и схему возбуждения внешнего генератора, каждый из которых может генерировать системный тактовый сигнал. После любого сброса МК загружаются от внутреннего генератора. Внутренний генератор запускается немедленно. Используя регистр управления OSCICN (см. рис.14.2), можно включить/отключить внутренний генератор, а также изменить его частоту. В табл.14.1 приведены электрические параметры внутреннего генератора.

Оба генератора выключены, когда на выводе /RST удерживается сигнал низкого уровня. Микроконтроллеры могут работать от внутреннего или внешнего генераторов, а также переключаться между ними как угодно, используя для этого бит CLKSL в регистре OSCICN. Внешний генератор требует внешних керамического резонатора, кварцевого резонатора с параллельным резонансом, конденсатора или RC-цепи, подключенных к выводам XTAL1/XTAL2 (см. рис.14.1). Схема генератора должна быть настроена в регистре OSCXCN для работы с одним из этих источников. Кроме этого, системный тактовый сигнал может подаваться от внешнего КМОП-счетчика через вывод XTAL1. Допустимое напряжение на выводах XTAL1 и XTAL2 составляет 3,6В (не 5В). Внешний генератор можно оставить включенным и работающим, даже когда МК переключен на использование внутреннего генератора.

Рисунок 14.1. Структурная схема генератора

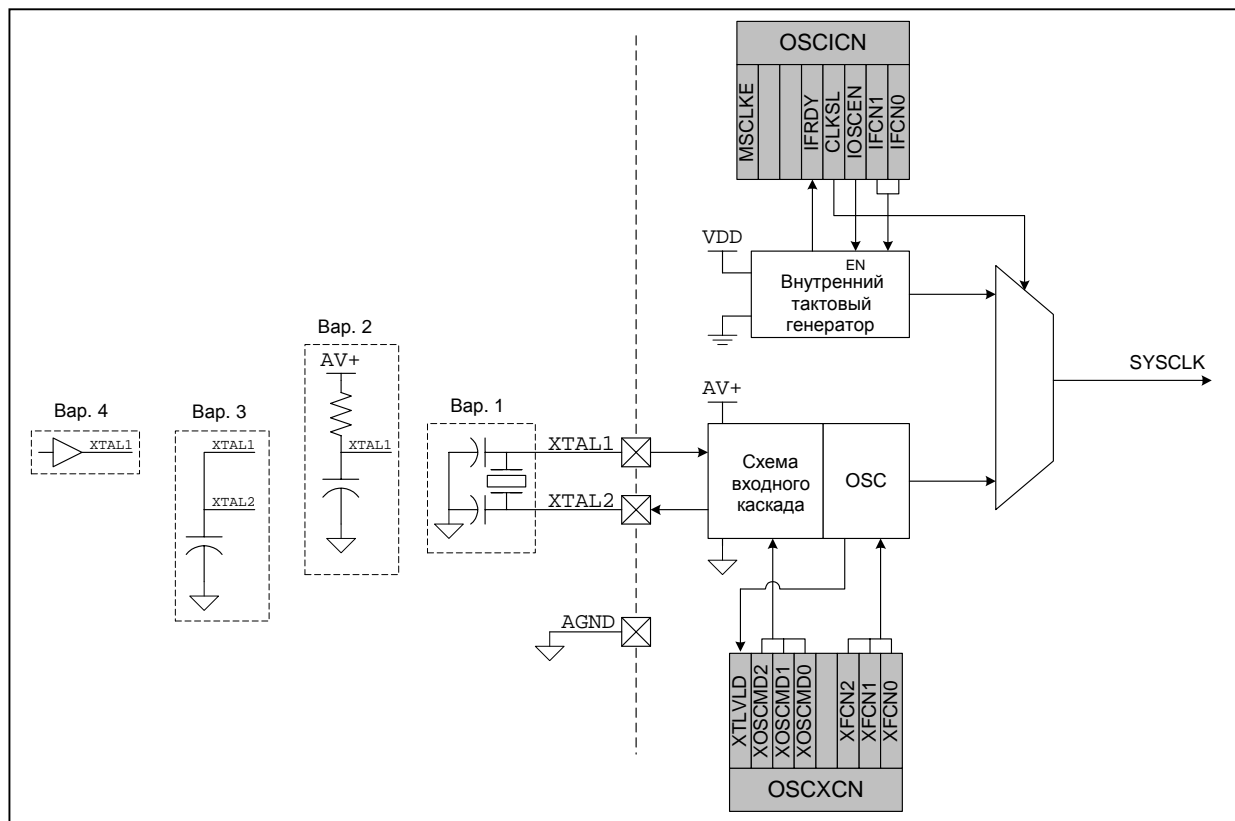


Рисунок 14.2. OSCICN: Регистр управления внутренним генератором

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	Значение при сбросе:
MSCLKE	-	-	IFRDY	CLKSL	IOSCEN	IFCN1	IFCN0	00000100
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xB2
<p>Бит 7: MSCLKE: Бит включения детектора исчезновения тактирования</p> <p>0: Детектор исчезновения тактирования выключен</p> <p>1: Детектор исчезновения тактирования включен; инициирует сброс при обнаружении исчезновения тактовых импульсов.</p> <p>Биты 6-5: Не используются. Читаются как 00b.</p> <p>Бит 4: IFRDY: Флаг стабилизации частоты внутреннего генератора</p> <p>0: Частота внутреннего генератора не соответствует частоте, задаваемой битами IFCN.</p> <p>1: Частота внутреннего генератора соответствует частоте, задаваемой битами IFCN.</p> <p>Бит 3: CLKSL: Бит выбора источника системных тактовых импульсов</p> <p>0: В качестве источника системных тактовых импульсов используется внутренний генератор</p> <p>1: В качестве источника системных тактовых импульсов используется внешний генератор</p> <p>Бит 2: IOSCEN: Бит включения внутреннего генератора</p> <p>0: Внутренний генератор выключен</p> <p>1: Внутренний генератор включен</p> <p>Биты 1-0: IFCN1-0: Биты управления частотой внутреннего генератора</p> <p>00: Частота внутреннего генератора равна 2MHz.</p> <p>01: Частота внутреннего генератора равна 4MHz.</p> <p>10: Частота внутреннего генератора равна 8MHz.</p> <p>11: Частота внутреннего генератора равна 16MHz.</p>								

Таблица 14.1. Электрические параметры внутреннего генератора

T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Частота внутреннего генератора	OSCICN.[1:0] = 00	1.5	2	2.4	МГц
	OSCICN.[1:0] = 01	3.1	4	4.8	
	OSCICN.[1:0] = 10	6.2	8	9.6	
	OSCICN.[1:0] = 11	12.3	16	19.2	
Ток потребления внутреннего генератора (от VDD)	OSCICN.2 = 1		200		мкА
Температурная стабильность внутреннего генератора			4 x 10 ⁻⁴		%/°C
Нестабильность по напряжению питания (VDD) внутреннего генератора			6.4		%/В

Рисунок 14.3. OSCXCN: Регистр управления внешним генератором

R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
XTLVLD	XOSCND2	XOSCND1	XOSCND0	-	XFCN2	XFCN1	XFCN0	00110000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xB1

Бит 7: XLVLD: Флаг стабилизации кварцевого генератора
(Действителен, только если XOSCND = 1xx.)
0: Кварцевый генератор не используется или еще нестабилен
1: Кварцевый генератор работает и стабилен (во избежание переходных процессов этот бит следует опрашивать через 1мс после включения кварцевого генератора).

Биты 6-4: XOSCND2-0: Биты выбора режима внешнего генератора
00x: Генератор выключен. Вывод XTAL1 внутренне заземлен.
010: Тактовые импульсы поступают от внешнего КМОП-счетчика через вывод XTAL1.
011: Тактовые импульсы поступают от внешнего КМОП-счетчика через вывод XTAL1 и внутренний делитель на 2.
10x: Режим RC/C-генератора с делением тактовой частоты на 2.
110: Режим кварцевого генератора
111: Режим кварцевого генератора с делением тактовой частоты на 2.

Бит 3: Зарезервирован. Значение при чтении неопределенное.

Биты 2-0: XFCN2-0: Биты управления частотой внешнего генератора
000-111: см. таблицу:

XFCN	Резонатор (XOSCND = 11x)	RC (XOSCND = 10x)	C (XOSCND = 0x)
000	$f \leq 12.5 \text{ кГц}$	$f \leq 25 \text{ кГц}$	KF = 0.44
001	$12.5 \text{ кГц} < f \leq 30.3 \text{ кГц}$	$25 \text{ кГц} < f \leq 50 \text{ кГц}$	KF = 1.4
010	$30.35 \text{ кГц} < f \leq 93.8 \text{ кГц}$	$50 \text{ кГц} < f \leq 100 \text{ кГц}$	KF = 4.4
011	$93.8 \text{ кГц} < f \leq 267 \text{ кГц}$	$100 \text{ кГц} < f \leq 200 \text{ кГц}$	KF = 13
100	$267 \text{ кГц} < f \leq 722 \text{ кГц}$	$200 \text{ кГц} < f \leq 400 \text{ кГц}$	KF = 38
101	$722 \text{ кГц} < f \leq 2.23 \text{ МГц}$	$400 \text{ кГц} < f \leq 800 \text{ кГц}$	KF = 100
110	$2.23 \text{ МГц} < f \leq 6.74 \text{ МГц}$	$800 \text{ кГц} < f \leq 1.6 \text{ МГц}$	KF = 420
111	$f > 6.74 \text{ МГц}$	$1.6 \text{ МГц} < f \leq 3.2 \text{ МГц}$	KF = 1400

Режим генератора с кварцевым или керамическим резонатором
(Схема на рис.14.1, Вариант 1; XOSCND = 11x)
Выберите значение XFCN,соответствующее частоте кварцевого или керамического резонатора.

Режим RC-генератора
(Схема на рис.14.1, Вариант 2; XOSCND = 10x)
Выберите диапазон генерируемых частот, где:
 $f = 1.23(10z) / (R * C)$, где
f = генерируемая частота в [МГц]
C = емкость конденсатора в [пФ]
R = сопротивление подтягивающего резистора в [кОм]

Режим генератора с конденсатором
(Схема на рис.14.1, Вариант 3; XOSCND = 0x)
Выберите коэффициент K (KF) для требуемой частоты:
 $f = KF / (C * AV+)$, где
f = генерируемая частота в [МГц]
C = емкость конденсатора, подключенного к выводам XTAL1 и XTAL2, в [пФ]
AV+ = Напряжение питания аналоговых модулей МК в [В]

14.1. Пример использования внешнего резонатора

Если бы для генерации системной тактовой частоты МК использовался кварцевый или керамический резонатор, то схема была бы такой, как показано на рис. 14.1, вариант 1. Для кварцевого резонатора ECS-110.5-20-4 резонансная частота составляет 11.0592 МГц, внутренняя емкость 7 пФ, а эквивалентное последовательное сопротивление равно 60 Ом. Компенсирующие конденсаторы должны иметь емкость по 33пФ каждый, а паразитная емкость печатной платы должна составлять примерно 2пФ. Значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN должно быть 111b (см. столбец «Резонаторы» в таблице на рис. 14.3).

Т.к. схеме обнаружения генератора требуется некоторое время для выхода в устойчивый режим работы после включения кварцевого генератора, программа должна выдерживать паузу длительностью как минимум 1мс между включением кварцевого генератора и опросом бита XTLLVD. Рекомендуется следующая последовательность действий:

1. Включить внешний генератор.
2. Подождать как минимум 1мс.
3. Опрашивать бит XTLLVD до обнаружения перехода его состояния из '0' в '1'.
4. Переключиться на работу от внешнего генератора.

Переключение на работу от внешнего генератора до выхода его в устойчивый режим работы может привести к непредсказуемому поведению МК.

ПРИМЕЧАНИЕ: Схемы кварцевых генераторов достаточно чувствительны к разводке печатной платы. Кварцевый резонатор следует размещать как можно ближе к выводам XTAL микроконтроллера, добиваясь минимальной длины проводников, а также экранировать слоем «земли» от любых других проводников, которые могли бы быть причиной шумов и помех.

14.2. Пример использования RC-генератора

Если бы для генерации системной тактовой частоты МК использовалась RC-цепочка, то схема была бы такой, как показано на рис. 14.1, вариант 2. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью приведет к увеличению частотного дрейфа вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала нужно выбрать значения компонентов RC-цепи, необходимые для получения требуемой частоты генерации. Например, если требуется частота 100кГц, то можно взять $R = 246\text{кОм}$ и $C = 50\text{пФ}$:

$$f = 1.23(10^3)/RC = 1.23(10^3) / [246 * 50] = 0.1\text{МГц} = 100\text{кГц}$$

$$XFCN \geq \log_2(f/25\text{кГц})$$

$$XFCN \geq \log_2(100\text{кГц}/25\text{кГц}) = \log_2(4)$$

$$XFCN \geq 2, \text{ или код } 010$$

14.3. Пример использования внешнего генератора с конденсатором

Если бы для генерации системной тактовой частоты МК использовался внешний конденсатор, то схема была бы такой, как показано на рис. 14.1, вариант 3. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью приведет к увеличению погрешности (установки) частоты вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала необходимо выбрать емкость используемого конденсатора и вычислить частоту генерации из уравнения, приведенного ниже. Например, для $AV+ = 3.0\text{В}$ и $C = 50\text{пФ}$ получим:

$$f = KF / (C * AV+) = KF / (50 * 3)$$

$$f = KF / 150$$

Если требуется получить частоту около 90кГц, то из таблицы на рис. 14.3 необходимо выбрать $KF = 13$:

$$f = 13 / 150 = 0.087\text{MHz, or } 87\text{kHz}$$

Поэтому, значение битов XFCN для этого примера составляет 011.

15. ПОРТЫ ВВОДА/ВЫВОДА

Микроконтроллеры имеют различные цифровые ресурсы, которые доступны через четыре цифровых порта ввода/вывода: P0, P1, P2 и P3. Каждый из выводов Портов 0, 1 и 2 может быть определен либо как соответствующий цифровой порт ввода/вывода, либо как вывод, назначенный внутренним цифровым ресурсам (см. рис.15.1). Разработчик имеет полный контроль над всеми встроенными функциями, ограничиваясь только количеством физически реализованных выводов, имеющихся в выбранном корпусе (в МК C8051F000/05/10/15 все четыре порта имеют внешние выводы, в МК F001/06/11/16 только порты P0 и P1 имеют внешние выводы, в МК F002/07/12/17 внешние выводы имеет только порт P0). Гибкость при распределении ресурсов достигается благодаря использованию приоритетного декодера матрицы. (Следует иметь в виду, что состояние вывода порта ввода/вывода всегда можно прочитать в соответствующей защелке порта независимо от настроек матрицы).

Матрица распределяет выбранные внутренние цифровые ресурсы между внешними выводами портов на основе таблицы декодирования приоритетов (см. табл.15.1). Для подключения внутренних цифровых модулей и портов к внешним выводам на корпусе МК используются регистры XBR0, XBR1 и XBR2 (см. рис. 15.3, 15.4 и 15.5). Матрица функционирует одинаково для каждого МК, необходимо лишь помнить, что внешний порт P2 отсутствует в МК F001/06/11/16, а внешние порты P1 и P2 отсутствуют в МК F002/07/12/17. Цифровые модули, подключенные к отсутствующим портам, будут недоступны.

Допустимое напряжение на всех портах ввода/вывода составляет 5В (схема ячейки порта ввода/вывода приведена на рис.15.2). В регистрах конфигурации портов (PRT0CF, PRT1CF, PRT2CF, PRT3CF) каждая ячейка порта ввода/вывода настраивается либо как цифровой вход/выход, либо как выход с открытым стоком. Электрические характеристики портов ввода/вывода приведены в табл. 15.2.

15.1. Приоритетный декодер матрицы

Одним из достоинств МК данного семейства является то, что разработчику доступен весь спектр цифровых ресурсов МК даже при использовании корпусов с сокращенным количеством выводов. Приоритетный декодер матрицы обеспечивает превосходное решение проблемы подключения внутренних цифровых модулей к внешним выводам портов МК.

Приоритетный декодер матрицы (см.табл.15.1) назначает приоритет входным/выходным сигналам каждого цифрового модуля, начиная с модуля SMBus. В соответствии с таблицей 15.1, когда выбран модуль SMBus, два его сигнала будут назначены выводам 0 и 1 порта P0. Декодер всегда заполняет биты ввода/вывода от M3P до C3P, начиная с P0, затем P1, и заканчивая, если необходимо, портом P2. Если ресурс не выбран для использования, то функция, следующая ниже по таблице, заполнит ячейку приоритета. Таким способом можно выбрать лишь те функции, которые необходимы в проекте, полностью используя доступные выводы портов. Кроме этого, любые дополнительные порты ввода/вывода собираются в группы для более удобного использования в коде приложения.

Регистры XBR0, XBR1 и XBR2 используются для распределения цифровых ресурсов между внешними выводами. Важно понять, что когда выбраны модули SMBus, SPI и УАПП, матрица распределяет все выводы, ассоциированные с этими модулями. Нельзя, например, назначить вывод RX модуля УАПП и не назначить вывод TX этого же модуля. После назначения функций с приоритетами стандартные порты появляются смежно. Например, если выбрать функции, которые занимают первые 14 портов ввода/вывода (P0.[7:0], P1.[5:0]), то останется 18 неиспользуемых матрицей портов ввода/вывода (P1.[7:6], P2 и P3).

15.2. Инициализация портов ввода/вывода

Инициализация портов ввода/вывода осуществляется непосредственно. Регистры XBR0, XBR1 и XBR2 должны быть загружены соответствующими значениями для выбора требуемых в проекте цифровых функций. Установка в 1 бита XBARE в регистре XBR2 включает матрицу. **Пока матрица не включена, внешние выводы остаются стандартными портами, настроенными на вход, независимо от состояния регистров XBRn.** Для заданного состояния регистров XBRn можно определить разводку внешних выводов, используя таблицу декодирования приоритетов. Кроме этого функция мастера настройки кода (Code Configuration Wizard function) из состава программного пакета IDE сама определит разводку внешних выводов на основе состояния регистров XBRn.

Характеристики выходного драйвера портов ввода/вывода определяются в регистрах конфигурации портов PRT0CF, PRT1CF, PRT2CF и PRT3CF (см. рис.15.7, рис. 15.9, рис.15.12, рис.15.14). Выходной драйвер каждого порта можно настроить либо как цифровой вход/выход, либо как выход с открытым стоком. Это необходимо даже для цифровых ресурсов, выбранных в регистрах XBRn, и не осуществляется автоматически. Исключением из этого являются только выводы модуля SMBus (SDA, SCL) и вывод приемника УАПП (RX, в режиме 0), которые являются выходами с открытым стоком независимо от настроек в регистрах PRTnCF. Если бит WEAKPUD в регистре XBR2 сброшен в 0, то ко всем портам ввода/вывода, настроенным как выходы с открытым стоком, подключается слаботочковая подтяжка. Бит WEAKPUD не

влияет на порты ввода/вывода, настроенные как цифровые входы/выходы. Кроме этого, во избежание ненужного энергопотребления слаботочные подтяжки отключаются у выходов с открытым стоком, на которые выводится сигнал с низким логическим уровнем.

Третьим и последним шагом является инициализация выбранных индивидуальных ресурсов с использованием соответствующих регистров управления. Процедуры инициализации различных цифровых ресурсов можно найти в подробном описании каждой имеющейся функции. Состояние при сбросе каждого регистра показано на рисунках, описывающих эти регистры.

Рисунок 15.1. Функциональная схема портов ввода/вывода

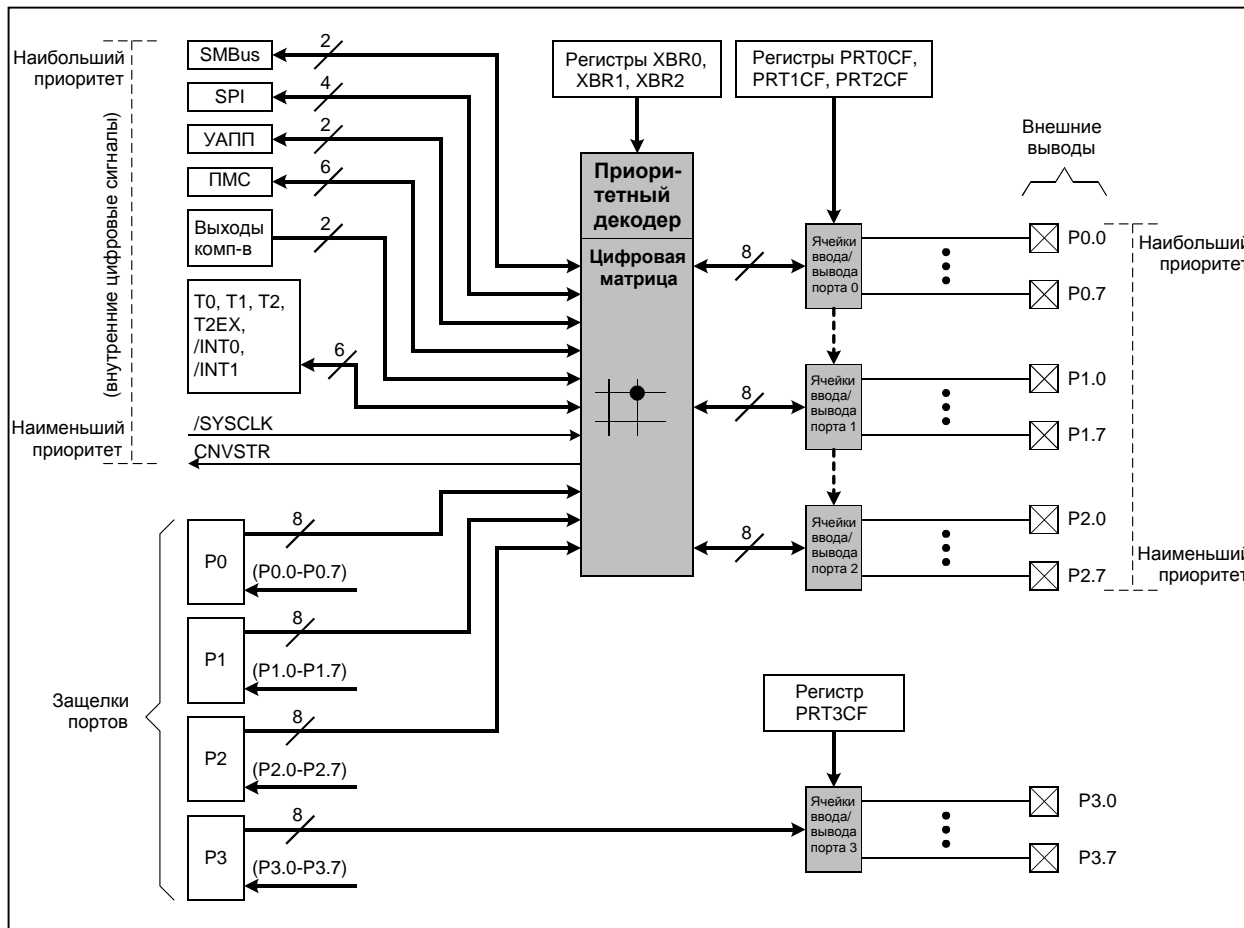


Рисунок 15.2. Структурная схема ячейки порта ввода/вывода

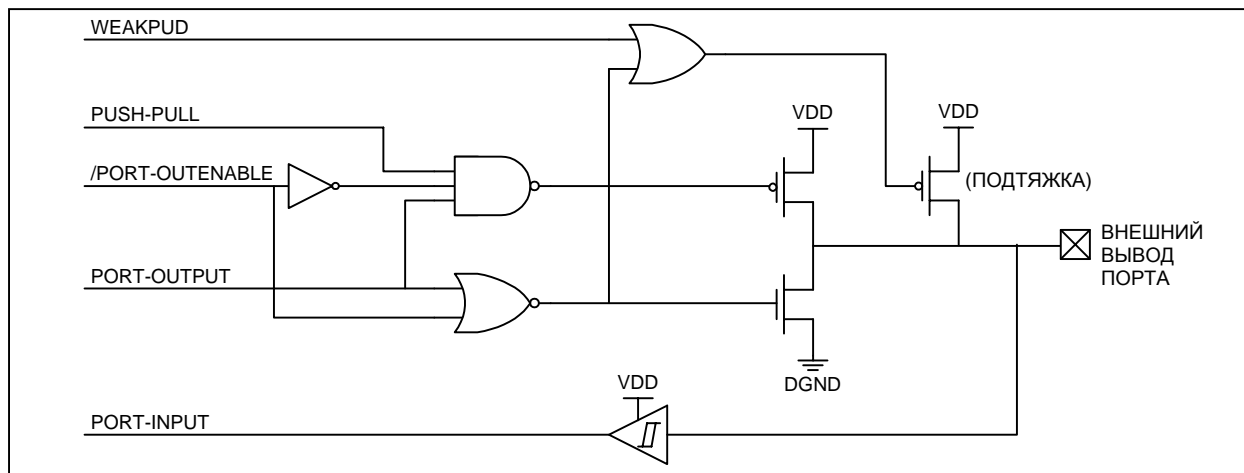


Таблица 15.1. Декодирование приоритетов матрицы

PIN I/O	P0								P1								P2							
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
SDA	•																							
SCL		•																						
SCK	•		•																					
MISO		•		•																				
MOSI			•		•																			
NSS				•		•																		
TX	•		•		•		•																	
RX		•		•		•		•																
CEX0	•		•		•		•		•															
CEX1		•		•		•		•		•														
CEX2			•		•		•		•		•													
CEX3				•		•		•		•		•												
CEX4					•		•		•		•		•											
ECI	•	•	•	•	•	•	•	•	•	•	•	•	•	•										
CP0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•									
CP1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•								
T0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•								
/INT0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•							
T1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•						
/INT1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•					
T2	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•				
T2EX	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•			
/SYSCLK	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•		
CNVSTR	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•

В таблице декодирования приоритетов точка (•) показывает, какому внешнему выводу порта (столбец) какой сигнал (строка) может быть назначен программой пользователя путем программирования регистров XBR2, XBR1 и XBR0.

Рисунок 15.3. XBR0: Регистр 0 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CP0OEN	ECIE	PCA0ME	UARTEN	SPI0OEN	SMB0OEN			00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE1
<p>Бит 7: CP0OEN: Бит подключения выхода Компаратора 0 0: CP0 не соединен с выводом порта. 1: CP0 соединен с выводом порта.</p> <p>Бит 6: ECIE: Бит подключения входа ECI ПМС0 0: ECI не соединен с выводом порта. 1: ECI соединен с выводом порта.</p> <p>Биты 3-5: PCA0ME: Биты подключения входов/выходов модуля ПМС0 000: Все входы/выходы модуля ПМС не соединены с выводами порта. 001: CEX0 соединен с выводом порта. 010: CEX0, CEX1 соединены с двумя выводами порта. 011: CEX0, CEX1, CEX2 соединены с тремя выводами порта. 100: CEX0, CEX1, CEX2, CEX3 соединены с четырьмя выводами порта. 101: CEX0, CEX1, CEX2, CEX3, CEX4 соединены с пятью выводами порта. 110: Зарезервировано 111: Зарезервировано</p> <p>Бит 2: UARTEN: Бит подключения входов/выходов УАПП 0: Входы/выходы УАПП не соединены с выводами порта. 1: RX, TX соединены с двумя выводами порта.</p> <p>Бит 1: SPI0OEN: Бит подключения входов/выходов модуля SPI 0: Входы/выходы модуля SPI не соединены с выводами порта. 1: MISO, MOSI, SCK и NSS соединены с четырьмя выводами порта.</p> <p>Бит 0: SMB0OEN: Бит подключения входов/выходов модуля SMBus 0: Входы/выходы модуля SMBus не соединены с выводами P0.0, P0.1. 1: SDA соединен с выводом P0.0, SCL соединен с выводом P0.1.</p>								

Рисунок 15.4. XBR1: Регистр 1 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
SYSCKE	T2EXE	T2E	INT1E	T1E	INT0E	T0E	CP1OEN	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE2
<p>Бит 7: SYSCKE: Бит подключения выхода SYSCLK 0: Выход SYSCLK не соединен с выводом порта. 1: Выход SYSCLK соединен с выводом порта.</p>								
<p>Бит 6: T2EXE: Бит подключения T2EX 0: T2EX не соединен с выводом порта. 1: T2EX соединен с выводом порта.</p>								
<p>Бит 5: T2E: Бит подключения T2 0: T2 не соединен с выводом порта. 1: T2 соединен с выводом порта.</p>								
<p>Бит 4: INT1E: Бит подключения /INT1 0: /INT1 не соединен с выводом порта. 1: /INT1 соединен с выводом порта.</p>								
<p>Бит 3: T1E: Бит подключения T1 0: T1 не соединен с выводом порта. 1: T1 соединен с выводом порта.</p>								
<p>Бит 2: INT0E: Бит подключения /INT0 0: /INT0 не соединен с выводом порта. 1: /INT0 соединен с выводом порта.</p>								
<p>Бит 1: T0E: Бит подключения T0 0: T0 не соединен с выводом порта. 1: T0 соединен с выводом порта.</p>								
<p>Бит 0: CP1OEN: Бит подключения выхода Компаратора 1 0: CP1 не соединен с выводом порта. 1: CP1 соединен с выводом порта.</p>								

Рисунок 15.5. XBR2: Регистр 2 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
WEAKPUD	XBARE	-	-	-	-	-	CNVSTE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE3
<p>Бит 7: WEAKPUD: Бит отключения слаботочковых подтяжек портов ввода/вывода 0: Слаботочковые подтяжки включены (за исключением портов, чьи выходы настроены как цифровые) 1: Слаботочковые подтяжки отключены</p> <p>Бит 6: XBARE: Бит включения матрицы 0: Матрица отключена 1: Матрица включена</p> <p>Биты 5-1: Не используются. Читаются как 00000b.</p> <p>Бит 0: CNVSTE: Бит подключения входа запуска преобразования АЦП 0: CNVSTR не соединен с выводом порта. 1: CNVSTR соединен с выводом порта.</p> <p>Пример использования регистров XBR0, XBR1, XBR2: Будучи выбранными, цифровые ресурсы занимают внешние выходы портов в следующем порядке (см. табл.15.1): сначала от P0.0 до P0.7, затем от P1.0 до P1.7, и последними от P2.0 до P2.7. Если цифровые ресурсы не соединены с внешними выводами портов, то эти выходы отображены на биты соответствующих им внутренних регистров портов.</p> <p>Пример 1: Если XBR0 = 0x11, XBR1 = 0x00 и XBR2 = 0x40: P0.0=SDA, P0.1=SCL, P0.2=CEX0, P0.3=CEX1, P0.4 ... P2.7 отображены на соответствующие порты ввода/вывода.</p> <p>Пример 2: Если XBR0 = 0x80, XBR1 = 0x04 и XBR2 = 0x41: P0.0=CP0, P0.1=/INT0, P0.2 = CNVSTR, P0.3 ... P2.7 отображены на соответствующие порты ввода/вывода.</p>								

15.3. Порты ввода/вывода общего назначения

Каждый МК имеет четыре 8-разрядных двунаправленных параллельных порта, которые могут использоваться как порты ввода/вывода общего назначения. Каждый порт доступен через соответствующий ему SFR регистр, который может адресоваться как в побайтном, так и в побитном режиме адресации. При записи в порт значение, записываемое в SFR, защелкивается с целью удержания значения выходных данных на каждом выводе. При чтении логические уровни на входных выводах портов возвращаются независимо от состояния регистров XBRn (т.е. даже тогда, когда вывод с помощью матрицы назначен другому сигналу, регистр порта все равно всегда может прочитать состояние соответствующего ему внешнего вывода порта). Исключением являются команды типа чтение-модификация-запись. Следующие команды, оперирующие с SFR регистром порта, являются командами типа чтение-модификация-запись: ANL, ORL, XRL, JBC, CPL, INC, DEC, DJNZ и MOV, CLR или SET, если адресатом является индивидуальный бит в SFR регистре порта. Для этих команд значение регистра порта (не вывода) считывается, модифицируется и записывается обратно в SFR регистр.

15.4. Настройка портов, не имеющих внешних выводов

Порты P2 и P3 не имеют внешних выводов в МК F001/06/11/16. Порты P1, P2 и P3 не имеют внешних выводов в МК F002/07/12/17. Регистры этих портов (и соответствующие прерывания, где они применяются) все равно доступны для программного использования в МК с сокращенным количеством выводов. Независимо от того, используются они или нет, драйверы этих портов не рекомендуется переводить в высокоимпедансное состояние. Во избежание этого после сброса подключаются слаботочные подтяжки (см. описание регистра XBR2). Рекомендуется выходной драйвер каждого неразведенного порта настроить в соответствующем регистре PRTnCF как цифровой вход/выход. Тем самым будет запрещен переход в высокоимпедансное состояние, даже если слаботочные подтяжки будут отключены.

Рисунок 15.6. P0: Регистр Porta 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	1111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x80

Биты 7-0: P0.[7:0]
(Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1 и XBR2)
0: Выход в состоянии лог. 0
1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит PRT0CF.n = 0)
(Чтение – независимо от состояния регистров XBR0, XBR1 и XBR2).
0: На выводе P0.n низкий логический уровень.
1: На выводе P0.n высокий логический уровень.

Рисунок 15.7. PRT0CF: Регистр конфигурации Porta 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	00000000

Биты 7-0: PRT0CF.[7:0]: Биты настройки выходных драйверов для P0.7 - P0.0 (соответственно)
0: Соответствующий вывод P0.n настроен как выход с открытым стоком.
1: Соответствующий вывод P0.n настроен как цифровой вход/выход.
(Примечание: Если сигналы SDA, SCL и RX появляются на любом выводе порта P0, то каждый из этих выводов будет настроен как выход с открытым стоком независимо от состояния регистра PRT0CF).

Рисунок 15.8. P1: Регистр Порты 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение
P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	11111111
							(доступен в битовом режиме адресации)	SFR Адрес:
Биты 7-0: P1.[7:0]								0x90
(Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1 и XBR2)								
0: Выход в состоянии лог. 0								
1: выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит PRT1CF.n = 0)								
(Чтение – независимо от состояния регистров XBR0, XBR1 и XBR2).								
0: На выводе P1.n низкий логический уровень.								
1: На выводе P1.n высокий логический уровень.								

Рисунок 15.9. PRT1CF: Регистр конфигурации Порты 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение
								при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	00000000
Биты 7-0: PRT1CF.[7:0]: Биты настройки выходных драйверов для P1.7-P1.0 (соответственно)								SFR Адрес:
0: Соответствующий вывод P1.n настроен как выход с открытым стоком.								0xA5
1: Соответствующий вывод P1.n настроен как цифровой вход/выход.								

Рисунок 15.10. PRT1IF: Регистр флагов прерываний от Порты 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение
IE7	IE6	IE5	IE4	-	-	-	-	при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	00000000
Бит 7: IE7: Флаг внешнего прерывания 7.								SFR Адрес:
0: На выводе P1.7 не зафиксировано спадающего фронта сигнала.								0xAD
1: На выводе P1.7 зафиксирован спадающий фронт сигнала (устанавливается аппаратно).								
Бит 6: IE6: Флаг внешнего прерывания 6.								
0: На выводе P1.6 не зафиксировано спадающего фронта сигнала.								
1: На выводе P1.6 зафиксирован спадающий фронт сигнала (устанавливается аппаратно).								
Бит 5: IE5: Флаг внешнего прерывания 5.								
0: На выводе P1.5 не зафиксировано спадающего фронта сигнала.								
1: На выводе P1.5 зафиксирован спадающий фронт сигнала (устанавливается аппаратно).								
Бит 4: IE4: Флаг внешнего прерывания 4.								
0: На выводе P1.4 не зафиксировано спадающего фронта сигнала.								
1: На выводе P1.4 зафиксирован спадающий фронт сигнала (устанавливается аппаратно).								
Биты 3-0: НЕ используются. Читаются как 0000b.								

Рисунок 15.11. P2: Регистр Порта 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение
P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	11111111
							(доступен в битовом режиме адресации)	SFR Адрес:
Биты 7-0: P2.[7:0]								0xA0
(Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1 и XBR2)								
0: Выход в состоянии лог. 0								
1: выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит PRT2CF.n = 0)								
(Чтение – независимо от состояния регистров XBR0, XBR1 и XBR2).								
0: На выводе P2.n низкий логический уровень.								
1: На выводе P2.n высокий логический уровень.								

Рисунок 15.12. PRT2CF: Регистр конфигурации Порта 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение
								при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	00000000
Биты 7-0: PRT2CF.[7:0]: Биты настройки выходных драйверов для P2.7 – P2.0 (соответственно)								SFR Адрес:
0: Соответствующий вывод P2.n настроен как выход с открытым стоком.								0xA6
1: Соответствующий вывод P2.n настроен как цифровой вход/выход.								

Рисунок 15.13. P3: Регистр Порта 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xB0

Биты 7-0: P3.[7:0]
 (Запись)
 0: Выход в состоянии лог. 0
 1: выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит PRT3CF.n = 0)
 (Чтение)
 0: На выводе P3.n низкий логический уровень.
 1: На выводе P3.n высокий логический уровень.

(доступен в битовом режиме адресации)

Рисунок 15.14. PRT3CF: Регистр конфигурации Порта 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA7

Биты 7-0: PRT3CF.[7:0]: Биты настройки выходных драйверов для P3.7 – P3.0 (соответственно)
 0: Соответствующий вывод P3.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P3.n настроен как цифровой вход/выход.

Таблица 15.2. Электрические характеристики портов ввода/вывода

VDD = 2.7 ... 3.6В, T = от -40°C до +85°C, если не указано иное.

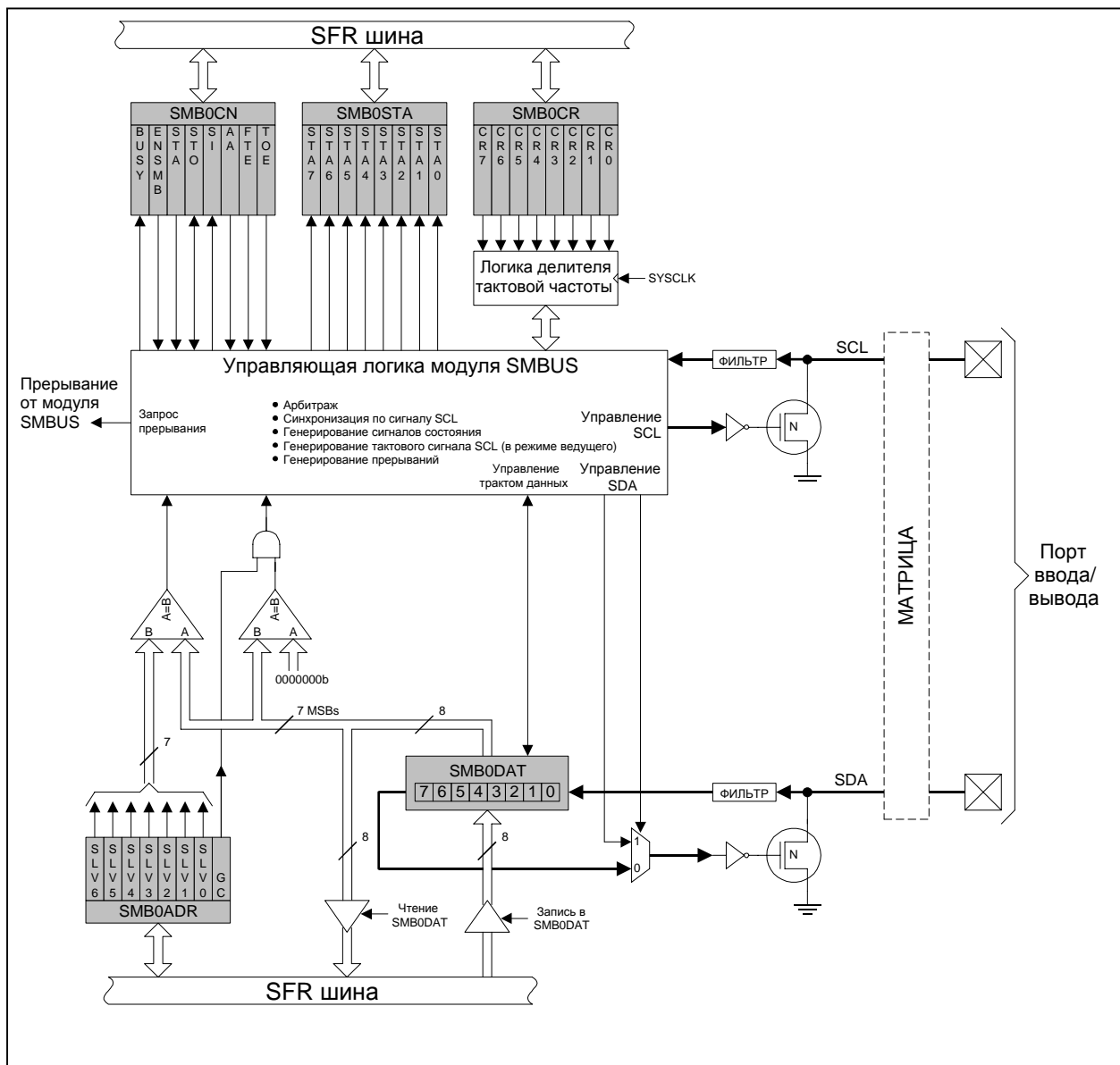
ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Выходное напряжение высокого уровня	I _{OH} = -10мкА, порт ввода/вывода – цифровой вход/выход I _{OH} = -3мА, порт ввода/вывода – цифровой вход/выход I _{OH} = -10мА, порт ввода/вывода – цифровой вход/выход	VDD – 0.1 VDD – 0.7	VDD – 0.8		В
Выходное напряжение низкого уровня	I _{OL} = 10мкА I _{OL} = 8.5мА I _{OL} = 25мА		1.0	0.1 0.6	В
Входное напряжение высокого уровня		0.7 x VDD			В
Входное напряжение низкого уровня				0.3 x VDD	В
Ток утечки входа	DGND < Вывод порта < VDD, вывод в высокоимпедансном состоянии, слаботочковая подтяжка отключена слаботочковая подтяжка включена		30	±1	мкА
Емкость нагрузки			5		пФ

16. Модуль SMBus / I2C

Интерфейс последовательного ввода/вывода SMBus соответствует System Management Bus Specification (версия 1.1). Это двухпроводная двунаправленная последовательная шина, которая также поддерживает обмен данными по протоколу I²C. Системный контроллер считывает данные с последовательной шины и записывает их в последовательную шину побайтно с помощью модуля SMBus, который автоматически управляет последовательной передачей данных. Максимальная скорость передачи данных составляет 1/8-ю системной тактовой частоты (эта скорость может превышать скорость, определенную в спецификации SMBus, в зависимости от используемой тактовой частоты). Для обеспечения возможности работы устройств с различной скоростью передачи данных на одной шине используется метод растягивания синхросигнала за счет удержания низкого уровня.

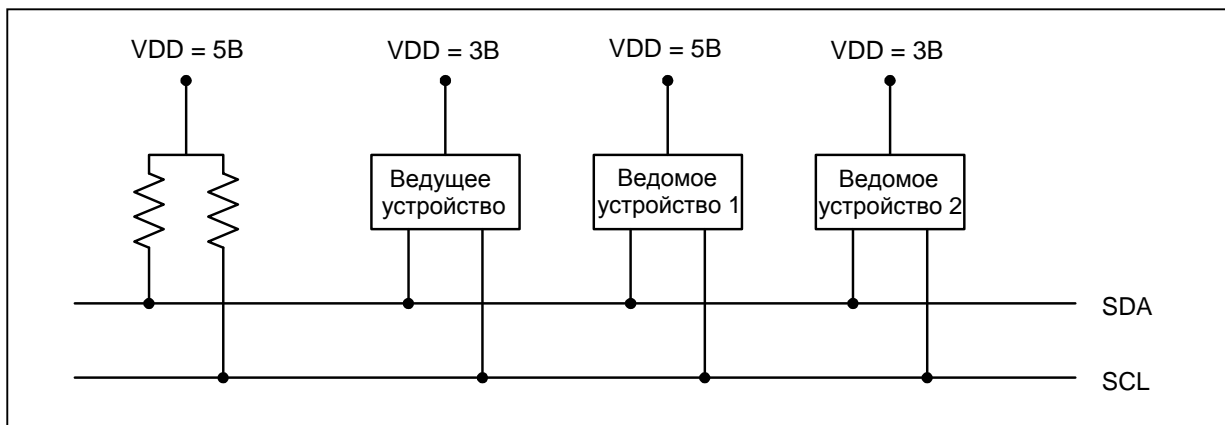
Возможны два режима передачи данных: передача данных от ведущего передатчика к адресуемому ведомому приемнику и передача данных от адресуемого ведомого передатчика к ведущему приемнику. Ведущее устройство инициирует процесс передачи данных в обоих режимах и генерирует тактовый сигнал. Модуль SMBus может функционировать как ведущий или как ведомый. Допускается также работа нескольких ведущих устройств на одной шине. Если два или более ведущих пытаются инициировать процесс передачи данных одновременно, то применяемая схема арбитража всегда определит одного ведущего, который выиграет арбитраж и захватит управление шиной.

Рисунок 16.1. Структурная схема модуля SMBus



На рис.16.2 приведена типичная схема подключения к шине SMBus. SMBus интерфейс способен работать при любом напряжении от 3.0 до 5.0В, а различные устройства на шине могут иметь различные напряжения питания. Линии SCL (тактовые импульсы) и SDA (последовательные данные) являются двунаправленными. Необходимо подать на них положительное напряжение питания через подтягивающий резистор или подобную схему. Когда шина свободна, обе линии «подтянуты» к напряжению высокого логического уровня. Каждое устройство, подключенное к шине, должно иметь выход с открытым стоком или с открытым коллектором как для линии SCL, так и для линии SDA. Максимальное количество устройств на шине ограничивается только следующим требованием: время нарастания и спада сигнала на линиях шины не должно превышать 300нс и 1000нс соответственно.

Рисунок 16.2. Подключение к шине SMBus



16.1. Техническая документация

Предполагается, что читатель знаком со следующими техническими документами или имеет доступ к ним:

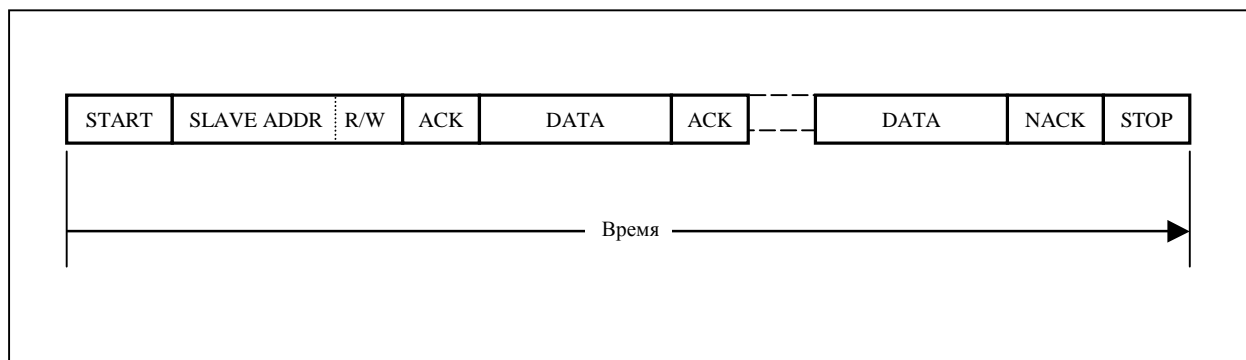
1. *The I²C-bus and how to use it (including specifications)*, Philips Semiconductor.
2. *The I²C-Bus Specification -- Version 2.0*, Philips Semiconductor.
3. *System Management Bus Specification -- Version 1.1*, SBS Implementers Forum.

16.2. Режимы работы

Типичное сообщение SMBus состоит из бита START, байта адреса, одного или нескольких байт данных и бита STOP. За байтом адреса, а также за каждым байтом данных следует бит подтверждения (ACK) от приемника. Байт адреса состоит из 7-разрядного адреса и бита направления передачи (R/W). Бит направления занимает самый младший значащий разряд адреса. Бит направления устанавливается в 1 для выполнения операции чтения и сбрасывается в 0 для выполнения операции записи. Адрес общего вызова (0x00 +R/W) распознается всеми ведомыми устройствами, разрешая ведущему адресовать несколько ведомых устройств одновременно.

Все сеансы обмена данными инициируются ведущим, который адресует одно или несколько ведомых устройств. Ведущий генерирует бит START и затем передает адрес и бит направления. Если инициируется операция записи от ведущего к ведомому, то ведущий передает по одному байту данных за раз, ожидая бита подтверждения (ACK) от ведомого в конце каждого байта. Если осуществляется операция чтения, то ведомый передает данные, ожидая бита подтверждения (ACK) от ведущего в конце каждого байта. В конце сеанса передачи данных ведущий генерирует бит STOP, чтобы завершить сеанс и освободить шину. На рис.16.3 показан формат типичного сообщения SMBus.

Рисунок 16.3. Формат сообщения SMBus



Модуль SMBus может быть настроен для работы как в режиме ведущего, так и в режиме ведомого. В любой конкретный момент времени он может работать в одном из четырех режимов:

16.2.1. Режим ведущего передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы выдаются на линию SCL. Первый передаваемый байт содержит адрес целевого ведомого устройства и бит направления. В этом случае бит направления (R/W) должен быть сброшен в 0, инициируя операцию записи. Затем ведущий передает один или несколько байт последовательных данных. После передачи каждого байта ведомое устройство генерирует бит подтверждения. Для обозначения начала и конца сеанса передачи данных ведущее устройство генерирует биты START и STOP.

16.2.2. Режим ведущего приемника

Последовательные данные принимаются с линии SDA, а тактовые импульсы выдаются на линию SCL. Первый байт передается ведущим и содержит адрес целевого ведомого и бит направления. В этом случае бит направления (R/W) должен быть установлен в 1, инициируя операцию чтения. Затем последовательные данные принимаются от ведомого по линии SDA, при этом ведущий генерирует тактовые импульсы. Ведомый передает один или несколько байт последовательных данных. После приема каждого байта ведущий генерирует бит подтверждения. Для обозначения начала и конца сеанса передачи данных ведущий генерирует биты START и STOP.

16.2.3. Режим ведомого передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы принимаются с линии SCL. Сначала принимается байт, который содержит адрес и бит направления. В этом случае бит направления (R/W) должен быть установлен в 1, инициируя операцию чтения. Если принятый адрес соответствует адресу ведомого (или принят адрес общего вызова), ведомый передает ведущему один или несколько байт последовательных данных. После приема каждого байта ведущий генерирует бит подтверждения. Для обозначения начала и конца сеанса передачи данных ведущий генерирует биты START и STOP.

16.2.4. Режим ведомого приемника.

Последовательные данные принимаются с линии SDA, а тактовые импульсы принимаются с линии SCL. Сначала принимается байт, который содержит адрес и бит направления. В этом случае бит направления (R/W) должен быть сброшен в 0, иницируя операцию записи. Если принятый адрес соответствует адресу ведомого (или принят адрес общего вызова), один или несколько байт последовательных данных принимаются ведомым от ведущего. После приема каждого байта ведомый генерирует бит подтверждения. Для обозначения начала и конца сеанса передачи данных ведущий генерирует биты START и STOP.

16.3. Арбитраж

Ведущий может начать сеанс передачи, только если шина свободна. Шина является свободной после бита STOP или после того, как на линиях SCL и SDA в течение определенного времени удерживается высокий уровень сигнала. Два или более ведущих устройства могут попытаться сгенерировать бит START одновременно. Т.к. устройства, генерирующие бит START, не могут быть уверены в том, что другие ведущие не пытаются в это время захватить управление шиной, используется схема арбитража. Ведущие устройства продолжают передавать до тех пор, пока один из ведущих не передаст на линию SDA сигнал высокого уровня, в то время как другой ведущий выдает на эту линию сигнал низкого уровня. Первый ведущий, передающий на линию SDA сигнал высокого уровня, теряет арбитраж и должен освободить шину.

16.4. Растягивание тактового сигнала

Модуль SMBus обеспечивает механизм тактовой синхронизации, аналогичный I²C, который позволяет устройствам с различной скоростью передачи данных сосуществовать на одной шине. Чтобы позволить медленным ведомым устройствам обмениваться данными с быстрыми ведущими, применяется растягивание тактовых импульсов на участке с низким уровнем сигнала. Ведомый может удерживать линию SCL на низком уровне, тем самым удлиняя период тактового сигнала (за счет удлинения участка с низким уровнем) и уменьшая таким образом частоту тактирования шины.

16.5. Таймауты

16.5.1. Таймаут низкого уровня на линии SCL

Если линия SCL удерживается на низком уровне ведомым устройством, то дальнейший обмен данными по шине невозможен. Кроме того, ведущий не может установить на линии SCL высокий уровень, чтобы исправить бит ошибки. Чтобы решить эту проблему, протокол SMBus определяет, что устройства, участвующие в обмене, должны распознавать как условие «таймаута» любой тактовый цикл, в котором сигнал удерживается на низком уровне более 25мс. Устройства, которые обнаружили такое условие таймаута, должны в течение 10мс после этого сбросить модули обмена.

Один из таймеров общего назначения микроконтроллера, работающий в 16-разрядном режиме с перезагрузкой, может использоваться для отслеживания таймаута низкого уровня на линии SCL. Таймер 3 спроектирован специально для этой цели. (Подробная информация о функционировании Таймера 3 приведена в разделе 19.3).

16.5.2. Таймаут высокого уровня на линии SCL (шина SMBus свободна)

Спецификация SMBus оговаривает, что если устройство удерживает линии SCL и SDA на высоком уровне более 50 мкс, то шина считается свободной. Для обнаружения этого условия используется регистр SMB0CR (когда бит FTE в регистре SMB0CN установлен в 1).

16.6. Регистры специального назначения модуля SMBus

Для доступа к интерфейсу SMBus и управления им используются пять регистров SFR: регистр управления SMB0CN, регистр установки тактовой частоты SMB0CR, регистр адреса SMB0ADR, регистр данных SMB0DAT и регистр состояния SMB0STA. Все эти регистры описываются в следующих разделах.

16.6.1. Регистр управления

Регистр управления SMB0CN используется для управления модулем SMBus и его настройки. Все биты этого регистра могут быть прочитаны и записаны программно. Два управляющих бита также устанавливаются аппаратно. Флаг прерывания от последовательного порта (SI, SMB0CN.3) устанавливается в 1 аппаратно при возникновении прерывания от модуля SMBus. Он может быть сброшен только программно. Флаг STOP (STO, SMB0CN.4) сбрасывается в 0 аппаратно при обнаружении на шине бита STOP.

Установка в 1 флага ENSMB включает модуль SMBus. Сброс в 0 флага ENSMB отключает модуль SMBus и удаляет его с шины. Сброс флага ENSMB и затем повторная его установка в 1 приведут к сбросу модуля SMBus. Однако, флаг ENSMB не следует использовать для временного удаления устройства с шины, т.к. информация о состоянии шины будет потеряна. Вместо этого для удаления устройства с шины следует использовать флаг назначения подтверждения AA (описание флага AA приведено ниже).

Установка в 1 флага запуска (STA, SMB0CN.5) переведет модуль SMBus в режим ведущего. Если шина свободна, модуль SMBus сгенерирует бит START. Если шина занята, то модуль SMBus будет ожидать бита STOP, свидетельствующего об освобождении шины, и затем сгенерирует бит START через 5мкс после задержки, определяемой значением регистра SMB0CR. (В соответствии с протоколом SMBus, модуль SMBus также будет считать шину свободной, если шина простаивает в течение 50мкс и бит STOP не обнаружен). Если бит STA устанавливается в 1 в то время, когда модуль SMBus находится в режиме ведущего и уже переданы один или несколько байт, то будет сгенерировано событие «повторный START». Чтобы гарантировать правильное функционирование, флаг STO следует явно сбросить до установки в 1 бита STA.

Если флаг окончания передачи (STO, SMB0CN.4) устанавливается в 1 в то время, когда модуль SMBus находится в режиме ведущего, то модуль SMBus сгенерирует на шине бит STOP. В режиме ведомого флаг STO можно использовать для восстановления из состояния сбоя. В это случае бит STOP не генерируется, но модуль SMBus ведет себя так, как будто бит STOP уже получен, и переходит в режим «не адресованного» ведомого приемника. При обнаружении на шине бита STOP модуль SMBus автоматически сбрасывает в 0 флаг STO.

Флаг прерываний от последовательного порта (SI, SMB0CN.3) устанавливается аппаратно в 1, если интерфейс SMBus переходит к одному из 27 возможных состояний. Если прерывания для модуля SMBus разрешены, то при установке в 1 флага SI генерируется запрос прерывания. Флаг SI должен быть сброшен программно. Когда флаг SI установлен в 1, на линии SCL удерживается низкий уровень сигнала (тактовый импульс «растягивается») и передача последовательных данных по шине приостанавливается.

Флаг назначения подтверждения AA (AA, SMB0CN.2) используется для задания уровня сигнала на линии SDA во время тактового импульса подтверждения на линии SCL. Установка в 1 флага AA приведет к передаче бита подтверждения ACK (низкий уровень сигнала на линии SDA) во время тактового импульса подтверждения на линии SCL, если устройство распознало свой адрес. Сброс в 0 флага AA приведет к передаче бита «нет подтверждения» NACK (высокий уровень сигнала на линии SDA) во время тактового импульса подтверждения на линии SCL. После передачи байта в режиме ведомого ведомое устройство можно временно удалить с шины путем сброса в 0 флага AA. Собственный адрес ведомого и адрес общего вызова будут игнорироваться. Для восстановления работы на шине необходимо установить в 1 флаг AA, чтобы разрешить ведомому распознавать свой адрес.

Установка в 1 бита разрешения таймера освобождения шины SMBus (FTE, SMB0CN.1) включит функцию таймаута освобождения шины SMBus. Если на линиях SDA и SCL удерживается высокий уровень сигнала в течение таймаута освобождения шины SMBus, заданного в регистре установки тактовой частоты (см. рис.16.5), то шина будет считаться свободной и будет сгенерирован (при необходимости) бит START. Период освобождения шины должен быть не менее 50мкс.

Установка в 1 бита разрешения таймаута SMBus (TOE, SMB0CN.0) заставит Таймер 3 начать отсчет, если на линии SCL присутствует низкий уровень и Таймер 3 включен. Если Таймер 3 переполнится, будет сгенерировано прерывание от Таймера 3, которое предупредит процессорное ядро о том, что истек таймаут низкого уровня на линии SCL шины SMBus.

Рисунок 16.4. SMB0CN: Регистр управления модуля SMBus

R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
BUSY	ENSMB	STA	STO	SI	AA	FTE	TOE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xC0
<p>Бит 7: BUSY: Флаг занятости шины SMBus.</p> <p>0: Шина SMBus свободна</p> <p>1: Шина SMBus занята</p> <p>Бит 6: ENSMB: Включение модуля SMBus.</p> <p>Этот бит включает/отключает последовательный интерфейс SMBus</p> <p>0: SMBus отключен.</p> <p>1: SMBus включен.</p> <p>Бит 5: STA: Флаг запуска модуля SMBus.</p> <p>0: Бит START не передается.</p> <p>1: При работе в режиме ведущего бит START передается, если шина свободна. (Если шина не свободна, то бит START передается после приема бита STOP.) Если бит STA устанавливается после передачи или приема одного или нескольких байт и до приема бита STOP, то передается бит «повторный START». Бит STO следует явно сбросить до установки в 1 бита STA.</p> <p>Бит 4: STO: Флаг окончания передачи модуля SMBus.</p> <p>0: Бит STOP не передается.</p> <p>1: Установка в 1 бита STO приведет к передаче бита STOP. При приеме бита STOP флаг STO аппаратно сбрасывается в 0. Если оба флага STA и STO установлены в 1, то вслед за битом STOP передается бит START. В режиме ведомого установка флага STO заставит модуль SMBus вести себя так, как будто получен бит STOP.</p> <p>Бит 3: SI: Флаг прерывания от последовательного порта SMBus.</p> <p>Этот бит устанавливается аппаратно при переходе модуля SMBus к одному из 27 возможных состояний. (Состояние с кодом 0xF8 не вызывает установку бита SI.) Если прерывание от SI разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SMBus. Этот бит автоматически аппаратно не сбрасывается и должен быть сброшен программно.</p> <p>Бит 2: AA: Флаг назначения подтверждения .</p> <p>Этот бит определяет тип бита подтверждения, передаваемого во время тактового цикла подтверждения на линии SCL.</p> <p>0: Во время тактового цикла подтверждения передается бит «нет подтверждения» (высокий уровень сигнала на линии SDA).</p> <p>1: Во время тактового цикла подтверждения передается бит «подтверждение» (низкий уровень сигнала на линии SDA).</p> <p>Бит 1: FTE: Бит разрешения таймера освобождения шины SMBus</p> <p>0: Не используется таймаут высокого уровня на линии SCL</p> <p>1: Если время удержания высокого уровня на линии SCL превышает предел, определяемый значением регистра SMB0CR, то происходит условие таймаута.</p> <p>Бит 0: TOE: Бит разрешения таймаута SMBus</p> <p>0: Не используется таймаут низкого уровня на линии SCL.</p> <p>1: Если время удержания низкого уровня на линии SCL превышает предел, определяемый Таймером 3 (если он включен), то происходит условие таймаута.</p>								

16.6.2. Регистр установки тактовой частоты модуля SMBus

Рисунок 16.5. SMB0CR: Регистр установки тактовой частоты модуля SMBus

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xCF

Биты 7-0: SMB0CR.[7:0]: Установка тактовой частоты модуля SMBus

Регистр установки тактовой частоты SMB0CR управляет частотой тактовых импульсов, выдаваемых на линию SCL в режиме ведущего. 8-разрядное слово, сохраненное в регистре SMB0CR, загружается в специальный 8-разрядный таймер. Этот таймер считает в прямом направлении и когда он переполнится, состояние сигнала на линии SCL изменится на противоположное. Период тактовых импульсов на линии SCL определяется следующим уравнением:

$$T_H = T_L = T_{SYSCLK} * [(256 - SMB0CR) + 2.5] \geq 5\mu s$$

Значение регистра SMB0CR определяет также таймаут освобождения шины в соответствии со следующим уравнением:

$$T_{BFT} = T_{SYSCLK} * [10 * (256 - SMB0CR) + 1] \geq 50\mu s$$

Любое значение от 0x00 до 0xFE можно использовать для загрузки в регистр установки тактовой частоты модуля SMBus. Значение 0xFF использовать нельзя.

16.6.3. Регистр данных

Регистр данных модуля SMBus SMB0DAT содержит байт последовательных данных, который необходимо передать, или байт последовательных данных, который только что принят. Данные остаются неизменными в этом регистре, пока бит SI установлен в 1. Программа может безопасно прочитать из регистра или записать в регистр данные, когда флаг SI установлен в 1. Программа не должна пытаться обратиться к регистру SMB0DAT, когда модуль SMBus включен и флаг SI сброшен в 0, т.к. в этот момент может осуществляться аппаратный сдвиг байта в регистр или из регистра.

Данные всегда сдвигаются старшими разрядами вперед. После приема байта первый бит принятых данных занимает старший разряд регистра SMB0DAT. Когда данные выдвигаются из регистра, они одновременно появляются на шине. Поэтому регистр SMB0DAT всегда содержит последний байт данных, присутствующий в настоящий момент на шине. Таким образом, в случае потери арбитража переход от ведущего передатчика к ведомому приемнику осуществляется с корректными данными в регистре SMB0DAT.

Рисунок 16.6. SMB0DAT: Регистр данных модуля SMBus

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SMB0DAT: Данные модуля SMBus.

Регистр SMB0DAT содержит байт данных, которые должны передаваться последовательному интерфейсу SMBus, или данные, только что принятые от последовательного интерфейса SMBus. Читать из этого регистра или записывать в этот регистр можно всякий раз, когда флаг прерывания от последовательного порта SI (SMB0CN.3) установлен в 1. Последовательные данные остаются неизменными в этом регистре, пока бит SI установлен в 1. Когда флаг SI не установлен в 1, система может находиться в процессе сдвига данных в регистр (или из регистра) SMB0DAT и обращаться к этому регистру нельзя.

16.6.4. Регистр адреса

Регистр адреса SMB0ADR содержит адрес ведомого для интерфейса SMBus. В ведомом режиме семь старших значащих битов образуют 7-битный адрес ведомого. Младший значащий бит, бит 0, используется для разрешения распознавания адреса общего вызова (0x00). Если бит 0 установлен в 1, адрес общего вызова будет распознаваться. В противном случае, адрес общего вызова будет игнорироваться. Содержимое этого регистра игнорируется, если модуль SMBus работает в ведущем режиме.

Рисунок 16.7. SMB0ADR: Регистр адреса модуля SMBus

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC3
SLV6	SLV5	SLV4	SLV3	SLV2	SLV1	SLV0	GC	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-1: SLV6-SLV0: Адрес ведомого SMBus

Эти биты загружаются 7-разрядным адресом ведомого, на который будет отвечать модуль SMBus при работе в качестве ведомого передатчика или ведомого приемника. SLV6 является старшим значащим битом адреса и соответствует первому биту адресного байта, полученного по шине SMBus.

Бит 0: GC: Разрешение адреса общего вызова.

Этот бит используется для разрешения распознавания адреса общего вызова (0x00).

0: Адрес общего вызова игнорируется.

1: Адрес общего вызова распознается.

16.6.5. Регистр состояния

Регистр состояния SMB0STA содержит 8-битный код состояния, показывающий текущее состояние модуля SMBus. Существует 28 возможных состояний модуля SMBus, каждому из которых соответствует уникальный код состояния. Пять старших значащих битов кода состояния различаются, а три младших значащих бита для корректных кодов состояния всегда равны нулю, когда SI = 1. Поэтому все возможные коды состояния кратны восьми. Это позволяет применять в программе код состояния в качестве индекса, используемого для перехода на соответствующую процедуру обслуживания (используя 8 байт кода для обслуживания состояния или для перехода на более сложную процедуру обслуживания).

Для нужд программы пользователя содержимое регистра SMB0STA определено только тогда, когда флаг SI установлен в 1. Программа никогда не должна записывать данные в регистр SMB0STA. Это приведет к неопределенному результату. В табл.16.1 приведены все 28 состояний модуля SMBus вместе с соответствующими им кодами.

Рисунок 16.8. SMB0STA: Регистр состояния модуля SMBus

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение
STA7	STA6	STA5	STA4	STA3	STA2	STA1	STA0	при сбросе
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	11111000
								SFR Адрес:
								0xC1
<p>Биты 7-3: STA7-STA3: Код состояния модуля SMBus.</p> <p>Эти биты содержат код состояния модуля SMBus. Существует 28 возможных кодов состояния. Каждый код состояния соответствует единственному состоянию модуля SMBus. Корректный код состояния присутствует в регистре SMB0STA, когда флаг SI (SMB0CN.3) установлен в 1. Содержимое регистра SMB0STA не определено, когда флаг SI равен нулю. Запись в регистр SMB0STA в любое время даст неопределенный результат.</p> <p>Биты 2-0: STA2-STA0: Три младших значащих бита регистра SMB0STA всегда читаются как 0, когда флаг SI установлен в 1</p>								

Таблица 16.1. Коды состояния модуля SMBus

Код состояния (SMB0STA)	Режим	Состояние модуля SMBus
0x00	Все режимы	Ошибка шины (т.е. некорректный START, некорректный STOP, ...)
0x08	Ведущий передатчик/приемник	Передан бит START.
0x10	Ведущий передатчик/приемник	Передан бит «повторный START».
0x18	Ведущий передатчик	Передан адрес ведомого + W. Получен ACK.
0x20	Ведущий передатчик	Передан адрес ведомого + W. Получен NACK.
0x28	Ведущий передатчик	Передан байт данных. Получен ACK.
0x30	Ведущий передатчик	Передан байт данных. Получен NACK.
0x38	Ведущий передатчик	Потерян арбитраж.
0x40	Ведущий приемник	Передан адрес ведомого + R. Получен ACK.
0x48	Ведущий приемник	Передан адрес ведомого + R. Получен NACK.
0x50	Ведущий приемник	Получен байт данных. Передан ACK.
0x58	Ведущий приемник	Получен байт данных. Передан NACK.
0x60	Ведомый приемник	Получен собственный адрес ведомого + W. Передан ACK.
0x68	Ведомый приемник	При передаче в ведущем режиме адреса ведомого + R/W потеря арбитраж. Получен собственный адрес ведомого + W. Передан ACK.
0x70	Ведомый приемник	Получен адрес общего вызова (0x00). Передан ACK.
0x78	Ведомый приемник	При передаче в ведущем режиме адреса ведомого + R/W потеря арбитраж. Получен адрес общего вызова (0x00). Передан ACK.
0x80	Ведомый приемник	Получен собственный адрес ведомого + W. Получен байт данных. Передан ACK.
0x88	Ведомый приемник	Получен собственный адрес ведомого + W. Получен байт данных. Передан NACK.
0x90	Ведомый приемник	Получен адрес общего вызова (0x00). Получен байт данных. Передан ACK.
0x98	Ведомый приемник	Получен адрес общего вызова (0x00). Получен байт данных. Передан NACK.
0xA0	Ведомый приемник	Получен бит STOP или «повторный START», когда устройство адресуется в качестве ведомого.
0xA8	Ведомый передатчик	Получен собственный адрес ведомого + R. Передан ACK.
0xB0	Ведомый передатчик	При передаче в ведущем режиме адреса ведомого + R/W потеря арбитраж. Получен собственный адрес ведомого + R. Передан ACK.
0xB8	Ведомый передатчик	Передан байт данных. Получен ACK.
0xC0	Ведомый передатчик	Передан байт данных. Получен NACK.
0xC8	Ведомый передатчик	Передан последний байт данных (AA=0). Получен ACK.
0xD0	Ведомый передатчик/приемник	Истек таймаут высокого уровня на линии SCL, определяемый значением регистра SMB0CR (при FTE=1)
0xF8	Все режимы	Простой (ожидание)

17. МОДУЛЬ SPI

Модуль SPI обеспечивает доступ к четырех-проводной полнодуплексной последовательной шине. SPI поддерживает подключение нескольких ведомых устройств к ведущему устройству с помощью одной шины. Отдельный сигнал выбора ведомого (NSS) используется для выбора ведомого устройства и разрешения обмена данными между ведущим и выбранным ведомым. Кроме этого возможна работа нескольких ведущих на одной шине. Имеется схема обнаружения конфликтов на случай, если два или более ведущих попытаются передать данные одновременно. Модуль SPI может работать как в ведущем, так и в ведомом режимах. Когда модуль SPI настроен как ведущий, максимальная скорость передачи данных (бит/сек) равна половине системной тактовой частоты.

Когда модуль SPI настроен как ведомый, максимальная скорость передачи данных (бит/сек) для полнодуплексного режима передачи равна 1/10 системной тактовой частоты, при условии, что сигналы от ведущего SCK, NSS и последовательные входные данные синхронизированы с системной тактовой частотой. Если сигналы от ведущего SCK, NSS и последовательные входные данные асинхронны, то максимальная скорость передачи данных (бит/сек) должна быть меньше 1/10 системной тактовой частоты. В особом случае, когда ведущему требуется только передавать данные ведомому и не требуется принимать от него данные (т.е. полудуплексный режим), ведомый модуль SPI может принимать данные с максимальной скоростью (бит/сек), равной системной тактовой частоте. Это справедливо при условии, что сигналы от ведущего SCK, NSS и последовательные входные данные синхронизированы с системной тактовой частотой.

Рисунок 17.1. Структурная схема модуля SPI

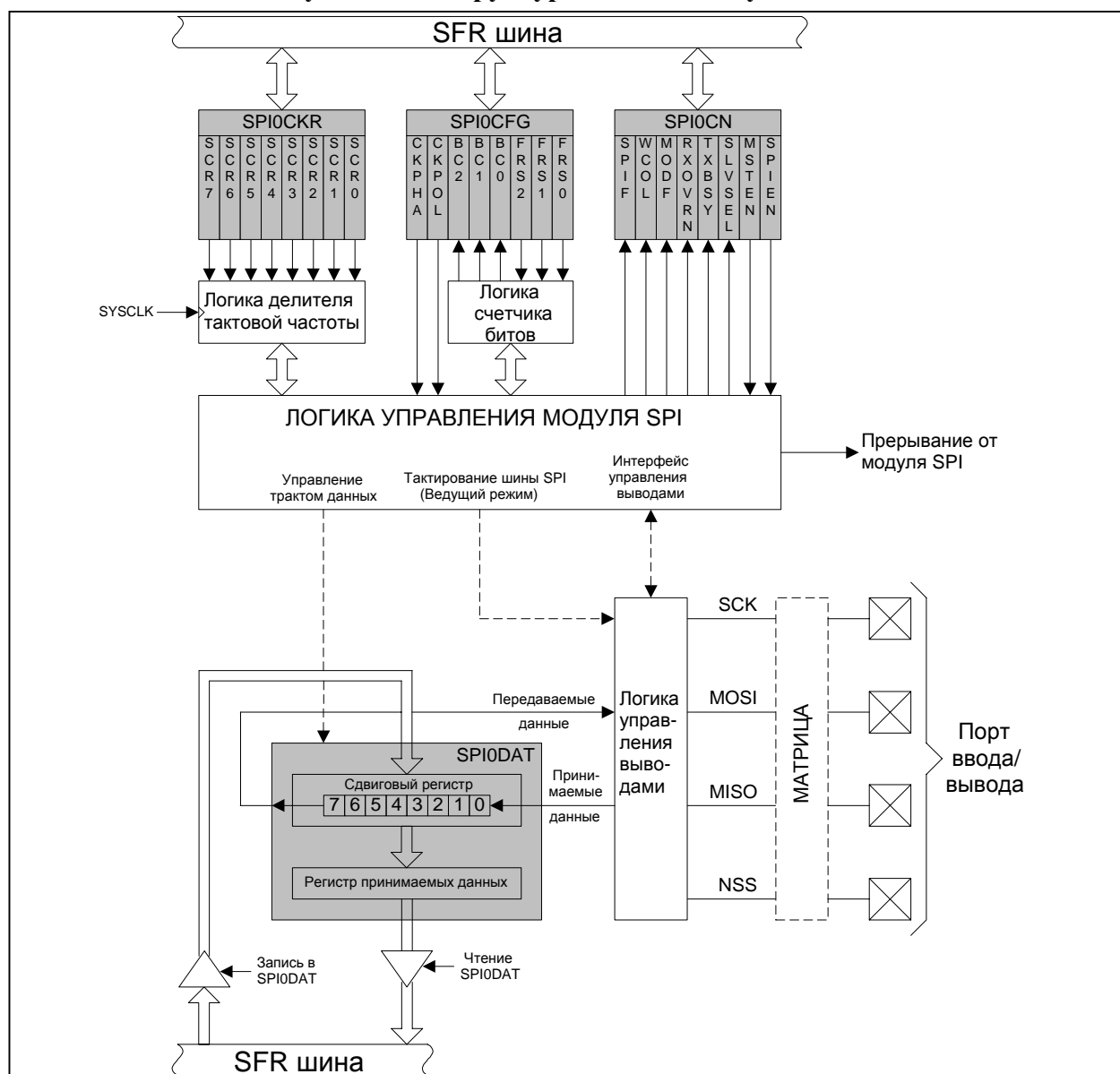
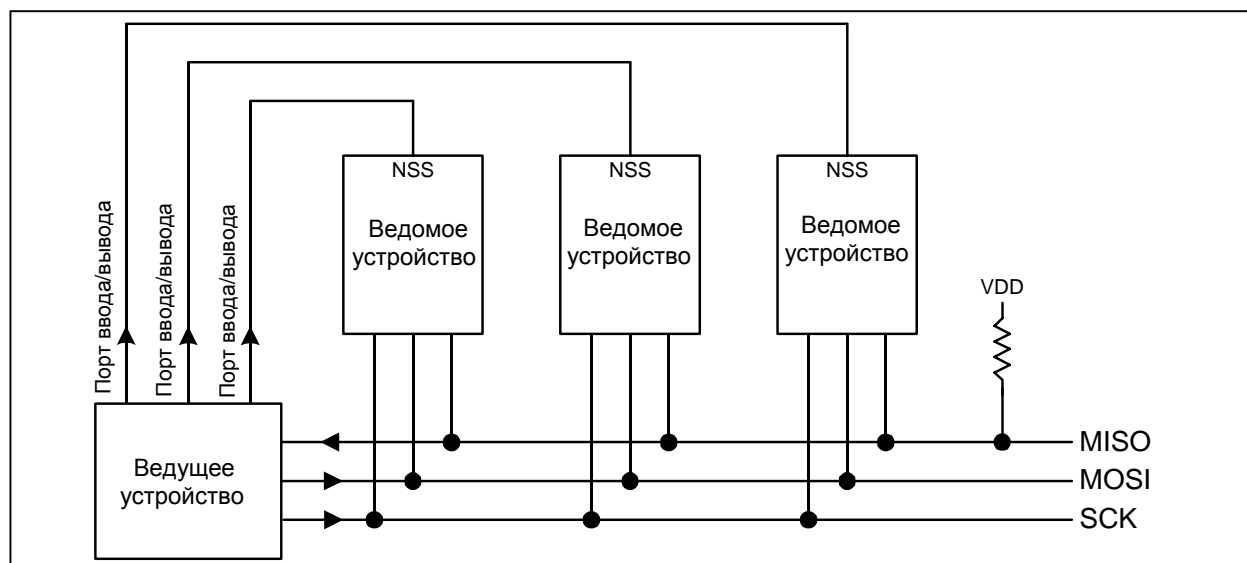


Рисунок 17.2. Подключение к шине SPI



17.1. Описание сигналов

Ниже описаны четыре сигнала, используемые интерфейсом SPI (MOSI, MISO, SCK, NSS).

17.1.1. Выход ведущего, вход ведомого

Сигнал MOSI (master-out, slave-in - «выход ведущего, вход ведомого») является выходом данных ведущего устройства и входом данных ведомых устройств. Он используется для последовательной передачи данных от ведущего к ведомому. Данные передаются старшими значащими разрядами вперед.

17.1.2. Вход ведущего, выход ведомого

Сигнал MISO (master-in, slave-out - «вход ведущего, выход ведомого») является выходом данных ведомого устройства и входом данных ведущего устройства. Он используется для последовательной передачи данных от ведомого к ведущему. Данные передаются старшими значащими разрядами вперед. Когда ведомое устройство не выбрано, его модуль SPI переводит вывод MISO в высокоимпедансное состояние.

17.1.3. Тактовые импульсы

Сигнал SCK (serial clock - «импульсы тактирования последовательного интерфейса») является выходом ведущего устройства и входом ведомых устройств. Он используется для синхронизации обмена данными между ведущим и ведомым устройствами по линиям MOSI и MISO.

17.1.4. Выбор ведомого

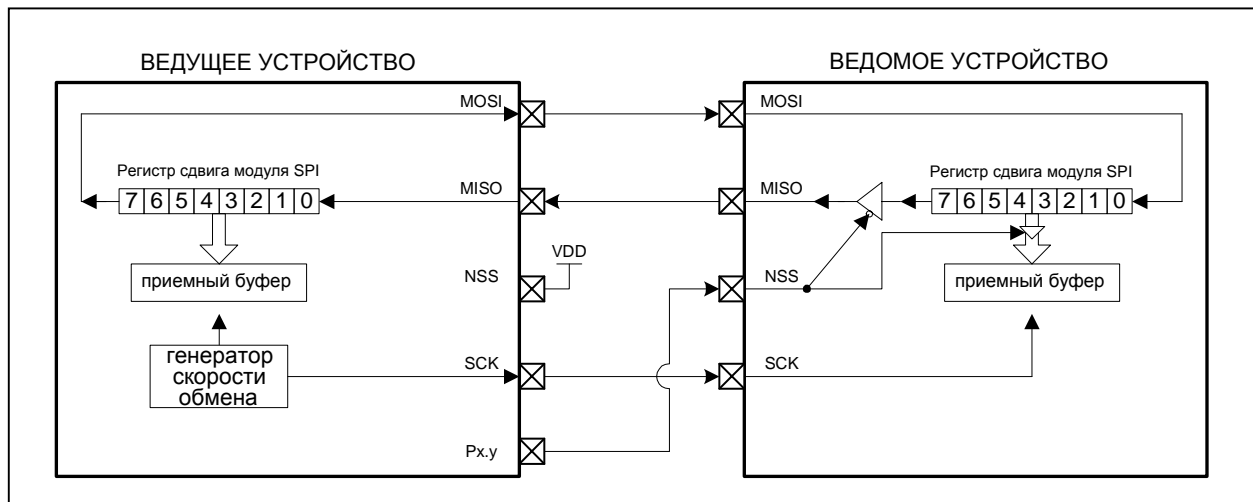
Сигнал «Выбор ведомого» (NSS) является входом, используемым для выбора модуля SPI, работающего в ведомом режиме, или для отключения модуля SPI, работающего в ведущем режиме. В ведомом режиме он удерживается на низком уровне в течение всего сеанса обмена данными.

17.2. Режимы работы

Только ведущее устройство SPI может инициировать сеанс обмена данными. Модуль SPI переводится в ведущий режим работы установкой в 1 флага включения ведущего режима (MSTEN, SPI0CN.1). Если модуль SPI настроен как ведущий, то запись байта данных в регистр данных модуля SPI (SPI0DAT) запустит сеанс обмена данными. Ведущий SPI сразу же начнет последовательно сдвигать данные на линию MOSI, выдавая тактовые импульсы на линию SCK. Флаг SPIF (SPI0CN.7) устанавливается в 1 при окончании передачи. Если прерывания разрешены, то при установке флага SPIF генерируется запрос прерывания. Ведущий SPI можно настроить таким образом, чтобы в процессе обмена выдвигать в линию (принимать с линии) от одного до восьми бит, что позволяет ему работать с ведомыми устройствами, имеющими различную длину слова данных. Выбор количества сдвигаемых бит осуществляется битами SPIFRS регистра конфигурации модуля SPI (SPI0CFG.[2:0]).

В полнодуплексном режиме в то время, когда ведущий SPI передает данные ведомому по линии MOSI, адресуемый ведомый передает содержимое своего регистра сдвига ведущему SPI по линии MISO. Байт данных, полученный от ведомого, заменяет данные в регистре данных ведущего. Поэтому флаг SPIF является как флагом окончания передачи, так и флагом готовности принимаемых данных. Обмен данными в обоих направлениях синхронизирован с тактовыми импульсами, генерируемыми ведущим. На рис.17.3 показано функционирование ведущего SPI и адресуемого ведомого в полнодуплексном режиме работы.

Рисунок 17.3. Полнодуплексный режим работы



Регистр данных модуля SPI имеет двойную буферизацию по чтению, но не по записи. Если будет предпринята попытка записи в регистр SPI0DAT при выполнении передачи данных, то будет установлен в 1 флаг WCOL (SPI0CN.6) и операция записи игнорируется. Текущая передача данных будет продолжена, не прерываясь. При чтении регистра данных модуля SPI на самом деле читается приемный буфер. Если приемный буфер все еще содержит непрочитанные данные от предыдущей передачи, а последний бит текущей передачи сдвигается в регистр сдвига модуля SPI, то произойдет переполнение приемника и установится в 1 флаг RXOVRN (SPI0CN.4). Новые данные не передаются в приемный буфер, позволяя прочитать ранее принятые данные. Байт данных, вызвавший переполнение приемника, теряется.

Когда модуль SPI включен и не настроен как ведущий, он будет функционировать как ведомый SPI. Другое устройство SPI, работающее в режиме ведущего, будет инициировать сеанс обмена путем выдачи на линию NSS сигнала с низким логическим уровнем. Затем ведущий выдает данные из регистра сдвига на линию MOSI, используя генерируемые им тактовые импульсы. Флаг SPIF устанавливается в 1 по окончании передачи данных (когда на линии NSS установится сигнал с высоким уровнем). Ведомый может загрузить свой регистр сдвига следующим байтом данных, записав его в регистр данных модуля SPI. Ведомый должен произвести запись в регистр данных не менее чем за один тактовый цикл SPI до того, как ведущий начнет следующую передачу. Иначе будет передан байт данных, уже имеющийся в регистре сдвига ведомого.

На одной шине могут сосуществовать несколько ведущих. Флаг ошибки режима (MODF, SPI0CN.5) устанавливается в 1, если модуль SPI настроен как ведущий (MSTEN = 1) и его сигнал выбора ведомого NSS имеет низкий логический уровень. Когда устанавливается флаг ошибки режима, биты MSTEN и SPIEN

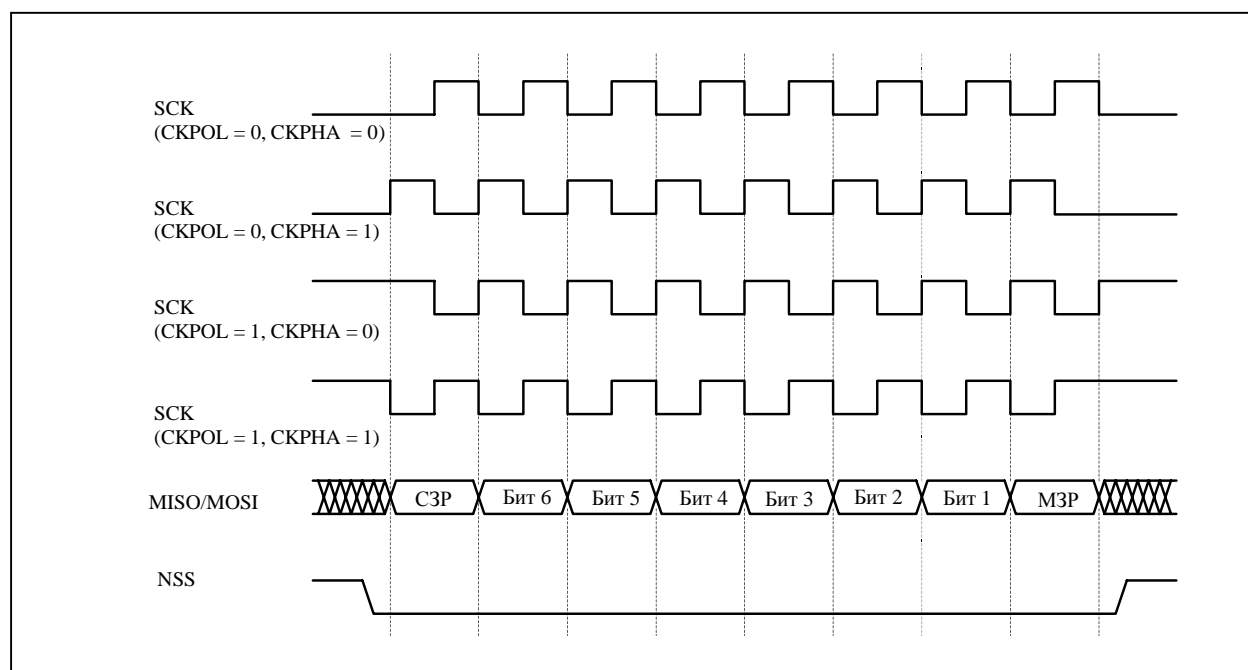
регистра управления модуля SPI аппаратно сбрасываются в 0, при этом модуль SPI переходит в состояние “off-line”. В среде с несколькими ведущими перед установкой бита MSTEN и инициацией сеанса обмена системному контроллеру необходимо проверять состояние флага SLVSEL (SPI0CN.2), чтобы убедиться, что шина свободна.

17.3. Тактирование

Как показано на рис.17.3, используя биты управления тактовой частотой регистра конфигурации модуля SPI (SPI0CFG), можно выбрать четыре комбинации фазы и полярности импульсов тактирования последовательного интерфейса. Бит СКРНА (SPI0CFG.7) выбирает одну из двух фаз тактового сигнала (фронт, используемый для фиксации данных). Бит СКPOL (SPI0CFG.6) задает активный уровень (высокий или низкий) тактового сигнала. Как ведущий, так и ведомые устройства должны быть настроены на использование одинаковых фазы и полярности тактовых импульсов. Примечание: при изменении фазы и полярности тактовых импульсов модуль SPI следует отключить сбросом в 0 бита SPIEN (SPI0CN.0).

Регистр установки тактовой частоты модуля SPI (SPI0CKR), показанный на рис.17.7, управляет частотой тактирования последовательного интерфейса при работе в ведущем режиме. При работе в ведомом режиме содержимое этого регистра игнорируется.

Рисунок 17.4. Временные диаграммы сигналов данных/тактирования



17.4. Регистры специального назначения модуля SPI

Для доступа к интерфейсу SPI и управления им используются четыре регистра специального назначения: регистр управления SPI0CN, регистр данных SPI0DAT, регистр конфигурации SPI0CFG и регистр установки тактовой частоты SPI0CKR. Все эти регистры описаны в следующих разделах.

Рисунок 17.5. SPI0CFG: Регистр конфигурации модуля SPI

R/W	R/W	R	R	R	R/W	R/W	R/W	Значение при сбросе: SFR Адрес: 0x9A
СКРНА	СКPOL	BC2	BC1	BC0	SPIFRS2	SPIFRS1	SPIFRS0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: СКРНА: Выбор активной фазы тактового сигнала модуля SPI.
Этот бит управляет фазой тактового сигнала модуля SPI.
0: Данные фиксируются по первому фронту периода сигнала SCK.
1: Данные фиксируются по второму фронту периода сигнала SCK.

Бит 6: СКPOL: Выбор полярности тактового сигнала модуля SPI.
Этот бит управляет полярностью тактового сигнала модуля SPI.
0: В состоянии простоя на линии SCK установлен сигнал низкого уровня.
1: В состоянии простоя на линии SCK установлен сигнал высокого уровня.

Биты 5-3: BC2-BC0: Счетчик бит модуля SPI.
Эти биты показывают, какой бит слова данных модуля SPI передается.

BC2-BC0			Передаваемый бит
0	0	0	Бит 0 (МЗР)
0	0	1	Бит 1
0	1	0	Бит 2
0	1	1	Бит 3
1	0	0	Бит 4
1	0	1	Бит 5
1	1	0	Бит 6
1	1	1	Бит 7 (СЗР)

Биты 2-0: SPIFRS2-SPIFRS0: SPI Frame Size.
Эти три бита в ведущем режиме определяют количество бит, которые в процессе передачи сдвигаются в регистр сдвига (выдвигаются из регистра сдвига) модуля SPI.
В ведомом режиме эти биты игнорируются.

SPIFRS			Количество сдвигаемых бит
0	0	0	1
0	0	1	2
0	1	0	3
0	1	1	4
1	0	0	5
1	0	1	6
1	1	0	7
1	1	1	8

Рисунок 17.6. SPI0CN: Регистр управления модуля SPI

R/W	R/W	R/W	R/W	R	R	R/W	R/W	Значение при сбросе:
SPIF	WCOL	MODF	RXOVRN	TXBSY	SLVSEL	MSTEN	SPIEN	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xF8
<p>Бит 7: SPIF: Флаг прерывания от модуля SPI.</p> <p>Этот бит аппаратно устанавливается в 1 по окончании передачи данных. Если прерывания разрешены, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SPI. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.</p> <p>Бит 6: WCOL: Флаг конфликта записи.</p> <p>Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI) и тем самым показывает, что была произведена попытка записи в регистр данных модуля SPI, когда текущий сеанс передачи данных еще не завершился. Этот флаг сбрасывается программно.</p> <p>Бит 5: MODF: Флаг ошибки режима.</p> <p>Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI) при обнаружении конфликта ведущего режима (на линии NSS низкий уровень и MSTEN = 1). Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.</p> <p>Бит 4: RXOVRN: Флаг переполнения приемника.</p> <p>Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI), если приемный буфер все еще содержит непрочитанные данные от предыдущей передачи, а последний бит текущей передачи сдвигается в регистр сдвига модуля SPI. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.</p> <p>Бит 3: TXBSY: Флаг занятости передатчика.</p> <p>Этот бит аппаратно устанавливается в 1 при осуществлении передачи данных в ведущем режиме. Он сбрасывается аппаратно по окончании передачи данных.</p> <p>Бит 2: SLVSEL: Флаг выбора ведомого.</p> <p>Этот бит аппаратно устанавливается в 1 всякий раз, когда на линию NSS подан сигнал низкого уровня, и показывает, что ведомый включен. Этот флаг сбрасывается в 0, когда на линии NSS присутствует сигнал высокого уровня (ведомый отключен).</p> <p>Бит 1: MSTEN: Включение ведущего режима.</p> <p>0: Ведущий режим отключен. Модуль SPI работает в ведомом режиме. 1: Ведущий режим включен. Модуль SPI работает в ведущем режиме.</p> <p>Бит 0: SPIEN: Включение модуля SPI.</p> <p>Этот бит включает/отключает модуль SPI. 0: Модуль SPI отключен. 1: Модуль SPI включен.</p>								

Рисунок 17.7. SPI0CKR: Регистр установки тактовой частоты модуля SPI

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
SCR7	SCR6	SCR5	SCR4	SCR3	SCR2	SCR1	SCR0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9D

Биты 7-0: SCR7-SCR0: Тактовая частота модуля SPI

Эти биты определяют частоту выходного сигнала SCK, когда модуль SPI работает в ведущем режиме. Частота тактового сигнала SCK представляет собой поделенную на определенный коэффициент системную тактовую частоту и задается следующим уравнением:

$$f_{SCK} = 0.5 * f_{SYSCLK} / (SPI0CKR + 1), \text{ для } 0 \leq SPI0CKR \leq 255,$$

Рисунок 17.8. SPI0DAT: Регистр данных модуля SPI

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9B

Биты 7-0: SPI0DAT: Данные передатчика и приемника модуля SPI.

Регистр SPI0DAT используется для передачи и приема данных. В ведущем режиме запись данных в регистр SPI0DAT сразу же приводит к загрузке данных в регистр сдвига и инициирует сеанс передачи. Чтение регистра SPI0DAT возвратит содержимое приемного буфера.

18. УАПП

УАПП (универсальный асинхронный приемопередатчик) представляет собой последовательный порт, обеспечивающий асинхронную передачу данных. УАПП может функционировать в полнодуплексном режиме. Во всех режимах принимаемые данные буферизуются в регистре ременного хранения. Это позволяет УАПП начать прием второго входящего байта данных до того, как программа прочитает предыдущий байт данных.

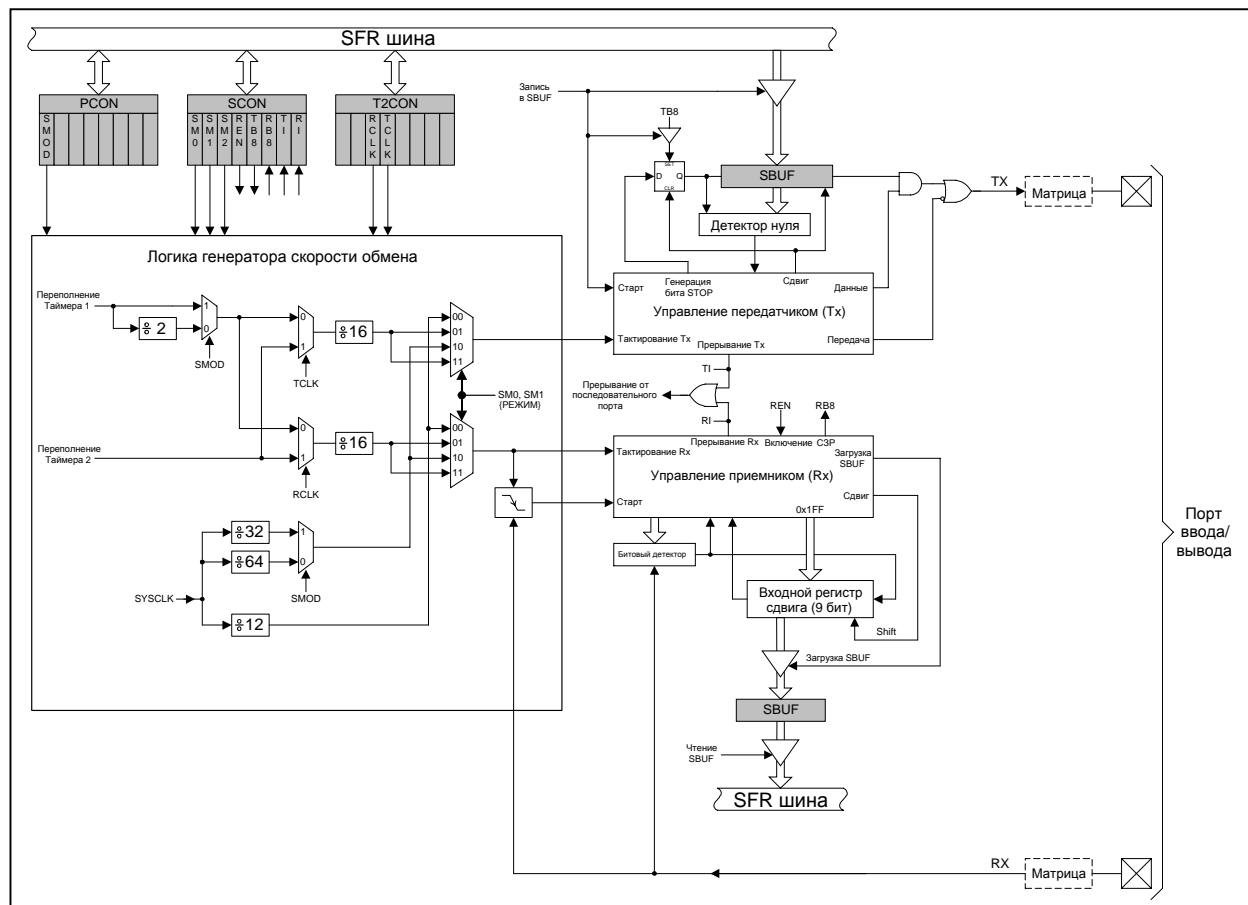
С работой УАПП связаны следующие регистры специального назначения: регистр управления УАПП (SCON) и буфер данных УАПП (SBUF). Одна и та же ячейка SBUF обеспечивает доступ и к регистру передатчика, и к регистру приемника. Операция чтения обращается к регистру приемника, а операция записи обращается к регистру передатчика автоматически.

УАПП генерирует прерывания, если они разрешены. УАПП имеет два источника прерываний:

- флаг прерываний от передатчика TI (SCON.1), устанавливается, когда передача байта данных завершена;
- флаг прерываний от приемника RI (SCON.0), устанавливается, когда завершен прием байта данных.

Флаги прерываний от УАПП не сбрасываются аппаратно при переходе к процедуре обслуживания прерывания. Они должны сбрасываться программно. Это позволяет программе определить причину, вызвавшую прерывание от УАПП (завершение передачи или завершение приема).

Рисунок 18.1. Структурная схема УАПП



18.1. Режимы работы УАПП

УАПП поддерживает четыре режима работы (один синхронный и три асинхронных), задаваемые битами конфигурации в регистре SCON. Эти четыре режима различаются скоростью передачи данных и протоколом обмена. В табл.18.1 приведены основные характеристики режимов работы УАПП. В следующих разделах режимы работы УАПП описаны более подробно.

Таблица 18.1. Режимы работы УАПП

Режим	Синхронизация	Скорость передачи данных	Биты данных	Биты Старт/Стоп
0	Синхронный	$\text{SYSCLK}/12$	8	Нет
1	Асинхронный	Переполнение Таймера 1 или Таймера 2	8	1 Старт, 1 Стоп
2	Асинхронный	$\text{SYSCLK}/32$ или $\text{SYSCLK}/64$	9	1 Старт, 1 Стоп
3	Асинхронный	Переполнение Таймера 1 или Таймера 2	9	1 Старт, 1 Стоп

18.1.1. Режим 0: Синхронный режим

Режим 0 обеспечивает синхронный, полудуплексный обмен данными. Последовательные данные передаются и принимаются через внешний вывод RX. Через внешний вывод TX выдаются импульсы сдвига как для передачи, так и для приема данных. МК должен быть ведущим, т.к. он генерирует импульсы сдвига для передачи данных в обоих направлениях (см. рис.18.2).

Передаются/принимаются восемь бит данных, МЗР вперед (см. временные диаграммы на рис.18.3). Передача данных начинается, когда происходит запись байта данных в регистр SBUF. Флаг прерывания от передатчика TI (SCON.1) устанавливается в 1 в конце восьмого битового интервала. Прием данных начинается, когда устанавливается в 1 флаг включения приемника REN (SCON.4) и сбрасывается флаг прерывания от приемника RI (SCON.0). Спустя один цикл после приема восьмого бита устанавливается флаг RI и прием завершается до программного сброса бита RI. При установке флагов TI или RI будет сгенерировано прерывание, если оно разрешено. Скорость передачи данных в режиме 0 равна $1/12$ системной тактовой частоты. В режиме 0 вывод RX настраивается как выход с открытым стоком и обычно требуется внешний подтягивающий резистор.

Рисунок 18.2. Пример использования УАПП в режиме 0

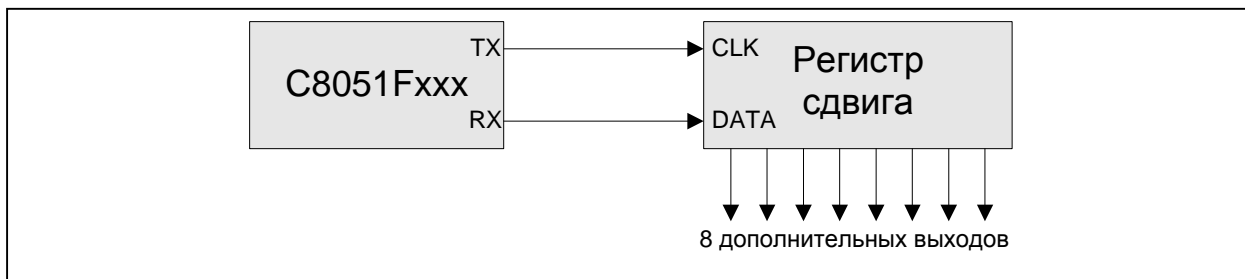
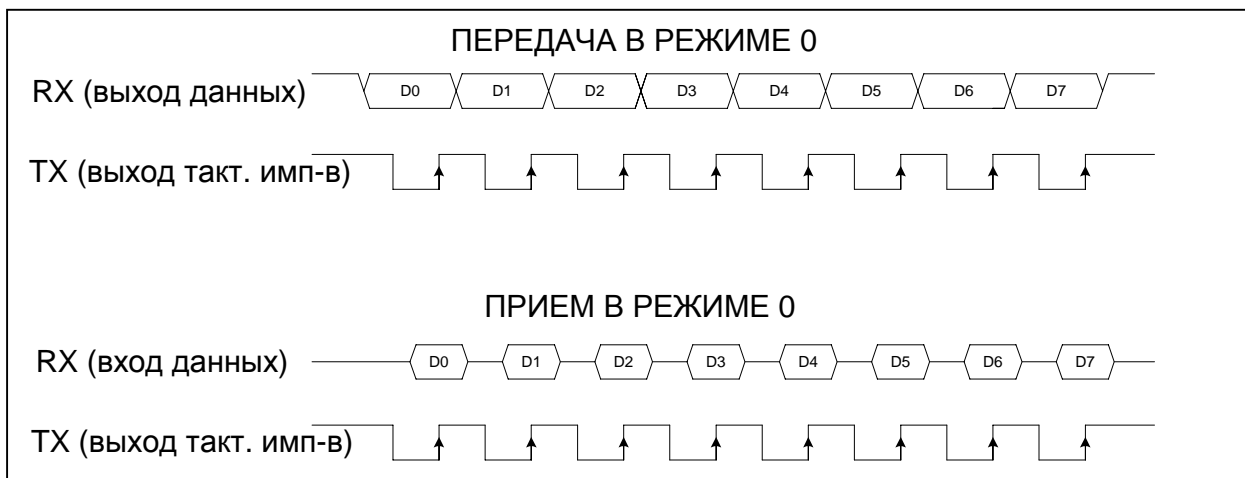


Рисунок 18.3. Временные диаграммы УАПП в режиме 0



18.1.2. Режим 1: 8-разрядный УАПП, различная скорость передачи данных

Режим 1 обеспечивает стандартный асинхронный полнодуплексный обмен данными с использованием (обычно) 10 бит для передачи одного байта: один стартовый бит, восемь бит данных (МЗР вперед) и один стоповый бит. Данные передаются через внешний вывод TX и принимаются через внешний вывод RX. При приеме в регистре SBUF сохраняются восемь бит данных, а бит RB8 (SCON.2) принимает значение стопового бита.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF. Флаг прерывания от передатчика TI (SCON.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN (SCON.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF, если соблюдаются следующие условия: RI должен быть равен лог.0, и, если SM2 равен лог.1, то стоповый бит должен быть равен лог.1.

Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF, стоповый бит сохраняется в бите RB8 и устанавливается в 1 флаг RI. Если эти условия не соблюдаются, то SBUF и RB8 не будут загружаться и флаг RI не устанавливается. При установке флагов TI или RI будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 1 определяется функцией от переполнения таймера. Для задания скорости передачи данных УАПП может использовать либо Таймер 1, либо Таймер 2, работающие в режиме с автоматической перезагрузкой. При каждом переполнении таймера (при переходе от всех единиц - 0xFF для Таймера 1 и 0xFFFF для Таймера 2 – к нулю) тактовый импульс посылается схеме генератора скорости передачи данных. Для получения скорости передачи частота этих импульсов делится на 16.

Когда Таймер 1 используется в качестве генератора скорости передачи данных, он должен быть настроен как 8-разрядный таймер/счетчик с автоматической перезагрузкой. Системная тактовая частота и значение перезагрузки, сохраняемое в регистре TH1, определяют скорость передачи данных следующим образом:

$$\text{Mode 1 Baud Rate} = (2^{\text{SMOD}} / 32) * (\text{SYSCLK}) / (12^{(\text{T1M} - 1)} * (256 - \text{TH1})).$$

Бит SMOD (PCON.7) определяет, делить или нет частоту переполнения Таймера 1 на 2. При сбросе бит SMOD равен лог.0, таким образом по умолчанию выбирается обычная (не удвоенная) скорость передачи данных. Выбирая временной интервал, используемый Таймером 1, можно изменять скорость передачи в широком диапазоне. При использовании системной тактовой частоты, деленной на единицу (настраивая бит T1M в регистре CKCON), в знаменателе приведенного выше уравнения следует заменить 12 на 1.

Для использования Таймера 2 в качестве генератора скорости передачи данных необходимо выбрать режим «генератор скорости передачи данных» таймера и установить в 1 бит RCLK и/или бит TCLK. Установка бит RCLK и/или TCLK автоматически запретит прерывания от Таймера 2 и настроит Таймер 2 на использование системной частоты, деленной на 2, в качестве источника тактового сигнала. Если требуется другой тактовый сигнал, то установкой в 1 бита C/T2 можно настроить Таймер 2 на использование тактового сигнала, поданного на внешний вывод T2. Системная тактовая частота и значение перезагрузки, сохраненное в регистрах захвата, определяют скорость передачи данных следующим образом:

$$\text{Mode 1 Baud Rate} = \text{SYSCLK} / [32 * (65536 - [\text{RCAP2H}:\text{RCAP2L}])],$$

где [RCAP2H:RCAP2L] представляет собой 16-разрядное значение, сохраненное в регистрах захвата.

Рисунок 18.4. Временные диаграммы УАПП в режиме 1

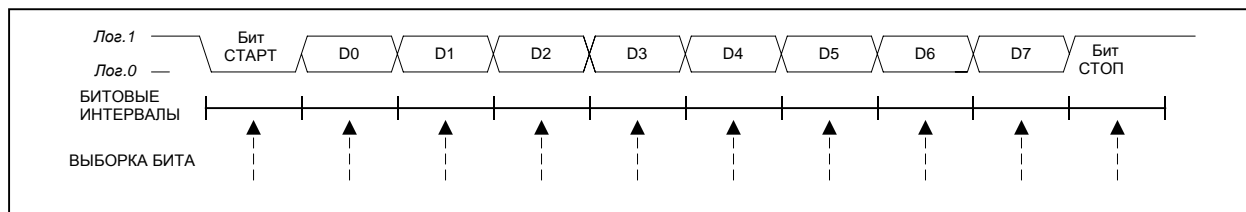
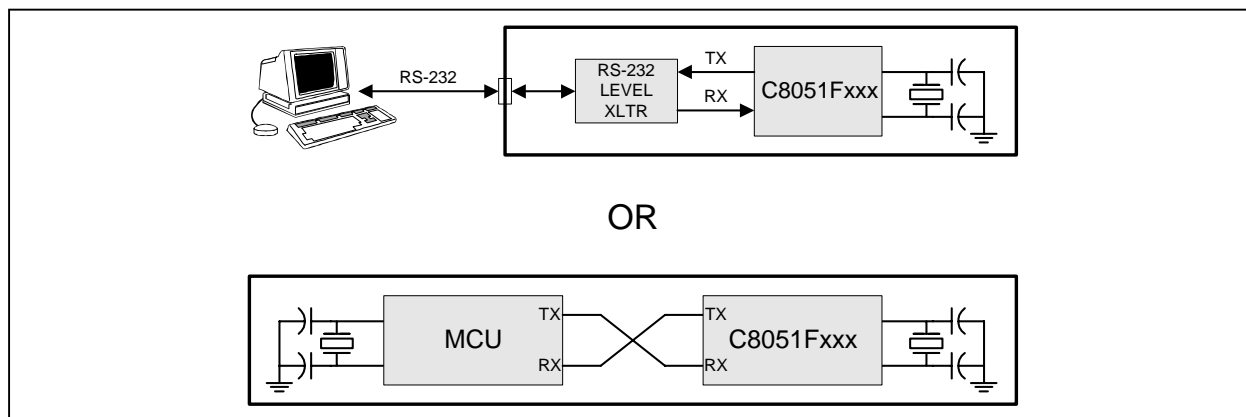


Рисунок 18.5. Пример использования УАПП в режимах 1, 2 и 3


18.1.3. Режим 2: 9-разрядный УАПП, фиксированная скорость передачи данных

Режим 2 обеспечивает асинхронный полнодуплексный обмен данными с использованием 11 бит для передачи одного байта: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. При передаче значение девятого бита данных определяется значением бита TB8 (SCON.3). Оно может соответствовать значению флага четности P регистра PSW или использоваться для организации связи с несколькими МК. При приеме значение девятого бита сохраняется в бите RB8 (SCON.2), а стоповый бит игнорируется.

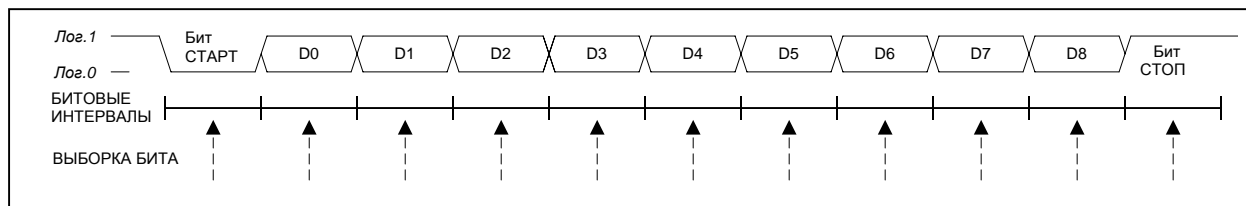
Передача данных начинается, когда происходит запись байта данных в регистр SBUF. Флаг прерывания от передатчика TI (SCON.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN (SCON.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF, если соблюдаются следующие условия: RI должен быть равен лог.0, и, если SM2 равен лог.1, то девятый бит данных должен быть равен лог.1.

Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF, девятый бит данных сохраняется в бите RB8 и устанавливается в 1 флаг RI. Если эти условия не соблюдаются, то SBUF и RB8 не будут загружаться и флаг RI не будет устанавливаться. При установке флагов TI или RI будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 2 является прямой функцией от системной тактовой частоты и определяется следующим уравнением:

$$\text{Mode 2 Baud Rate} = 2^{\text{SMOD}} * (\text{SYSCLK} / 64).$$

Бит SMOD (PCON.7) определяет, делить системную тактовую частоту на 32 или на 64. В этой формуле 2 возводится в степень SMOD, в результате чего скорость передачи данных будет равна либо 1/32, либо 1/64 системной тактовой частоты. При сбросе бит SMOD равен лог.0, таким образом по умолчанию выбирается обычная (не удвоенная) скорость передачи данных.

Рисунок 18.6. Временные диаграммы УАПП в режимах 2 и 3


18.1.4. Режим 3: 9-разрядный УАПП, различная скорость передачи данных

Режим 3 отличается от режима 2 только тем, что скорость передачи данных в этом режиме может быть различной. Скорость передачи данных определяется таким же образом, как и для режима 1. В режиме 3 передаются 11 бит: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. Скорость передачи данных определяется переполнением Таймера 1 или Таймера 2 точно так же, как для режима 1. Т.е. можно сказать, что в режиме 3 используется протокол передачи данных, как в режиме 2, и генерация скорости передачи данных, как в режиме 1.

18.2. Поддержка связи с несколькими МК

Режимы 2 и 3 поддерживают мультимикроконтроллерный обмен данными между ведущим МК и одним или несколькими ведомыми МК, для чего особым образом используется девятый бит данных. Когда ведущий МК хочет передать данные одному или нескольким ведомым МК, он прежде всего посылает байт адреса выбранному(-ым) устройству(-ам). Адресный байт отличается от байта данных тем, что его девятый бит равен лог.1; в байте данных девятый бит всегда равен лог.0.

Установка в 1 бита SM2 (SCON.5) ведомого МК настраивает его модуль УАПД таким образом, что при получении стопового бита УАПД будет генерировать прерывание только в том случае, если девятый бит равен лог.1, означая, что получен байт адреса. В обработчике прерывания от УАПД программа сравнит полученный адрес с собственным 8-разрядным адресом, назначенным ведомому МК. Если эти адреса совпадают, ведомый МК сбросит в 0 бит SM2, разрешив тем самым генерацию прерываний при получении следующих байтов данных. Ведомые МК, которые не распознали полученный адрес как собственный, оставляют бит SM2 установленным в 1 и не генерируют прерывания при получении следующих байтов данных, т.е. данные игнорируются. После того, как все сообщение получено, адресованный ведомый МК устанавливает в 1 бит SM2, чтобы игнорировать все послыки до получения следующего адресного байта.

Несколько адресов могут быть назначены одному ведомому и/или один адрес может быть назначен нескольким ведомым, разрешая тем самым широковещательную передачу нескольким ведомым МК одновременно. При этом ведущий МК может быть настроен для приема всех передаваемых пакетов или протокол обмена может быть реализован таким образом, чтобы ведущий и ведомый МК временно менялись ролями (т.е. ведущий становится ведомым, а ведомый – ведущим), обеспечивая таким образом полудуплексный обмен данными между первоначальным ведущим и ведомым(-и).

Рисунок 18.7. Пример использования УАПД в многопроцессорном режиме

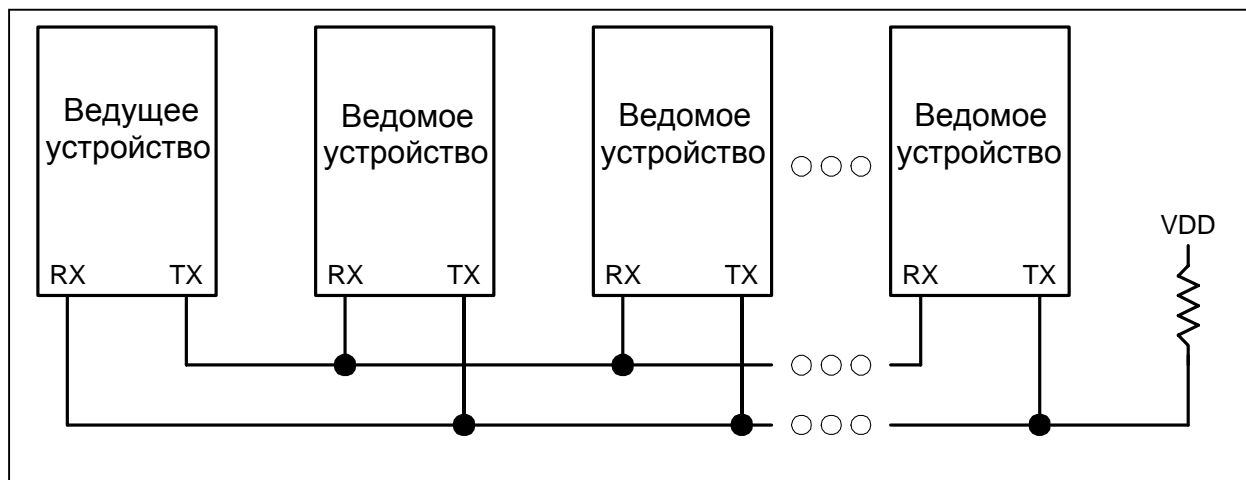


Таблица 18.2. Тактовые частоты, соответствующие стандартным скоростям обмена

Тактовая частота (МГц)	Коэффициент деления	Значение перезагрузки Таймера 1*	Скорость передачи данных**
24.0	208	0xF3	115200 (115384)
23.592	205	0xF3	115200 (113423)
22.1184	192	0xF4	115200
18.432	160	0xF6	115200
16.5888	144	0xF7	115200
14.7456	128	0xF8	115200
12.9024	112	0xF9	115200
11.0592	96	0xFA	115200
9.216	80	0xFB	115200
7.3728	64	0xFC	115200
5.5296	48	0xFD	115200
3.6864	32	0xFE	115200
1.8432	16	0xFF	115200
24.576	320	0xEC	76800
25.0	434	0xE5	57600 (57870)
25.0	868	0xCA	28800
24.576	848	0xCB	28800 (28921)
24.0	833	0xCC	28800 (28846)
23.592	819	0xCD	28800 (28911)
22.1184	768	0xD0	28800
18.432	640	0xD8	28800
16.5888	576	0xDC	28800
14.7456	512	0xE0	28800
12.9024	448	0xE4	28800
11.0592	384	0xE8	28800
9.216	320	0xEC	28800
7.3728	256	0xF0	28800
5.5296	192	0xF4	28800
3.6864	128	0xF8	28800
1.8432	64	0xFC	28800

* При условии, что SMOD=1 и TIM=1.

** Числа в скобках показывают действительную скорость передачи данных.

Рисунок 18.8. SBUF: Регистр буфера данных УАПП

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x99
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Биты 7-0: SBUF.[7:0]: Биты (7-0) буфера данных УАПП (СЗР - МЗР)</p> <p>На самом деле именем SBUF обозначаются два регистра: буфер передатчика и буфер приемника. Когда данные помещаются в регистр SBUF, они записываются в буфер передатчика и сохраняются для последовательной передачи. Запись данных в SBUF инициирует передачу. Когда данные извлекаются из регистра SBUF, они считываются из буфера приемника.</p>								

Рисунок 18.9. SCON: Регистр управления УАПП

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
SM0	SM1	SM2	REN	TB8	RB8	TI	RI	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x98

Биты 7-6: SM0-SM1: Режим работы УАПП.
Эти биты устанавливают режим работы УАПП.

SM0	SM1	Режим работы УАПП
0	0	Режим 0: синхронный режим
0	1	Режим 1: 8-битный УАПП, изменяемая скорость передачи
1	0	Режим 2: 9- битный УАПП, фиксированная скорость передачи
1	1	Режим 3: 9- битный УАПП, изменяемая скорость передачи

Бит 5: SM2: Разрешение поддержки мультимикроконтроллерного обмена.
Использование этого бита зависит от режима работы УАПП.
Режим 0: Не влияет на работу
Режим 1: Проверяет стоповый бит.
0: Логический уровень стопового бита игнорируется.
1: Флаг RI будет установлен только в том случае, если стоповый бит равен лог.1.
Режимы 2 и 3: Разрешение поддержки мультимикроконтроллерного обмена.
0: Логический уровень девятого бита игнорируется.
1: Флаг RI устанавливается и прерывание генерируется только в том случае, если девятый бит равен лог.1.

Бит 4: REN: Разрешение приема.
Этот бит включает/отключает приемник УАПП.
0: Прием данных модулем УАПП запрещен.
1: Прием данных модулем УАПП разрешен.

Бит 3: TB8: Девятый бит передаваемых данных.
Значение этого бита будет передано в качестве девятого бита данных в режимах 2 и 3. В режимах 0 и 1 этот бит не используется. Бит TB8 устанавливается и сбрасывается программно.

Бит 2: RB8: Девятый бит принимаемых данных.
Этот бит принимает значение девятого бита данных, полученного в режимах 2 и 3. В режиме 1, если SM2 = 0, бит RB8 принимает значение полученного стопового бита. В режиме 0 бит RB8 не используется.

Бит 1: TI: Флаг прерывания от передатчика УАПП.
Устанавливается в 1 аппаратно при окончании передачи байта данных (после передачи 8-го бита в режиме 0, или в начале передачи стопового бита в остальных режимах). Если прерывание от УАПП разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП. Этот бит должен сбрасываться программно.

Бит 0: RI: Флаг прерывания от приемника УАПП.
Устанавливается в 1 аппаратно при приеме байта данных (после 8-го бита в режиме 0, или после стопового бита в остальных режимах, за исключением случаев, указанных в описании бита SM2). Если прерывание от УАПП разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП. Этот бит должен сбрасываться программно.

19. ТАЙМЕРЫ

Каждый МК имеет четыре встроенных таймера/счетчика (Т/С): три 16-разрядных Т/С, совместимые с Т/С стандартной архитектуры 8051, и один 16-разрядный таймер, предназначенный для использования совместно с АЦП, модулем SMBus или в качестве таймера общего назначения. Эти Т/С могут использоваться для измерения временных интервалов, подсчета внешних событий, а также для генерации периодических запросов прерываний. Таймер 0 и Таймер 1 почти идентичны и имеют четыре основных режима работы. Таймер 2 обладает дополнительными возможностями, отсутствующими у Таймеров 0 и 1. Таймер 3 аналогичен Таймеру 2, но не имеет режимов «захват» и «генератор скорости передачи данных».

Таймер 0 и Таймер 1:	Таймер 2:	Таймер 3:
13-разрядный Т/С	16-разрядный Т/С с автоперезагрузкой	16-разрядный таймер с автоперезагрузкой
16-разрядный Т/С	16-разрядный Т/С с захватом	
8-разрядный Т/С с автоперезагрузкой	Генератор скорости передачи данных	
Два 8-разрядных Т/С (только Таймер 0)		

Когда Т/С функционирует как таймер, регистры Т/С инкрементируются по каждому такту внутреннего сигнала тактирования Т/С. Частота внутреннего сигнала тактирования Т/С равна системной тактовой частоте, деленной либо на 1, либо на 12 (определяется битами T2M-T0M регистра CKCON). Возможность деления системной тактовой частоты на 12 обеспечивает совместимость с МК семейства 8051 более старшего поколения. Приложения, которым необходим более быстрый таймер, могут использовать для тактирования Т/С внутренний сигнал с частотой, равной системной тактовой частоте.

Когда Т/С функционирует как счетчик, регистры Т/С инкрементируются под воздействием перехода из 1 в 0 внешнего сигнала на выбранном входном выводе T0, T1 или T2. Могут подсчитываться импульсы с частотой до 1/4 системной тактовой частоты. Входной сигнал не обязательно должен быть периодическим, но для его гарантированного прочтения он должен удерживаться на заданном уровне как минимум в течение двух полных системных тактовых циклов.

19.1. Таймер 0 и Таймер 1

Для доступа к Т/С 0 и 1 и управления ими используются регистры специального назначения. Каждый Т/С реализован в виде 16-разрядного регистра, доступного как два отдельных байта: младший байт (TL0 или TL1) и старший байт (TH0 или TH1). Регистр управления Т/С (TCON) используется для включения Т/С 0 и 1, а также для определения их состояния. Оба Т/С работают в одном из четырех основных режимов, задаваемых битами выбора режима M1-M0 регистра режима Т/С (TMOD). Каждый Т/С может быть настроен независимо от другого. В следующих разделах приведено подробное описание каждого режима работы.

19.1.1. Режим 0: 13-разрядный таймер/счетчик

В режиме 0 Таймеры 0 и 1 работают как 13-разрядный таймер/счетчик. Ниже приводится описание настройки и функционирования Таймера 0. Однако, оба таймера идентичны, и Таймер 1 настраивается точно так же, как и Таймер 0.

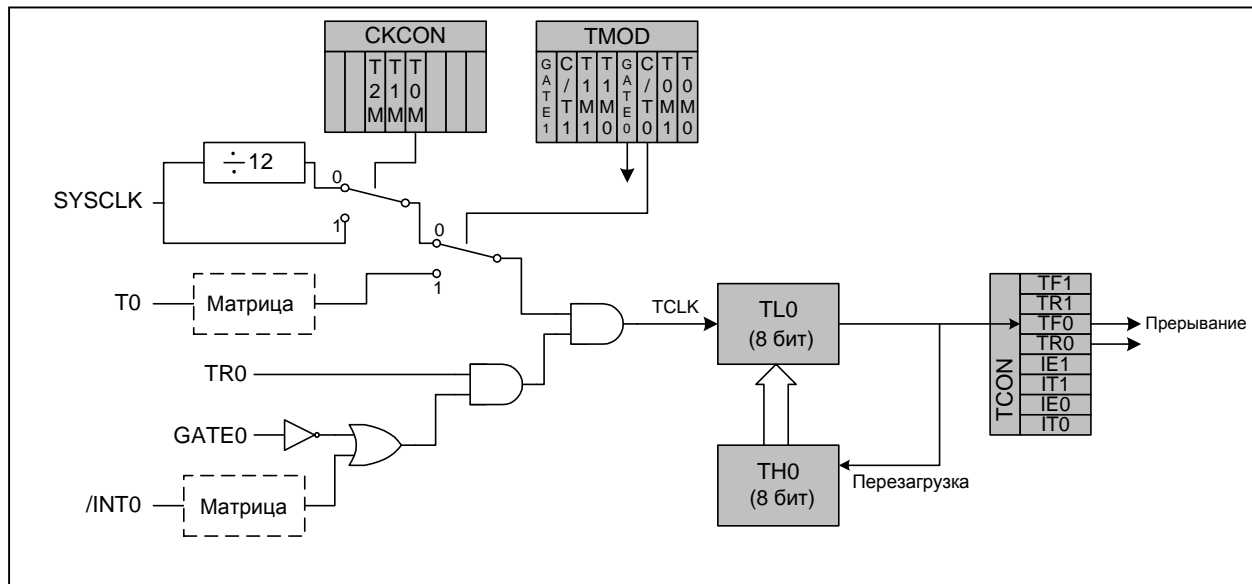
Регистр TH0 содержит восемь старших бит 13-разрядного значения Т/С. Регистр TL0 содержит пять младших бит 13-разрядного значения Т/С в разрядах TL0.4-TL0.0. Три старших бита регистра TL0 (TL0.7-TL0.5) не определены и должны маскироваться или игнорироваться при чтении регистра TL0. При инкрементировании 13-разрядного таймера и переполнении его из состояния 0x1FFF (все единицы) в состояние 0x0000 устанавливается в 1 флаг переполнения таймера TF0 (TCON.5) и будет сгенерировано прерывание, если оно разрешено.

Бит C/T0 (TMOD.2) выбирает источник сигнала тактирования Т/С. Сбросом бита C/T0 осуществляется выбор системного тактового сигнала в качестве входного сигнала тактирования таймера. Если бит C/T0 установлен в 1, то инкремент регистра таймера осуществляется под воздействием перехода из 1 в 0 внешнего сигнала на выбранном входном выводе. (Подробная информация о выборе и настройке внешних выводов приведена в разделе 15.1.)

19.1.3. Режим 2: 8-разрядный таймер/счетчик с перезагрузкой

В режиме 2 Таймеры 0 и 1 настраиваются для работы в качестве 8-разрядных таймеров/счетчиков с автоматической перезагрузкой начального значения. Регистр TL0 содержит значение счетчика, а регистр TH0 содержит перезагружаемое значение. Когда счетчик в регистре TL0 переполняется (переходит из состояния 0xFF в состояние 0x00), флаг переполнения таймера TF0 (TCON.5) устанавливается в 1 и значение регистра TH0 загружается в регистр TL0. При установке флага TF0 будет сгенерировано прерывание, если оно разрешено. Перезагружаемое значение в регистре TH0 не изменяется. Чтобы первый отсчет был корректным, необходимо проинициализировать регистр TL0 требуемым значением до включения таймера. Таймер 1 в режиме 2 работает точно так же, как Таймер 0. В режиме 2 оба T/C включаются и настраиваются точно так же, как в режиме 0.

Рисунок 19.2. Структурная схема Таймера 0 в режиме 2



19.1.4. Режим 3: Два 8-разрядных таймера/счетчика (только Таймер 0)

В режиме 3 Таймер 0 и Таймер 1 функционируют различным образом. Таймер 0 настраивается как два отдельных 8-разрядных таймера/счетчика TL0 и TH0. Для управления таймером/счетчиком TL0 используются биты управления/состояния Таймера 0 (в регистрах TCON и TMOD): TR0, C/T0, GATE0 и TF0. В качестве источника тактирования он может использовать либо системный тактовый сигнал, либо внешний входной сигнал. Таймер/счетчик TH0 может использовать для тактирования только системный тактовый сигнал. Для включения таймера/счетчика TH0 используется управляющий бит запуска Таймера 1 (TR1). Таймер/счетчик TH0 при переполнении устанавливает флаг переполнения Таймера 1 TF1 и, таким образом, управляет прерыванием от Таймера 1.

В режиме 3 Таймер 1 не активен, поэтому, если Таймер 0 используется в режиме 3, Таймер 1 может быть отключен путем перевода его в собственный режим 3 и включен путем выхода из режима 3. Когда Таймер 0 работает в режиме 3, Таймер 1 может работать в режимах 0, 1 или 2, но не может тактироваться внешними сигналами, устанавливать флаг TF1 и генерировать прерывание. Однако, переполнение Таймера 1 можно использовать для генерации скорости передачи данных. В разделе 18 приведена информация о настройке Таймера 1 для генерации скорости передачи данных.

Рисунок 19.3. Структурная схема Таймера 0 в режиме 3

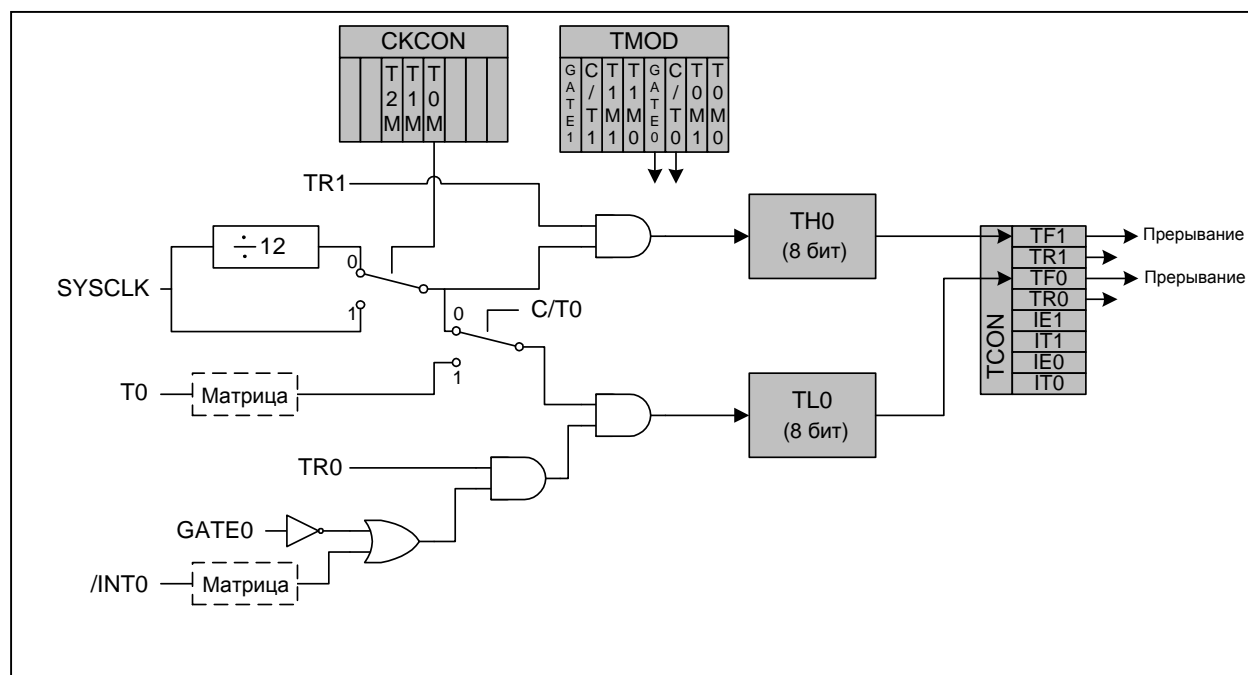


Рисунок 19.4. TCON: Регистр управления Таймерами 0 и 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x88
<p>Бит 7: TF1: Флаг переполнения Таймера 1. Устанавливается аппаратно при переполнении Таймера 1. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 1, но может быть сброшен и программно. 0: Переполнения Таймера 1 не обнаружено. 1: Таймер 1 переполнился.</p> <p>Бит 6: TR1: Управление запуском Таймера 1. 0: Таймер 1 отключен (остановлен). 1: Таймер 1 включен (запущен).</p> <p>Бит 5: TF0: Флаг переполнения Таймера 0. Устанавливается аппаратно при переполнении Таймера 0. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 0, но может быть сброшен и программно. 0: Переполнения Таймера 0 не обнаружено. 1: Таймер 0 переполнился.</p> <p>Бит 4: TR0: Управление запуском Таймера 0. 0: Таймер 0 отключен (остановлен). 1: Таймер 0 включен (запущен).</p> <p>Бит 3: IE1: Внешнее прерывание 1. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT1) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 1 сбрасывается аппаратно, если IT1=1. При IT1=0 этот флаг является инверсией логического уровня входного внешнего сигнала /INT1.</p> <p>Бит 2: IT1: Выбор типа внешнего прерывания 1. Этот бит определяет, какое событие будет вызывать внешнее прерывание 1: срез или низкий уровень внешнего сигнала /INT1. 0: Внешнее прерывание 1 вызывается низким уровнем сигнала /INT1. 1: Внешнее прерывание 1 вызывается срезом сигнала /INT1.</p> <p>Бит 1: IE0: Внешнее прерывание 0. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT0) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 0 сбрасывается аппаратно, если IT0=1. При IT0=0 этот флаг является инверсией логического уровня входного внешнего сигнала /INT0.</p> <p>Бит 0: IT0: Выбор типа внешнего прерывания 0. Этот бит определяет, какое событие будет вызывать внешнее прерывание 0: срез или низкий уровень внешнего сигнала /INT0. 0: Внешнее прерывание 0 вызывается низким уровнем сигнала /INT0. 1: Внешнее прерывание 0 вызывается срезом сигнала /INT0.</p>								

Рисунок 19.5. TMOD: Регистр режима Таймеров 0 и 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
GATE1	C/T1	T1M1	T1M0	GATE0	C/T0	T0M1	T0M0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x89

Бит 7: GATE1: Управление блокировкой Таймера 1.
0: Таймер 1 включен, если TR1 = 1, независимо от логического уровня на входе /INT1.
1: Таймер 1 включен только тогда, когда TR1 = 1 и на входе /INT1 высокий уровень.

Бит 6: C/T1: Выбор режима таймера или счетчика для T/C1.
0: T/C1 работает как таймер: Таймер 1 инкрементируется от внутреннего сигнала тактирования, который задается битом T1M (СКCON.4).
1: T/C1 работает как счетчик: Таймер 1 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T1).

Биты 5-4: T1M1-T1M0: Выбор режима работы Таймера 1.
Эти биты определяют режим работы Таймера 1.

T1M1	T1M0	Режим
0	0	Режим 0: 13-разрядный таймер/счетчик
0	1	Режим 1: 16-разрядный таймер/счетчик
1	0	Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой
1	1	Режим 3: Таймер 1 не активен/остановлен

Бит 3: GATE0: Управление блокировкой Таймера 0.
0: Таймер 0 включен, если TR0 = 1, независимо от логического уровня на входе /INT0.
1: Таймер 0 включен только тогда, когда TR0 = 1 и на входе /INT0 высокий уровень.

Бит 2: C/T0: Выбор режима таймера или счетчика для T/C0.
0: T/C0 работает как таймер: Таймер 0 инкрементируется от внутреннего сигнала тактирования, который задается битом T0M (СКCON.3).
1: T/C0 работает как счетчик: Таймер 0 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T0).

Биты 1-0: T0M1-T0M0: Выбор режима работы Таймера 0.
Эти биты определяют режим работы Таймера 0.

T0M1	T0M0	Режим
0	0	Режим 0: 13-разрядный таймер/счетчик
0	1	Режим 1: 16-разрядный таймер/счетчик
1	0	Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой
1	1	Режим 3: Два 8-разрядных таймера/счетчика

Рисунок 19.6. СКCON: Регистр управления тактированием Таймеров 0, 1 и 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	T2M	T1M	T0M	Reserved	Reserved	Reserved	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8E

Биты 7-6: Не используются. Читаются как 00b.

Бит 5: T2M: Выбор коэффициента деления системной тактовой частоты для Таймера 2. Этот бит определяет частоту сигнала тактирования Таймера 2. Бит T2M игнорируется, если Таймер 2 работает в режиме генератора скорости передачи или в режиме счетчика (т.е. C/T2 = 1).
0: Частота сигнала тактирования Таймера 2 равна 1/12 системной тактовой частоты.
1: Частота сигнала тактирования Таймера 2 равна системной тактовой частоте.

Бит 4: T1M: Выбор коэффициента деления системной тактовой частоты для Таймера 1. Этот бит определяет частоту сигнала тактирования Таймера 1.
0: Частота сигнала тактирования Таймера 1 равна 1/12 системной тактовой частоты.
1: Частота сигнала тактирования Таймера 1 равна системной тактовой частоте.

Бит 3: T0M: Выбор коэффициента деления системной тактовой частоты для Таймера 0. Этот бит определяет частоту сигнала тактирования Таймера/счетчика 0.
0: Частота сигнала тактирования Таймера/Счетчика 0 равна 1/12 системной тактовой частоты.
1: Частота сигнала тактирования Таймера/Счетчика 0 равна системной тактовой частоте.

Биты 2-0: Зарезервированы. Читаются как 000b. Должны быть записаны как 000b.

Рисунок 19.7. TL0: Младший байт Таймера 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8A
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TL0: Младший байт Таймера 0.
 Регистр TL0 является младшим байтом 16-разрядного Таймера 0.

Рисунок 19.8. TL1: Младший байт Таймера 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8B
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TL1: Младший байт Таймера 1.
 Регистр TL1 является младшим байтом 16-разрядного Таймера 1.

Рисунок 19.9. TH0: Старший байт Таймера 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8C
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TH0: Старший байт Таймера 0.
 Регистр TH0 является старшим байтом 16-разрядного Таймера 0.

Рисунок 19.10. TH1: Старший байт Таймера 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8D
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TH1: Старший байт Таймера 1.
 Регистр TH1 является старшим байтом 16-разрядного Таймера 1.

19.2. Таймер 2

Таймер 2 представляет собой 16-разрядный таймер/счетчик, образованный двумя SFR регистрами: TL2 (младший байт) и TH2 (старший байт). Аналогично Таймерам 0 и 1, Таймер 2 в качестве сигнала тактирования может использовать системный тактовый сигнал или срез сигнала на внешнем входном выводе. Бит выбора режима таймера или счетчика C/T2 (T2CON.1) определяет источник сигнала тактирования для Таймера 2. Если бит C/T2 = 0, то в качестве сигнала тактирования будет использоваться системный тактовый сигнал (деленный либо на 1, либо на 12 в зависимости от значения бита T2M регистра CKCON). Если бит C/T2 = 1, то регистр таймера/счетчика будет инкрементироваться под воздействием перехода из 1 в 0 внешнего сигнала на входном выводе T2. (В разделе 14 приведена подробная информация о выборе и настройке внешних выводов). Таймер 2 может также использоваться для запуска преобразования АЦП.

Таймер 2 обладает дополнительными возможностями, отсутствующими у Таймеров 0 и 1. Он может работать в одном из трех режимов:

- 16-разрядный таймер/счетчик с захватом,
- 16-разрядный таймер/счетчик с автоперезагрузкой,
- режим генератора скорости передачи данных.

Режимы работы Таймера 2 задаются установкой бит конфигурации в регистре управления Таймера 2 T2CON, (см. таблицу в конце этого раздела). В следующих разделах приводится подробное описание каждого режима работы Таймера 2.

RCLK	TCLK	CP/RL2	TR2	Режим
0	0	1	1	16-разрядный таймер/счетчик с захватом
0	0	0	1	16-разрядный таймер/счетчик с автоперезагрузкой
0	1	X	1	Генератор скорости передачи данных для TX
1	0	X	1	Генератор скорости передачи данных для RX
1	1	X	1	Генератор скорости передачи данных для TX и RX
X	X	X	0	Отключен

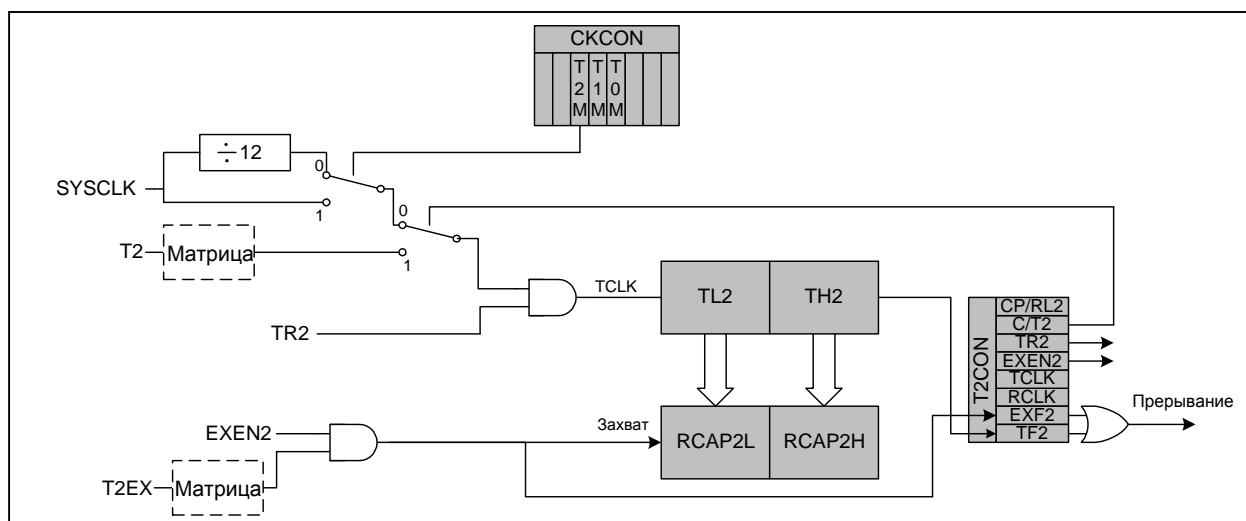
19.2.1. Режим 0: 16-разрядный таймер/счетчик с захватом

В этом режиме Таймер 2 работает как 16-разрядный счетчик с возможностью захвата. Под воздействием перехода из 1 в 0 внешнего сигнала на входном выводе T2EX 16-разрядное значение из регистров Таймера 2 (TH2, TL2) загружается в регистры захвата (RCAP2H, RCAP2L).

Таймер 2 при работе в режиме таймера/счетчика с захватом в качестве внутреннего сигнала тактирования может использовать сигнал системной тактовой частоты (SYSCLK), сигнал системной тактовой частоты, деленной на 12 (SYSCLK/12), или срез (переход из 1 в 0) сигнала на внешнем выводе T2. Если бит C/T2 (T2CON.1) сброшен в 0, то в качестве сигнала тактирования будет использоваться системный тактовый сигнал (деленный либо на 1, либо на 12 в зависимости от значения бита T2M регистра CKCON). Если бит C/T2 установлен в 1, то регистр таймера/счетчика будет инкрементироваться под воздействием перехода из 1 в 0 внешнего сигнала на входном выводе T2. Когда регистр таймера/счетчика инкрементируется и переполняется из состояния 0xFFFF в состояние 0x0000, устанавливается флаг переполнения таймера TF2 и будет сгенерировано прерывание, если оно разрешено.

Режим таймера/счетчика с захватом выбирается установкой в 1 бита выбора режима захват/перезагрузка CP/RL2 (T2CON.0) и бита управления запуском Таймера 2 TR2 (T2CON.2). Для включения захвата бит разрешения внешнего сигнала для Таймера 2 EXEN2 (T2CON.3) также должен быть установлен в 1. Если бит EXEN2 сброшен, то срезы внешнего сигнала на входном выводе T2EX будут игнорироваться.

Рисунок 19.11. Структурная схема Таймера 2 в режиме 0



19.2.2. Режим 1: 16-разрядный таймер/счетчик с автоперезагрузкой

Таймер/Счетчик с режимом автоперезагрузки устанавливает флаг переполнения таймера TF2 при переполнении регистра таймера/счетчика из состояния 0xFFFF в состояние 0x0000. Генерируется прерывание, если оно разрешено. При переполнении 16-битное значение, хранящееся в двух регистрах захвата (RCAP2H, RCAP2L), автоматически загружается в регистр таймера/счетчика и таймер перезапускается.

Режим таймера/счетчика с автоперезагрузкой выбирается сбросом в 0 бита CP/RL2. Установка в 1 бита TR2 включает и запускает таймер. Таймер 2 в качестве внутреннего сигнала тактирования может использовать сигнал системной тактовой частоты или срез (переход из 1 в 0) внешнего сигнала (выбор сигнала тактирования осуществляется битом C/T2). Если бит EXEN2 установлен в 1, то под воздействием перехода из 1 в 0 внешнего сигнала на выводе T2EX произойдет перезагрузка Таймера 2. Если бит EXEN2 сброшен в 0, то срезы внешнего сигнала на входном выводе T2EX будут игнорироваться.

Рисунок 19.12. Структурная схема Таймера 2 в режиме 1

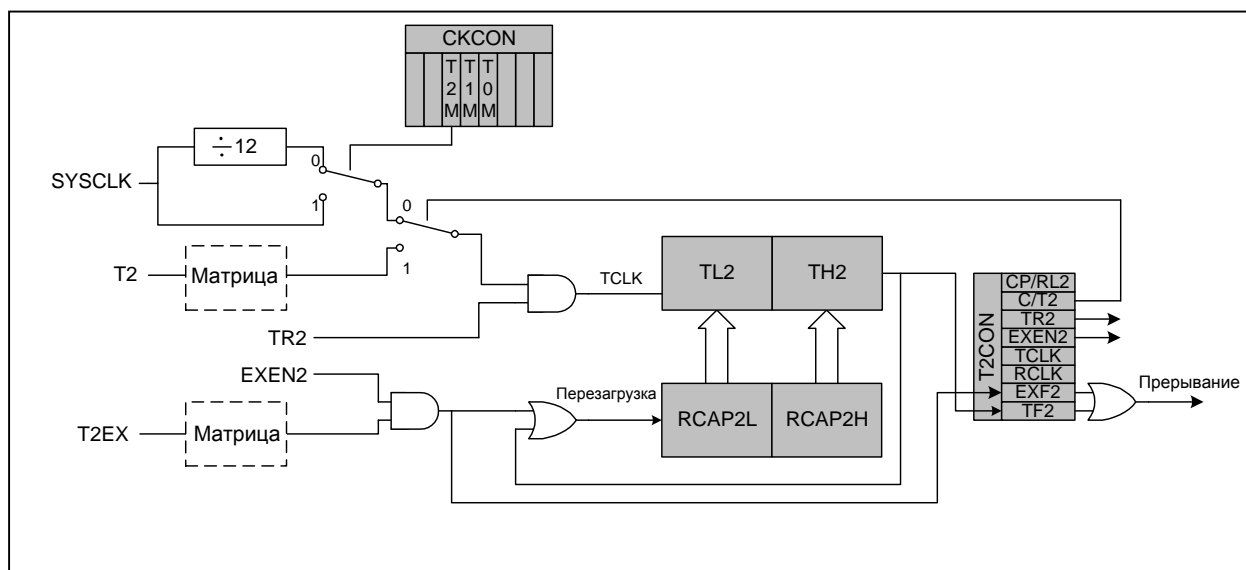


Рисунок 19.14. T2CON: Регистр управления Таймера 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xC8
<p>Бит 7: TF2: Флаг переполнения Таймера 2. Устанавливается в 1 аппаратно, если Таймер 2 переполняется из состояния 0xFFFF в состояние 0x0000 или перезагружается. Если прерывание от Таймера 2 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 2. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно. Флаг TF2 не устанавливается, если RCLK = 1 и/или TCLK = 1.</p>								
<p>Бит 6: EXF2: Флаг внешнего входного сигнала Таймера 2. Устанавливается в 1 аппаратно, если под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T2EX происходит либо захват, либо перезагрузка, и EXEN2 = 1. Если прерывание от Таймера 2 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 2. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.</p>								
<p>Бит 5: RCLK: Флаг тактирования приемника. Этим битом осуществляется выбор таймера, используемого для тактирования приемника модуля УАПП (в режимах 1 или 3). 0: Для тактирования приемника УАПП используется переполнение Таймера 1. 1: Для тактирования приемника УАПП используется переполнение Таймера 2.</p>								
<p>Бит 4: TCLK: Флаг тактирования передатчика. Этим битом осуществляется выбор таймера, используемого для тактирования передатчика модуля УАПП (в режимах 1 или 3). 0: Для тактирования передатчика УАПП используется переполнение Таймера 1. 1: Для тактирования передатчика УАПП используется переполнение Таймера 2.</p>								
<p>Бит 3: EXEN2: Разрешение внешнего сигнала для Таймера 2. Разрешает переходам из 1 в 0 (срезам) входного сигнала на внешнем выводе T2EX вызывать захват или перезагрузку, если Таймер 2 не работает в режиме генератора скорости передачи данных. 0: Срезы внешнего сигнала на выводе T2EX игнорируются. 1: Срезы внешнего сигнала на выводе T2EX вызывают захват или перезагрузку.</p>								
<p>Бит 2: TR2: Бит управления запуском Таймера 2. Этот бит включает/отключает Таймер 2. 0: Таймер 2 отключен. 1: Таймер 2 включен.</p>								
<p>Бит 1: C/T2: Выбор режима счетчика или таймера для Таймера 2. 0: Режим таймера: Таймер 2 инкрементируется от внутреннего сигнала тактирования, частота которого задается битом T2M (CKCON.5). 1: Режим счетчика: Таймер 2 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T2).</p>								
<p>Бит 0: CP/RL2: выбор режима захвата или перезагрузки. Этот бит определяет, в каком режиме функционирует Таймер 2: в режиме захвата или в режиме автоперезагрузки. Бит EXEN2 должен быть установлен в 1, чтобы срезы внешнего сигнала на выводе T2EX распознавались и использовались для осуществления захвата или перезагрузки. Если RCLK = 1 или TCLK = 1, то этот бит игнорируется и Таймер 2 работает в режиме автоперезагрузки. 0: При переполнении Таймера 2 или под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T2EX происходит автоперезагрузка (если EXEN2 = 1). 1: Под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T2EX происходит захват (если EXEN2 = 1).</p>								

Рисунок 19.15. RCAP2L: Младший байт регистра захвата Таймера 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xCA
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: RCAP2L: Младший байт регистра захвата Таймера 2.
 Регистр RCAP2L захватывает младший байт Таймера 2, если Таймер 2 работает в режиме захвата. Если Таймер 2 работает в режиме автоперезагрузки, то этот регистр содержит младший байт перезагружаемого значения.

Рисунок 19.16. RCAP2H: Старший байт регистра захвата Таймера 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xCB
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: RCAP2H: Старший байт регистра захвата Таймера 2.
 Регистр RCAP2H захватывает старший байт Таймера 2, если Таймер 2 работает в режиме захвата. Если Таймер 2 работает в режиме автоперезагрузки, то этот регистр содержит старший байт перезагружаемого значения.

Рисунок 19.17. TL2: Младший байт Таймера 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xCC
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TL2: Младший байт Таймера 2.
 Регистр TL2 содержит младший байт 16-разрядного Таймера 2.

Рисунок 19.18. TH2: Старший байт Таймера 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xCD
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TH2: Старший байт Таймера 2.
 Регистр TH2 содержит старший байт 16-разрядного Таймера 2.

19.3. Таймер 3

Таймер 3 представляет собой 16-разрядный таймер, образованный двумя 8-разрядными SFR регистрами, TMR3L (младший байт) и TMR3H (старший байт). Входной сигнал тактирования Таймера 3 образуется из системного тактового сигнала путем деления его частоты на 1 или на 12, в зависимости от состояния бита T3M регистра управления TMR3CN. Таймер 3 всегда настроен как автоматически перезагружаемый таймер, значение перезагрузки которого хранится в регистрах TMR3RLL (младший байт) и TMR3RLH (старший байт). Таймер 3 может использоваться для запуска преобразования модуля АЦП, для тактирования модуля SMBus, а также в качестве таймера общего назначения. Таймер 3 не может работать в режиме счетчика.

Рисунок 19.19. Структурная схема Таймера 3

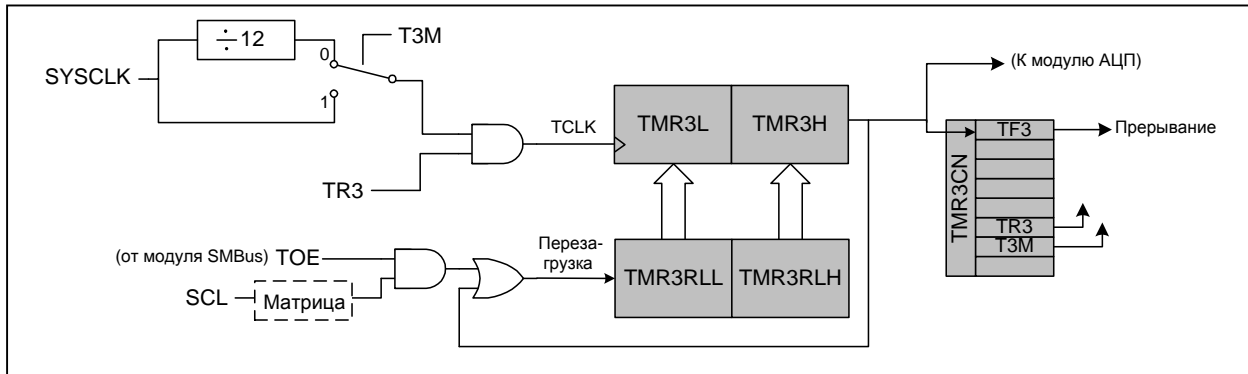


Рисунок 19.20. TMR3CN: Регистр управления Таймера 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
TF3	-	-	-	-	TR3	T3M	-	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x91

Бит 7: TF3: Флаг переполнения Таймера 3.
Устанавливается в 1 аппаратно, если Таймер 3 переполняется из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера 3 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 3. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.

Биты 6-3: Не используются. Читаются как 0000b.

Бит 2: TR3: Бит управления запуском Таймера 3.
Этот бит включает/отключает Таймер 3.
0: Таймер 3 отключен.
1: Таймер 3 включен.

Бит 1: T3M: Выбор коэффициента деления системной тактовой частоты для Таймера 3.
Этот бит определяет частоту сигнала тактирования Таймера 3.
0: Частота сигнала тактирования Таймера 3 равна 1/12 системной тактовой частоты.
1: Частота сигнала тактирования Таймера 3 равна системной тактовой частоте.

Бит 0: Не используется. Читается как 0.

Рисунок 19.21. TMR3RLL: Младший байт регистра перезагрузки Таймера 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x92
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR3RLL: Младший байт регистра перезагрузки Таймера 3.
Таймер 3 настроен как таймер с автоматической перезагрузкой. Этот регистр содержит младший байт перезагружаемого значения.

Рисунок 19.22. TMR3RLH: Старший байт регистра перезагрузки Таймера 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x93
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR3RLH: Старший байт регистра перезагрузки Таймера 3.
Таймер 3 настроен как таймер с автоматической перезагрузкой. Этот регистр содержит старший байт перезагружаемого значения.

Рисунок 19.23. TMR3L: Младший байт Таймера 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x94
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR3L: Младший байт Таймера 3.
Регистр TMR3L является младшим байтом Таймера 3.

Рисунок 19.24. TMR3H: Старший байт Таймера 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x95
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR3H: Старший байт Таймера 3.
Регистр TMR3H является старшим байтом Таймера 3.

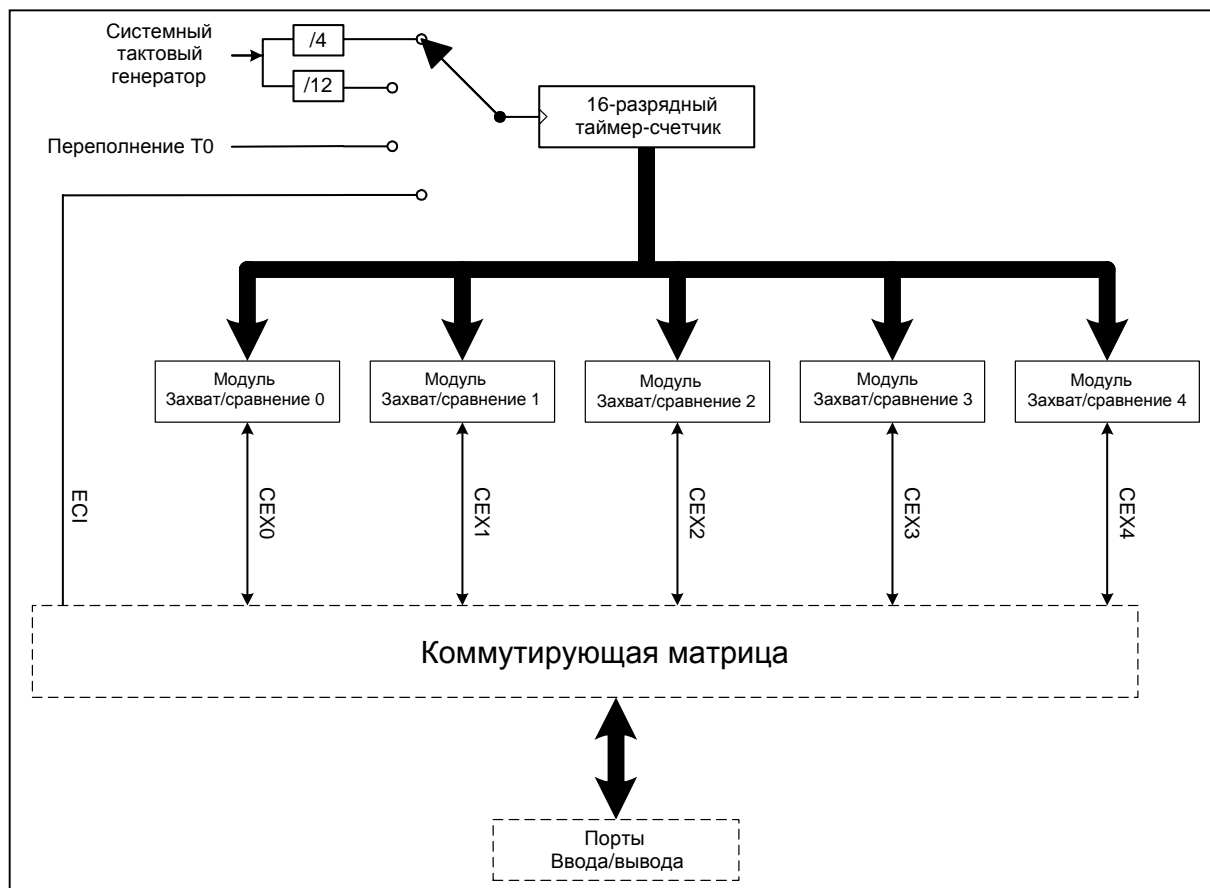
20. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ

Программируемый массив счетчиков (ПМС) реализует расширенные таймерные функции, при этом требует меньшего вмешательства со стороны процессорного ядра, чем стандартные таймеры/счетчики архитектуры 8051. ПМС состоит из специального 16-разрядного таймера/счетчика и пяти 16-разрядных модулей захват/сравнение. Каждый модуль захват/сравнение имеет свою собственную линию ввода/вывода (CEXn), которая через матрицу соединяется, если разрешено, с портом ввода/вывода (подробная информация о настройке матрицы приведена в разделе 15.1). Таймер/счетчик тактируется программируемым внутренним сигналом, в качестве которого могут использоваться:

- внутренний сигнал с частотой, равной 1/12 системной тактовой частоты;
- внутренний сигнал с частотой, равной 1/4 системной тактовой частоты;
- переполнение Таймера 0;
- входной сигнал на внешнем выводе ECI.

Для управления модулем ПМС и его настройки используются связанные с ним SFR регистры. Структурная схема модуля ПМС показана на рис.20.1.

Рисунок 20.1. Структурная схема ПМС



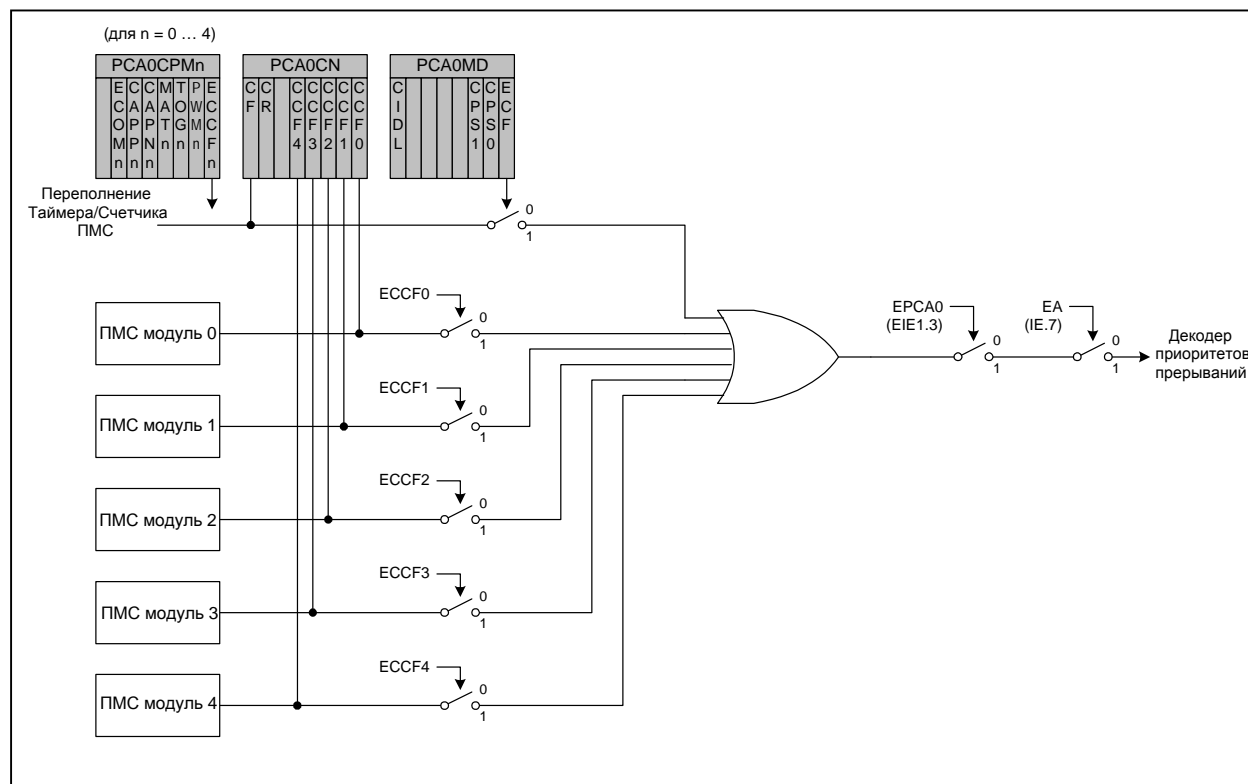
В табл.20.1 приведены комбинации бит в регистрах PCA0CPMn, используемые для перевода модулей захват/сравнение в различные режимы работы. Установка в 1 бит ECCFn в регистрах PCA0CPMn разрешает генерацию прерываний при установке в 1 флагов CCFn регистра PCA0CN. Следует иметь ввиду, что индивидуальные CCFn прерывания распознаются только в том случае, если прерывания от модуля ПМС разрешены глобально. Прерывания от ПМС разрешаются глобально установкой в 1 битов EA (IE.7) и EPCA0 (EIE1.3). Схема формирования прерываний от модуля ПМС приведена на рис.20.2.

Таблица 20.1. Настройка модулей захват/сравнение в регистре PCA0CPM

ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	Operation Mode
x	1	0	0	0	0	x	Захват инициируется положительным фронтом сигнала на линии СЕХп
x	0	1	0	0	0	x	Захват инициируется отрицательным фронтом сигнала на линии СЕХп
x	1	1	0	0	0	x	Захват инициируется изменением сигнала на линии СЕХп
1	0	0	1	0	0	x	Программный таймер
1	0	0	1	1	0	x	Высокоскоростной выход
1	0	0	x	0	1	x	Широтно-импульсный модулятор

X = не имеет значения

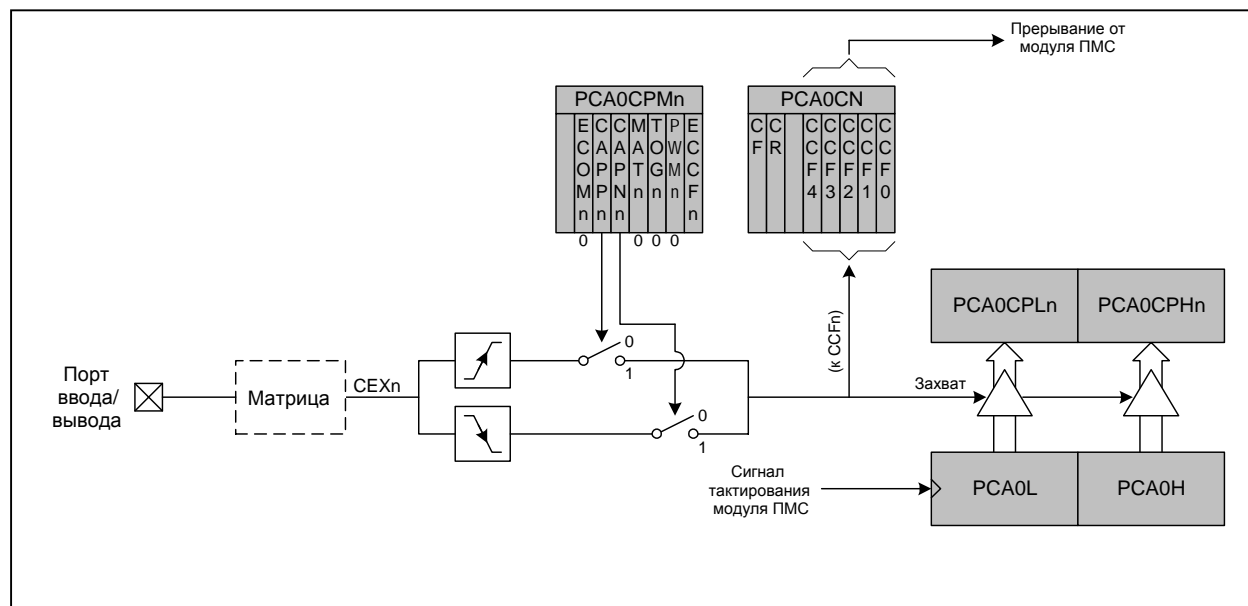
Рисунок 20.2. Схема формирования прерывания от ПМС



20.1.1. Режим захвата по фронту сигнала

В этом режиме активный фронт сигнала на внешнем выводе СЕХп приведет к захвату значения таймера/счетчика ПМС и загрузке его в 16-разрядный регистр захвата/сравнения (PCA0CPLn и PCA0CPHn) соответствующего модуля. Биты CAPPn и CAPNn регистра PCA0CPMn определяют, по какому фронту будет осуществляться захват: по положительному (переход из 0 в 1), по отрицательному (переход из 1 в 0) или по любому фронту. Когда происходит захват, флаг захвата/сравнения (CCFn) в регистре PCA0CN устанавливается в 1 и, если CCF прерывание разрешено, генерируется запрос прерывания. Бит CCFn не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно.

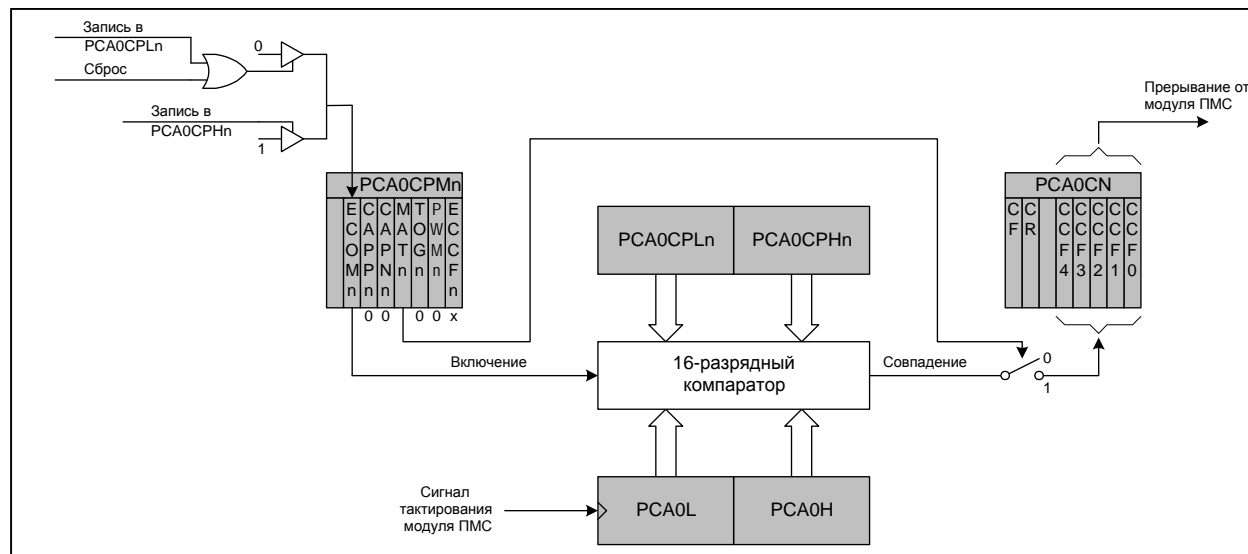
Рисунок 20.3. Структурная схема ПМС в режиме захвата



20.1.2. режим программного таймера (сравнения)

В режиме программного таймера значение таймера/счетчика ПМС сравнивается со значением 16-разрядного регистра захвата/сравнения (PCA0CPHn and PCA0CPLn) соответствующего модуля. Когда происходит совпадение, флаг захвата/сравнения (CCFn) в регистре PCA0CN устанавливается в 1 и, если CCFn прерывание разрешено, генерируется запрос прерывания. Бит CCFn не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Режим программного таймера включается установкой в 1 битов ECOMn и MATn регистра PCA0CPMn.

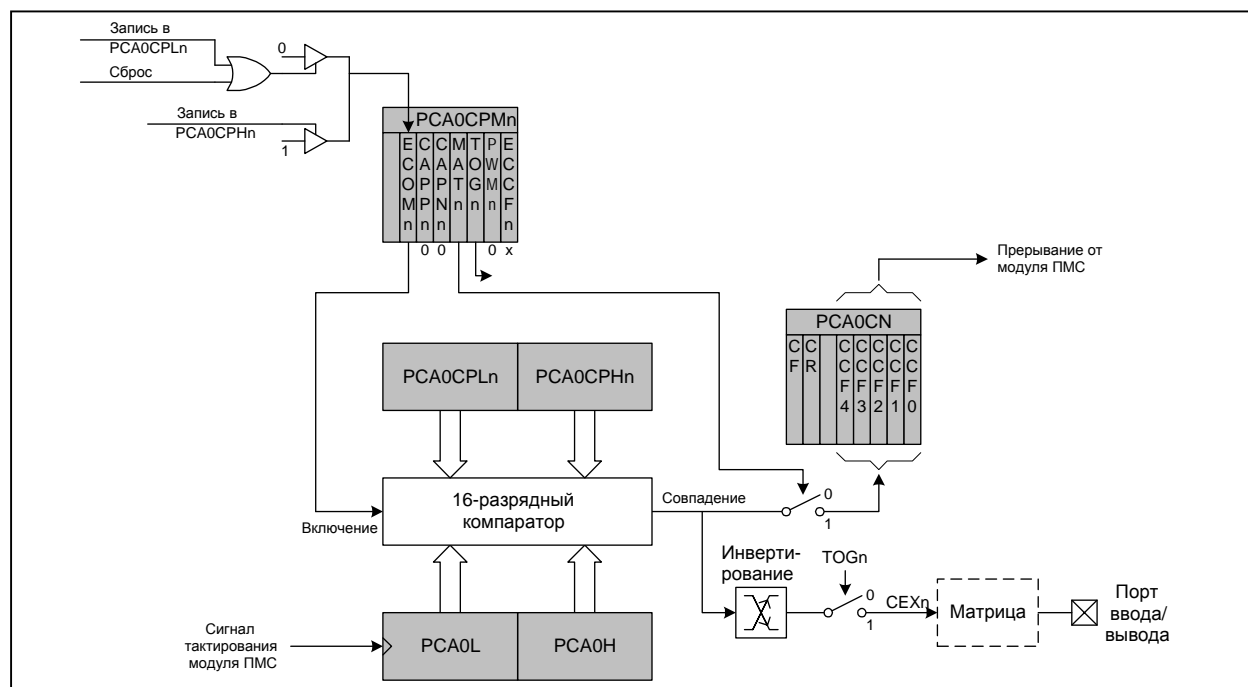
Рисунок 20.4. Структурная схема ПМС в режиме программного таймера



20.1.3. Режим высокоскоростного выхода

В этом режиме каждый раз, когда происходит совпадение значения таймера/счетчика ПМС и значения 16-разрядного регистра захвата/сравнения (PCA0CPHn and PCA0CPLn), логический уровень выходного сигнала на относящемся к модулю выводе CEXn будет инвертироваться. Режим высокоскоростного выхода включается установкой в 1 битов TOGn, MATn и ECOMn регистра PCA0CPMn.

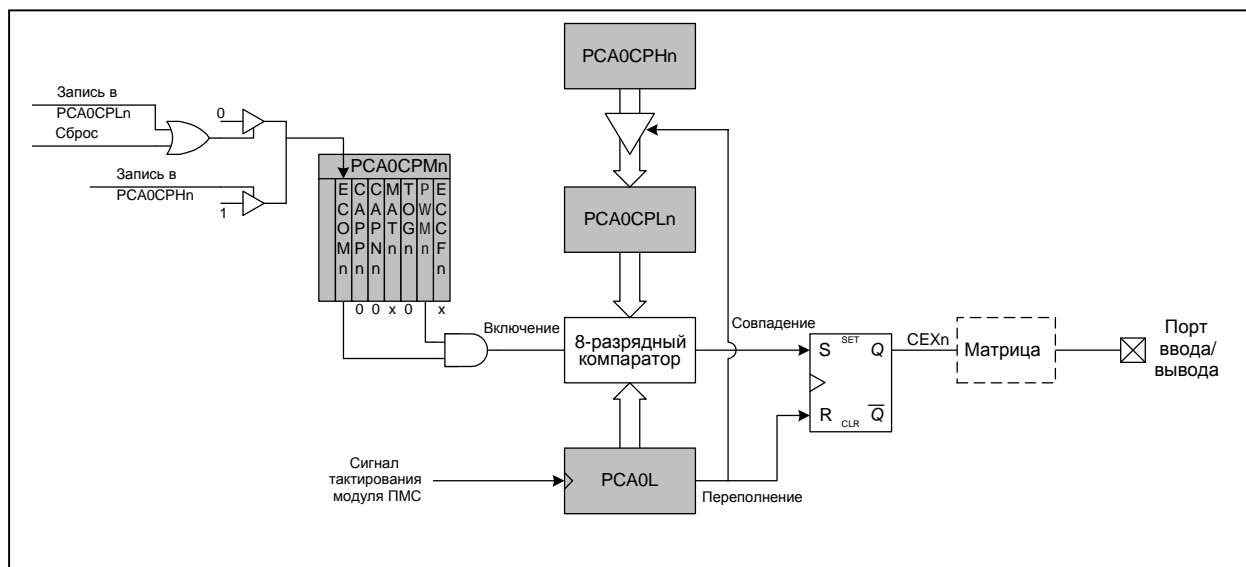
Рисунок 20.5. Структурная схема ПМС в режиме высокоскоростного выхода



20.1.4. Режим широтно-импульсного модулятора

Все модули захват/сравнение могут использоваться для генерации на соответствующем им выводе СЕХ_n выходного сигнала с широтно-импульсной модуляцией (ШИМ). Частота этого выходного сигнала зависит от частоты сигнала тактирования таймера/счетчика ПМС. Для изменения коэффициента заполнения выходного ШИМ сигнала используется регистр захвата/сравнения РСАОСР_n соответствующего модуля. Когда значение младшего байта таймера/счетчика ПМС (РСАО_L) становится равным значению регистра РСАОСР_n, на внешнем выводе СЕХ_n устанавливается сигнал высокого уровня. Когда регистр РСАО_L переполнится, на выводе СЕХ_n установится сигнал низкого уровня (см. рис.20.6). Кроме этого, при переполнении младшего байта таймера/счетчика (РСАО_L) из состояния 0xFF в состояние 0x00 регистр РСАОСР_n автоматически перезагружается значением, хранящимся в регистре РСАОСР_n, без вмешательства со стороны программы. Во избежание сбоев в работе цифрового компаратора рекомендуется осуществлять запись в регистр РСАОСР_n, а не в регистр РСАОСР_n. Режим широтно-импульсного модулятора включается установкой в 1 бит ЕСО_n и РWМ_n регистра РСАОСР_n.

Рисунок 20.6. Структурная схема ПМС в режиме ШИМ.



20.2. Таймер/счетчик модуля ПМС

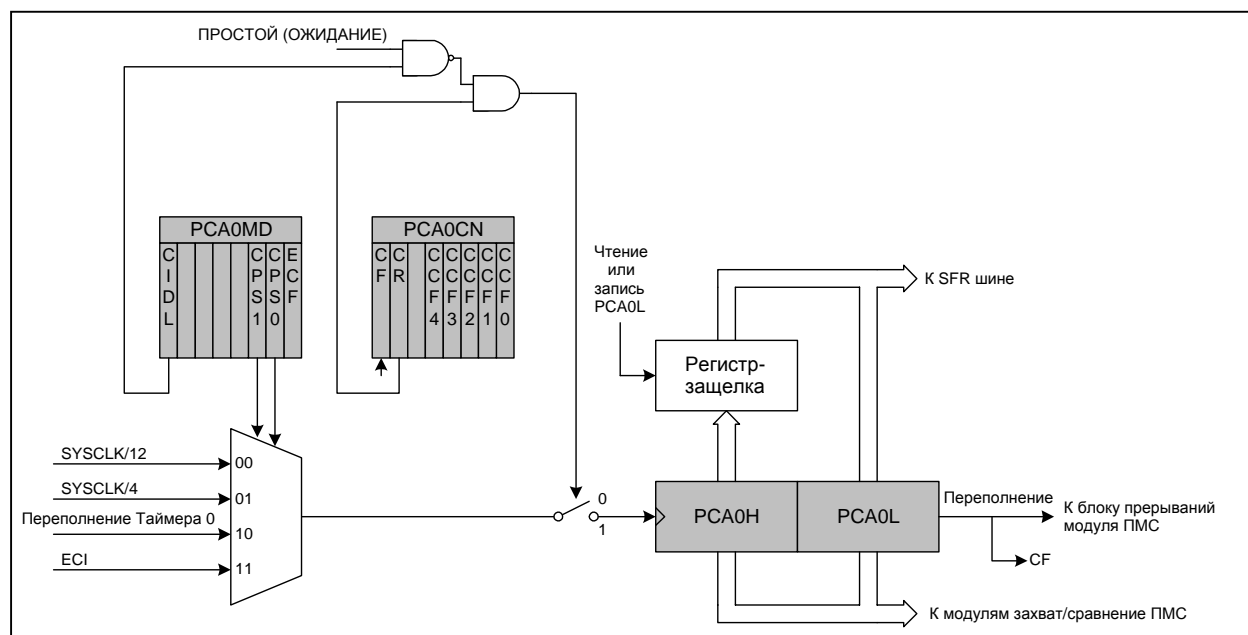
16-разрядный таймер/счетчик модуля ПМС состоит из двух 8-разрядных SFR регистров: PCA0L и PCA0H. PCA0H является старшим байтом (СЗБ) 16-разрядного таймера/счетчика, а PCA0L образует младший байт (МЗБ). При чтении регистра PCA0L одновременно автоматически фиксируется значение регистра PCA0H. Таким образом, если сначала прочитать регистр PCA0L, то значение регистра PCA0H (соответствующее моменту чтения регистра PCA0L) зафиксируется в регистре-защелке (см. рис.20.7) и будет удерживаться там до тех пор, пока пользователь не прочтает регистр PCA0H. Чтение регистров PCA0H или PCA0L не препятствует функционированию счетчика. Выбор внутреннего сигнала тактирования таймера/счетчика осуществляется битами CPS1 и CPS0 регистра PCA0MD, как показано в табл.20.2.

При переполнении таймера/счетчика из состояния 0xFFFF в состояние 0x0000 устанавливается в 1 флаг переполнения счетчика (CF) в регистре PCA0MD и, если прерывание от флага CF разрешено, генерируется запрос прерывания. Бит CF не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Следует иметь ввиду, что прерывания от флага CF распознаются только в том случае, если прерывания от модуля ПМС разрешены глобально. Прерывания от ПМС разрешаются глобально установкой в 1 битов EA (IE.7) и EPCA0 (EIE1.3). Сброс в 0 бита CIDL регистра PCA0MD позволяет ПМС продолжать нормальное функционирование в то время, когда МК переведен в режим ожидания.

Таблица 20.2. Выбор тактового сигнала для ПМС

CPS0	CPS1	Внутренний сигнал тактирования ПМС
0	0	SYSCLK/12
0	1	SYSCLK/4
1	0	Переполнение Таймера 0
1	1	Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI (макс. частота = SYSCLK/4)

Рисунок 20.7. Структурная схема таймера/счетчика модуля ПМС



20.3. Описание регистров модуля ПМС

Ниже приводится описание регистров специального назначения, связанных с работой модуля ПМС. В разделе данного технического описания, посвященном ядру CIP-51, содержится дополнительная информация о регистрах SFR и их использовании.

Рисунок 20.8. PCA0CN: Регистр управления ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CF	CR	-	CCF4	CCF3	CCF2	CCF1	CCF0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xD8
<p>Бит 7: CF: Флаг переполнения Таймера/Счетчика ПМС. Устанавливается в 1 аппаратно, когда Таймер/Счетчик ПМС переполняется из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера/Счетчика ПМС (от флага CF) разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.</p> <p>Бит 6: CR: Управление запуском Таймера/Счетчика ПМС. Этот бит включает/отключает Таймер/Счетчик ПМС. 0: Таймер/Счетчик ПМС отключен. 1: Таймер/Счетчик ПМС включен.</p> <p>Бит 5: Не используется. Читается как 0.</p> <p>Бит 4: CCF4: Флаг захвата/сравнения модуля 4 ПМС. Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.</p> <p>Бит 3: CCF3: Флаг захвата/сравнения модуля 3 ПМС. Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.</p> <p>Бит 2: CCF2: Флаг захвата/сравнения модуля 2 ПМС. Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.</p> <p>Бит 1: CCF1: Флаг захвата/сравнения модуля 1 ПМС. Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.</p> <p>Бит 0: CCF0: Флаг захвата/сравнения модуля 0 ПМС. Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.</p>								

Рисунок 20.9. PCA0MD: Регистр режима ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CIDL	-	-	-	-	CPS1	CPS0	ECF	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD9

Бит 7: CIDL: Управление режимом простоя (ожидания) Таймера/Счетчика ПМС.
 Это бит определяет поведение ПМС в то время, когда МК находится в режиме простоя (ожидания).
 0: ПМС продолжает нормально функционировать в то время, когда МК находится в режиме простоя (ожидания).
 1: Работа ПМС приостанавливается в то время, когда МК находится в режиме простоя (ожидания).

Биты 6-3: Не используются. Читаются как 0000b.

Биты 2-1: CPS1-CPS0: Выбор сигнала тактирования Таймера/Счетчика ПМС.
 Эти биты определяют, какой сигнал будет использоваться для тактирования Таймера/Счетчика ПМС.

CPS0	CPS1	Внутренний сигнал тактирования ПМС
0	0	SYSCLK/12
0	1	SYSCLK/4
1	0	Переполнение Таймера 0
1	1	Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI (макс. частота = SYSCLK/4)

Бит 0: ECF: Разрешение прерываний от переполнения Таймера/Счетчика ПМС.
 Этот бит разрешает/запрещает прерывания от переполнения Таймера/Счетчика ПМС (от флага CF).
 0: Прерывания от флага CF (PCA0CN.7) запрещены.
 1: Прерывания от флага CF (PCA0CN.7) разрешены.

Рисунок 20.10. PCA0CPMn: Регистры управления модулями захват/сравнение

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	ECOM _n	CAPP _n	CAPN _n	MAT _n	TOG _n	PWM _n	ECCF _n	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xDA-0xDE
<p>Адреса регистров PCA0CPM_n: PCA0CPM0 = 0xDA (n = 0) PCA0CPM1 = 0xDB (n = 1) PCA0CPM2 = 0xDC (n = 2) PCA0CPM3 = 0xDD (n = 3) PCA0CPM4 = 0xDE (n = 4)</p>								
<p>Бит 7: Не используется. Читается как 0.</p>								
<p>Бит 6: ECOM_n: Разрешение функции компаратора. Этот бит включает/отключает функцию компаратора модуля <i>n</i> ПМС. 0: Компаратор отключен. 1: Компаратор включен.</p>								
<p>Бит 5: CAPP_n: Разрешение функции захвата по положительному фронту. Этот бит разрешает/запрещает захват по положительному фронту для модуля <i>n</i> ПМС. 0: Захват по положительному фронту запрещен. 1: Захват по положительному фронту разрешен.</p>								
<p>Бит 4: CAPN_n: Разрешение функции захвата по отрицательному фронту. Этот бит разрешает/запрещает захват по отрицательному фронту для модуля <i>n</i> ПМС. 0: Захват по отрицательному фронту запрещен. 1: Захват по отрицательному фронту разрешен.</p>								
<p>Бит 3: MAT_n: Разрешение функции определения совпадения. Этот бит включает/отключает функцию определения совпадения для модуля <i>n</i> ПМС. Если MAT_n = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к установке в 1 бита CCF_n в регистре PCA0MD. 0: Функция определения совпадения отключена. 1: Функция определения совпадения включена.</p>								
<p>Бит 2: TOG_n: Разрешение функции инвертирования выхода. Этот бит включает/отключает функцию инвертирования выходного сигнала для модуля <i>n</i> ПМС. Если TOG_n = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к инвертированию логического уровня выходного сигнала на внешнем выводе CEX_n. 0: Функция инвертирования выхода отключена. 1: Функция инвертирования выхода включена.</p>								
<p>Бит 1: PWM_n: Включение режима ШИМ. Этот бит включает/отключает функцию ШИМ для модуля <i>n</i> ПМС. Если PWM_n = 1, то выходной ШИМ сигнала появляется на внешнем выводе CEX_n. 0: Функция ШИМ отключена. 1: Функция ШИМ включена.</p>								
<p>Бит 0: ECCF_n: Разрешение прерываний от флага захвата/сравнения (CCF_n). Этот бит разрешает/запрещает прерывания от флага захвата/сравнения (CCF_n). 0: Прерывания от флага CCF_n запрещены. 1: Прерывания от флага CCF_n разрешены.</p>								

Рисунок 20.11. PCA0L: Младший байт таймера/счетчика ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE9

Биты 7-0: PCA0L: Младший байт таймера/счетчика ПМС.
Регистр PCA0L содержит младший байт (МЗБ) 16-разрядного таймера/счетчика ПМС.

Рисунок 20.12. PCA0H: Старший байт таймера/счетчика ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xF9

Биты 7-0: PCA0H: Старший байт таймера/счетчика ПМС.
Регистр PCA0H содержит старший байт (СЗБ) 16-разрядного таймера/счетчика ПМС.
Следует иметь ввиду, что на самом деле значение считывается из регистра-защелки. Это позволяет синхронизировать операции чтения регистров PCA0L и PCA0H.

Рисунок 20.13. PCA0CPLn: Младший байт модуля захвата ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xEA-0xEE

Адреса регистров PCA0CPLn: PCA0CPL0 = 0xEA (n = 0)
PCA0CPL1 = 0xEB (n = 1)
PCA0CPL2 = 0xEC (n = 2)
PCA0CPL3 = 0xED (n = 3)
PCA0CPL4 = 0xEE (n = 4)

Биты 7-6: PCA0CPLn: Младший байт модуля захвата ПМС.
Регистр PCA0CPLn содержит младший байт (МЗБ) 16-разрядного модуля захвата n.

Рисунок 20.14. PCA0CPHn: Старший байт модуля захвата ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xFA-0xFE

Адреса регистров PCA0CPHn: PCA0CPH0 = 0xFA (n = 0)
PCA0CPH1 = 0xFB (n = 1)
PCA0CPH2 = 0xFC (n = 2)
PCA0CPH3 = 0xFD (n = 3)
PCA0CPH4 = 0xFE (n = 4)

Биты 7-0: PCA0CPHn: Старший байт модуля захвата ПМС.
Регистр PCA0CPHn содержит старший байт (СЗБ) 16-разрядного модуля захвата n.

21. ИНТЕРФЕЙС JTAG (IEEE 1149.1)

Каждый МК имеет встроенный интерфейс JTAG и логику поддержки граничного сканирования, предназначенные для производственных испытаний и внутрисистемного тестирования, выполнения операций чтения и записи Flash-памяти, а также для проведения «неразрушающей» внутрисхемной отладки. Интерфейс JTAG полностью соответствует спецификации IEEE 1149.1. Эта спецификация содержит подробную информацию об интерфейсе тестирования и архитектуре граничного сканирования. Работа с регистром команд (IR) и регистром данных (DR) интерфейса JTAG описана в разделе «Test Access Port and Operation» (порт тестового доступа и работа в режиме тестового доступа) спецификации IEEE 1149.1.

Для работы с интерфейсом JTAG используются четыре специальных вывода МК: TCK, TMS, TDI и TDO. Максимальное допустимое напряжение на этих выводах составляет 5В.

Используя 16-разрядный регистр команд интерфейса JTAG (IR), можно подавать любую из восьми команд, показанных на рис.21.1. Имеется три регистра данных (DR), связанных с работой интерфейса граничного сканирования, и четыре регистра данных, связанных с выполнением операций чтения/записи Flash-памяти МК.

Рисунок 21.1. IR: Регистр команд интерфейса JTAG

<div> <div>Бит 15</div> <div>Бит 0</div> </div>															
Значение при сбросе: 0x0004															
Значение IR	Команда	Описание													
0x0000	EXTEST	Выбирает регистр данных интерфейса граничного сканирования для управления всеми выводами МК и наблюдения за ними.													
0x0002	SAMPLE/ PRELOAD	Выбирает регистр данных интерфейса граничного сканирования для опроса его защелок и их предварительной установки													
0x0004	IDCODE	Выбирает регистр идентификатора устройства													
0xFFFF	BYPASS	Выбирает регистр-шунт (BYPASS регистр данных)													
0x0082	Flash Control	Выбирает регистр FLASHCON для управления реакцией логики интерфейса на операции чтения/записи в регистр FLASHDAT													
0x0083	Flash Data	Выбирает регистр FLASHDAT для выполнения операций чтения/записи Flash-памяти													
0x0084	Flash Address	Выбирает регистр FLASHADR, который хранит адреса для всех операций чтения/записи/стирания Flash-памяти													
0x0085	Flash Scale	Выбирает регистр FLASHSCL, который управляет делителем, используемым для генерации сигналов тактирования модуля Flash-памяти													

21.1. Граничное сканирование

Регистр данных интерфейса граничного сканирования является 87-разрядным регистром сдвига. Этот регистр позволяет как управлять всеми выводами МК, SFR шиной и слаботочковыми подтягивающими резисторами, так и определять их состояние. Для этого используются команды EXTEST и SAMPLE.

Таблица 21.1. Описание бит регистра данных интерфейса граничного сканирования

Команда EXTEST позволяет осуществлять операции как захвата, так и обновления, а команда SAMPLE выполняет только захват.

Бит	Действие	Целевой сигнал
0	Захват	Разрешение сброса от МК
	Обновление	Разрешение сброса на вывод /RST
1	Захват	Входной сигнал сброса с вывода /RST
	Обновление	Выходной сигнал сброса на вывод /RST
2	Захват	Сигнал внешнего тактового генератора с вывода XTAL1
	Обновление	Не используется
3	Захват	Подключение слаботочковых подтягивающих резисторов от МК
	Обновление	Подключение слаботочковых подтягивающих резисторов к выводам портов
4-11	Захват	Бит адресной шины SFR от CIP-51 (напр., Bit4=SFRA0, Bit5=SFRA1...)
	Обновление	Бит адресной шины SFR на адресную шину SFR (напр., Bit4=XSFA0, Bit5=XSFA1)
12-19	Захват	Бит шины данных SFR от SFR (напр., Bit12=SFDR0, Bit13=SFDR1...)
	Обновление	Бит шины данных SFR, записываемый в SFR (напр., Bit12=SFDR0, Bit13=SFDR1...)
20	Захват	Строб записи SFR от CIP-51
	Обновление	Строб записи SFR на шину SFR
21	Захват	Строб чтения SFR от CIP-51
	Обновление	Строб чтения SFR на шину SFR
22	Захват	Строб чтение/модификация/запись SFR от CIP-51
	Обновление	Строб чтение/модификация/запись SFR на шину SFR
23,25,27,29, 31,33,35,37	Захват	Разрешение выхода P0.n от МК (напр., Bit23=P0.0, Bit25=P0.1, и т.д.)
	Обновление	Разрешение выхода P0.n на вывод (напр., Bit23=P0.0oe, Bit25=P0.1oe, и т.д.)*
24,26,28,30, 32,34,36,38	Захват	Входной сигнал P0.n с вывода (напр., Bit24=P0.0, Bit26=P0.1, и т.д.)
	Обновление	Выходной сигнал P0.n на вывод (напр., Bit24=P0.0, Bit26=P0.1, и т.д.)
39,41,43,45, 47,49,51,53	Захват	Разрешение выхода P1.n от МК (напр., Bit39=P1.0, Bit41=P1.1, и т.д.)
	Обновление	Разрешение выхода P1.n на вывод (напр., Bit39=P1.0oe, Bit41=P1.1oe, и т.д.)*
40,42,44,46, 48,50,52,54	Захват	Входной сигнал P1.n с вывода (напр., Bit40=P1.0, Bit42=P1.1, и т.д.)
	Обновление	Выходной сигнал P1.n на вывод (напр., Bit40=P1.0, Bit42=P1.1, и т.д.)
55,57,59,61, 63,65,67,69	Захват	Разрешение выхода P2.n от МК (напр., Bit55=P2.0, Bit57=P2.1, и т.д.)
	Обновление	Разрешение выхода P2.n на вывод (напр., Bit55=P2.0oe, Bit57=P2.1oe, и т.д.)*
56,58,60,62, 64,66,68,70	Захват	Входной сигнал P2.n с вывода (напр., Bit56=P2.0, Bit58=P2.1, и т.д.)
	Обновление	Выходной сигнал P2.n на вывод (напр., Bit56=P2.0, Bit58=P2.1, и т.д.)
71,73,75,77, 79,81,83,85	Захват	Разрешение выхода P3.n от МК (напр., Bit71=P3.0, Bit73=P3.1, и т.д.)
	Обновление	Разрешение выхода P3.n на вывод (напр., Bit71=P3.0oe, Bit73=P3.1oe, и т.д.)*
72,74,76,78, 80,82,84,86	Захват	Входной сигнал P3.n с вывода (напр., Bit72=P3.0, Bit74=P3.1, и т.д.)
	Обновление	Выходной сигнал P3.n на вывод (напр., Bit72=P3.0, Bit74=P3.1, и т.д.)

* oe = output enable (разрешение выхода)

21.1.1. Команда EXTEST

Команда EXTEST подается с помощью регистра IR. Регистр данных интерфейса граничного сканирования DR позволяет как управлять всеми выводами МК, SFR шиной и слаботочными подтягивающими резисторами, так и определять их состояние. Все входы к элементам встроенной логики установлены в 1.

21.1.2. Команда SAMPLE

Команда SAMPLE подается с помощью регистра IR. Регистр данных интерфейса граничного сканирования DR используется для опроса защелок пути сканирования и их предварительной установки.

21.1.3. Команда BYPASS

Команда BYPASS подается с помощью регистра IR. Она обеспечивает доступ к стандартному 1-разрядному регистру-шунту (BYPASS регистру данных) интерфейса JTAG.

21.1.4. Команда IDCODE

Команда IDCODE подается с помощью регистра IR. Она обеспечивает доступ к 32-регистру идентификатора устройства.

Рисунок 21.2. DEVICEID: Регистр JTAG идентификатора устройства

Версия		Шифр компонента		Идентификатор производителя		1		Значение при сбросе: (зависит от шифра компонента)
Бит 31	Бит 28	Бит 27	Бит 12	Бит 11	Бит 1	Бит 0		
Версия = 0000b (Редакция А)								
= 0001b (Редакция В)								
Шифр компонента = 0000 0000 0000 0000b (C8051F000/01/02/10/11/12)								
= 0000 0000 0000 0010b (C8051F005/06/07/15/16/17)								
Идентификатор производителя = 0010 0100 001b (CygnaI Integrated Products)								

21.2. Команды программирования Flash-памяти

Flash-память можно программировать непосредственно через интерфейс JTAG, используя следующие регистры: Flash Control (регистр управления режимами чтения/записи Flash-памяти), Flash Data (регистр данных Flash-памяти), Flash Address (регистр адреса Flash-памяти) и Flash Scale (регистр делителя модуля Flash-памяти). Обращение к этим косвенным регистрам данных осуществляется через регистр команд интерфейса JTAG. Для выполнения операций чтения и записи косвенных регистров данных сначала необходимо установить адрес соответствующего регистра данных DR в регистре команд IR. Затем каждая операция чтения или записи инициируется записью соответствующего косвенного кода операции в выбранный регистр данных. Поступающие в этот регистр команды имеют следующий формат:

19:18	17:0
Косв. код операции	Записываемые данные

Косв. код операции: Эти биты определяют тип выполняемой операции в соответствии со следующей таблицей:

Косв. код операции	Операция
0x	Опрос
10	Чтение
11	Запись

Операция «Опрос» используется для проверки бита занятости, как описано ниже. Несмотря на то, что при опросе выполняется захват данных регистра DR, обновление регистра DR запрещено, поэтому опрос может быть осуществлен путем сдвига (в регистр/из регистра) одного единственного бита.

Операция «Чтение» инициирует чтение из регистра, адресуемого регистром IR. Чтение можно инициировать сдвигом лишь двух бит в косвенный регистр данных. После того, как операция чтения инициирована, необходимо выполнять опрос бита занятости, чтобы определить момент завершения операции.

Операция «Запись» инициирует запись «записываемых данных» в регистр, адресуемый регистром IR. Могут быть записаны регистры с разрядностью до 18 бит включительно. Если записываемый регистр содержит менее 18 бит, то записываемые данные должны быть выровнены влево, т.е. СЗР должен занимать бит 17. Это позволяет использовать для записи более коротких регистров меньшее число тактовых циклов интерфейса JTAG. Например, запись 8-разрядного регистра можно осуществить путем сдвига только 10 бит. После того, как операция записи инициирована, необходимо выполнять опрос бита занятости, чтобы определить момент, когда можно инициировать следующую операцию. Содержимое регистра команд IR нельзя изменять, пока выполняются операции чтения или записи.

Исходящие данные косвенного регистра данных имеют следующий формат:

19	18:1	0
0	Считываемые данные	Занято

Бит «Занято» показывает, что текущая операция не завершена. Он устанавливается в 1, когда операция инициируется, и сбрасывается в 0, когда операция завершается. Команды чтения или записи игнорируются, пока бит занятости равен единице. В действительности, если за операцией опроса бита занятости на равенство нулю следует операция чтения или записи, то запись (посредством интерфейса JTAG) следующей операции можно осуществлять во время проверки бита занятости на равенство нулю. Следующая операция (чтения или записи) будет игнорироваться до тех пор, пока бит занятости читается как ноль, и будет инициирована, как только бит занятости станет равен единице. Бит «Занято» занимает бит 0 косвенного регистра данных, что позволяет опросить его путем одноразрядного сдвига. Когда при ожидании завершения операции чтения бит занятости становится равен нулю, можно сдвигать следующие 18 бит для получения результирующих данных. Считываемые данные всегда выровнены вправо. Это позволяет для чтения регистров с разрядностью менее 18 бит использовать меньшее число сдвигов. Например, для получения результата операции чтения байта требуется 9 сдвигов (бит занятости + 8 бит данных).

Рисунок 21.3. FLASHCON: Регистр управления режимами чтения/записи Flash-памяти интерфейса JTAG.

WRMD3	WRMD2	WRMD1	WRMD0	RDMD3	RDMD2	RDMD1	RDMD0	Значение при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	00000000

Этот регистр определяет, каким образом логика интерфейса Flash-памяти будет реагировать на операции чтения и записи в регистр FLASHDAT.

Биты 7-4: WRMD3-0: Биты выбора режима записи.

Биты выбора режима записи управляют реакцией логики интерфейса на операции записи в регистр FLASHDAT. Возможны следующие варианты:

0000: Запись регистра FLASHDAT заменяет данные в регистре FLASHDAT, но во всем остальном игнорируется.

0001: Запись регистра FLASHDAT инициирует запись содержимого FLASHDAT в ячейку памяти, адресуемую регистром FLASHADR. После завершения содержимое регистра FLASHADR инкрементируется (увеличивается на 1).

0010: Запись регистра FLASHDAT инициирует стирание (установку всех байт в состояние 0xFF) той страницы Flash-памяти, которая содержит адрес, указанный в регистре FLASHADR. Чтобы стирание произошло, в регистр FLASHDAT должно быть записано значение 0xA5. FLASHADR не изменяется. Если FLASHADR = 0x7DFE – 0x7DFF, то будет стерто все доступное пользователю пространство памяти (т.е. вся Flash-память за исключением зарезервированной области 0x7E00 – 0x7FFF).

(Все другие значения бит WRMD3-0 зарезервированы.)

Биты 3-0: RDMD3-0: Биты выбора режима чтения.

Биты выбора режима чтения управляют реакцией логики интерфейса на операции чтения из регистра FLASHDAT. Возможны следующие варианты:

0000: Операция чтения регистра FLASHDAT возвращает данные из регистра FLASHDAT, но во всем остальном игнорируется.

0001: Чтение регистра FLASHDAT инициирует чтение байта, адресуемого регистром FLASHADR, если на данный момент нет активных операций. Этот режим используется для чтения блоков памяти.

0010: Чтение регистра FLASHDAT инициирует чтение байта, адресуемого регистром FLASHADR только в том случае, если на данный момент нет активных операций и любые данные, полученные в результате предыдущей операции чтения, уже прочитаны из регистра FLASHDAT. Этот режим позволяет читать одиночные байты (или последний байт блока) без инициации дополнительного чтения.

(Все другие значения бит RDMD3-0 зарезервированы.)

Рисунок 21.4. FLASHADR: Регистр адреса Flash-памяти интерфейса JTAG.

																	Значение при сбросе:
Бит 15																Бит 0	0x0000

Этот регистр содержит адрес для всех операций чтения/записи/стирания Flash-памяти интерфейса JTAG. Содержимое этого регистра автоматически инкрементируется после каждой операции чтения или записи независимо от того, была ли операция успешной или неудачной.

Биты 15-0: 16-разрядный адрес для операций с Flash-памятью.

Рисунок 21.5. FLASHDAT: Регистр данных Flash-памяти интерфейса JTAG

DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0	FAIL	FBUSY	Значение при сбросе:
Бит 9	Бит 8	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	000000000

Этот регистр используется для чтения данных из Flash-памяти или записи данных во Flash-память посредством интерфейса JTAG.

Биты 9-2: DATA7-0: Байт данных Flash-памяти.

Бит 1: FAIL: Бит ошибки операций с Flash-памятью.
0: Предыдущая операция с Flash-памятью была успешной.
1: Предыдущая операция с Flash-памятью была неудачной. Обычно показывает, что соответствующая ячейка памяти была заблокирована.

Бит 0: FBUSY: Бит занятости интерфейса Flash-памяти.
0: Логика интерфейса Flash-памяти свободна.
1: Логика интерфейса Flash-памяти обрабатывает запрос. Пока FBUSY = 1, чтение или запись не будут инициировать другую операцию.

Рисунок 21.6. FLASHSCL: Регистр делителя модуля Flash-памяти интерфейса JTAG

FOSE	FRAE	-	-	FLSCL3	FLSCL2	FLSCL1	FLSCL0	Значение при сбросе:
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	00000000

Этот регистр управляет схемой установки временных интервалов для операции чтения Flash-памяти и делителем, необходимым для генерации корректных временных интервалов, требуемых модулем Flash-памяти для выполнения операций записи/стирания.

Бит 7: FOSE: Бит включения ждущего таймера модуля Flash-памяти.
0: Строб чтения Flash-памяти имеет ширину, равную полному тактовому циклу.
1: Строб чтения Flash-памяти имеет ширину, равную 50 нс.

Бит 6: FRAE: Бит разрешения постоянного чтения Flash-памяти.
0: Flash-выход и усилитель считывания включены только тогда, когда это необходимо для выполнения операции чтения Flash-памяти.
1: Flash-выход и усилитель считывания включены всегда. Это может использоваться для ограничения колебаний потребляемого (от источника питания цифровых модулей) тока, вызываемых включением/отключением усилителей считывания, что позволяет уменьшить наведенный цифровой шум.

Биты 5-4: Не используются. Читаются как 00b.

Биты 3-0: FLSCL3-0: Биты управления делителем модуля Flash-памяти.
Биты FLSCL3-0 управляют делителем, используемым для генерации сигналов тактирования операций с Flash-памятью. Значение этих бит должно быть записано до инициации какой либо операции с Flash-памятью. Значение делителя должно быть наименьшим целым значением, удовлетворяющим следующей формуле:

$$FLSCL[3:0] > \log_2(f_{sysclk} / 50\text{кГц}),$$

где f_{sysclk} – частота системного тактового сигнала. Если FLSCL[3:0] = 1111b, то все операции записи/стирания Flash-памяти запрещены.

21.3. Средства поддержки отладки

Каждый МК имеет встроенные интерфейс JTAG и средства отладки, которые обеспечивают «неразрушающую» внутрисхемную отладку в режиме реального времени с использованием МК, установленного в конечное изделие. Для отладки используются четыре вывода интерфейса JTAG. Средства отладки фирмы Cygnal поддерживают проверку и модификацию памяти и регистров, расстановку точек останова и временных меток, пошаговую отладку, а также запуск команд на выполнение и их остановку. При этом не требуется никаких специальных дополнительных ОЗУ, памяти программ или каналов связи. Во время отладки все цифровые и аналоговые периферийные модули не отключаются и работают корректно. При остановке МК в точке останова или при пошаговой отладке сторожевой таймер отключается.

Комплекты средств разработки C8051F000DK, C8051F005DK, C8051F010DK, C8051F015DK для МК C8051F000/1/2, F005/6/7, F010/1/2, F015/6/7 соответственно содержат все необходимые аппаратные и программные средства для разработки программного кода и выполнения внутрисхемной отладки. Каждый комплект включает в себя программный пакет с интегрированной средой разработки, которая содержит отладчик и встроенный ассемблер стандарта 8051. Имеется блок-преобразователь RS-232/JTAG, а также демонстрационная плата с установленным МК (C8051F000, F005, F010 или F015) и большой свободной областью для макетирования. Кроме этого в комплект средств разработки входят кабели RS-232 и JTAG, а также блок питания в настенном исполнении.

Disclaimers

Life support: These products are not designed for use in life support appliances or systems where malfunction of these products can reasonably be expected to result in personal injury. Cygnal Integrated Products customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Cygnal Integrated Products for any damages resulting from such applications.

Right to make changes: Cygnal Integrated Products reserves the right to make changes, without notice, in the products, including circuits and/or software, described or contained herein in order to improve design and/or performance. Cygnal Integrated Products assumes no responsibility or liability for the use of any of these products, conveys no license or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work infringement, unless otherwise specified.

Trademarks



The Cygnal's logo, CIP-51, and Cygnal are trademarks of Cygnal Integrated Products, Inc.

I2C is a trademark of Philips Semiconductors

SMBus and MCS-51 are trademarks of Intel Corporation

SPI is a trademark of Motorola, Inc.



C8051F000/1/2/5/6/7
C8051F010/1/2/5/6/7

CYGNAL Integrated Products, Inc.
www.cygnal.com