



SILICON LABORATORIES

C8051F020/1/2/3

8K ISP FLASH MCU Family

АНАЛОГОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ

- АЦП последовательного приближения

Разрядность: 12 бит (C8051F020/1);
10 бит (C8051F22/3).

Нелинейность $\pm 1\text{MЗР}$.

Программируемая скорость преобразования (до 100 тыс. преобразований в секунду).

До 8-ми внешних входов (программируются как одиночные или дифференциальные).

Усилитель с программируемым коэффициентом усиления (16, 8, 4, 2, 1, 0.5).

Формирование прерывания при попадании результата преобразования в заданный диапазон значений.

Встроенный датчик температуры ($\pm 3^\circ\text{C}$).

- 8-разрядный АЦП

Программируемая скорость преобразования (до 500 тыс. преобразований в секунду).

8 внешних входов.

Усилитель с программируемым коэффициентом усиления (4, 2, 1, 0.5).

- Два 12-разрядных ЦАП

Синхронизация выходов с таймерами для генерации сигнала без фазовых искажений.

- Два аналоговых компаратора

- Источник опорного напряжения

- Прецизионная схема слежения за напряжением питания/детектор снижения напряжения питания

ВСТРОЕННЫЙ JTAG ОТЛАДЧИК И ИНТЕРФЕЙС ГРАНИЧНОГО СКАНИРОВАНИЯ

- Встроенный отладчик обеспечивает «неразрушающую» внутрисистемную/внутрисистемную отладку в режиме реального времени (без эмулятора).

- Расстановка точек останова и временных меток, пошаговая отладка, слежение за стеком.

- Контроль/модификация памяти и регистров.

- Производительность на уровне эмуляторов с отладочными кристаллами, специальными адаптерами и разъемами.

- Граничное сканирование в соответствии с протоколом IEEE1149.1

- Недорогой комплект средств для разработки.

ВЫСОКОПРОИЗВОДИТЕЛЬНОЕ 8051-СОВМЕСТИМОЕ ПРОЦЕССОРНОЕ ЯДРО

- Конвейерная архитектура; 70% команд выполняются за 1 или 2 системных тактовых цикла.

- Производительность до 25MIPS при тактовой частоте 25MHz.

- 22 векторных источника прерываний.

ПАМЯТЬ

- 4352 (4k + 256) байт внутреннего ОЗУ данных.

- 64 Кбайт FLASH-памяти; возможно внутрисистемное программирование FLASH-памяти секторами по 512 байт.

- Интерфейс внешней (64 Кбайт) памяти данных (возможны мультиплексированный и немultipлексированный режимы работы)

ЦИФРОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ

- Восемь 8-разрядных порта ввода/вывода с допустимым напряжением на выводах до 5В (C8051F020/2).

- Четыре 8-разрядных порта ввода/вывода с допустимым напряжением на выводах до 5В (C8051F021/3).

- Встроенные последовательные интерфейсы SMBus (I²C-совместимый), SPI и два УАПЦ (доступны одновременно).

- Программируемый массив 16-разрядных таймеров/счетчиков (ПМС) с пятью модулями захвата/сравнения.

- Пять 16-разрядных таймера/счетчика общего назначения.

- Отдельный сторожевой таймер.

- Двухнаправленный вывод сброса.

ИСТОЧНИКИ ТАКОВЫХ ИМПУЛЬСОВ

- Внутренний генератор с программируемой частотой (2-16МГц).

- Внешний генератор: кварцевый, RC-, C-, или счетчик.

- Режим генератора реального времени (используются Таймер 3 или ПМС).

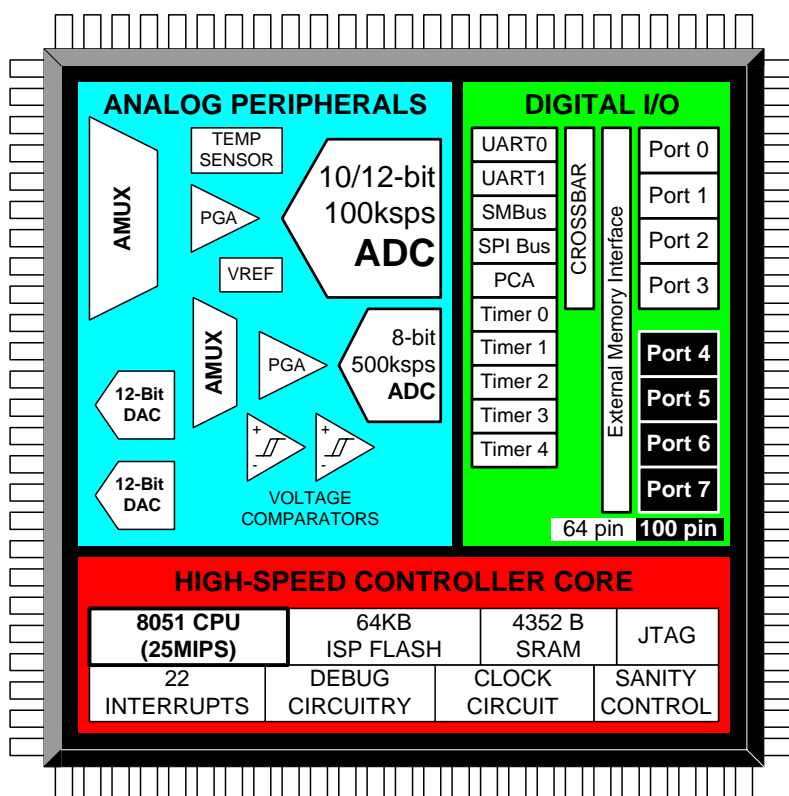
НАПРЯЖЕНИЕ ПИТАНИЯ: 2.7V...3.6V

- Ток потребления: 10mA @ 20МГц.

- Различные режимы управления энергопотреблением.

КОРПУСА: 100-выв. TQFP, 64-выв. TQFP.

РАБОЧАЯ ТЕМПЕРАТУРА: -40°C...+85°C



Примечания

СОДЕРЖАНИЕ

| | |
|--|-----------|
| 1. КРАТКИЙ ОБЗОР..... | 17 |
| 1.1. Процессорное ядро CIP-51™..... | 22 |
| 1.1.1. Полная совместимость со стандартом 8051..... | 22 |
| 1.1.2. Улучшенная производительность..... | 22 |
| 1.1.3. Дополнительные функции..... | 23 |
| 1.2. Встроенная память..... | 24 |
| 1.3. JTAG отладчик и интерфейс граничного сканирования..... | 25 |
| 1.4. Программируемые цифровые порты ввода/вывода и матрица соединений..... | 26 |
| 1.5. Программируемый массив счетчиков (ПМС)..... | 27 |
| 1.6. Последовательные порты..... | 27 |
| 1.7. 12-разрядный аналого-цифровой преобразователь..... | 28 |
| 1.8. 8-разрядный аналого-цифровой преобразователь..... | 29 |
| 1.9. Компараторы и ЦАП..... | 30 |
| 2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ..... | 31 |
| 3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ..... | 32 |
| 4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ..... | 33 |
| 5. 12-разрядный АЦПО (C8051F020/1)..... | 43 |
| 5.1. Аналоговый мультиплексор и программируемый усилитель..... | 43 |
| 5.2. Режимы работы АЦП..... | 44 |
| 5.2.1. Запуск преобразования..... | 44 |
| 5.2.2. Режимы слежения..... | 45 |
| 5.2.3. Время установления..... | 46 |
| 5.3. Программируемый детектор диапазона АЦПО..... | 53 |
| 6. 10-разрядный АЦПО (C8051F022/3)..... | 59 |
| 6.1. Аналоговый мультиплексор и программируемый усилитель..... | 59 |
| 6.2. Режимы работы АЦП..... | 60 |
| 6.2.1. Запуск преобразования..... | 60 |
| 6.2.2. Режимы слежения..... | 61 |
| 6.2.3. Время установления..... | 62 |
| 6.3. Программируемый детектор диапазона АЦПО..... | 69 |
| 7. 8-разрядный АЦП1..... | 75 |
| 7.1. Аналоговый мультиплексор и программируемый усилитель..... | 75 |
| 7.2. Режимы работы АЦП..... | 76 |
| 7.2.1. Запуск преобразования..... | 76 |
| 7.2.2. Режимы слежения..... | 76 |
| 7.2.3. Время установления..... | 78 |
| 8. 12-разрядный ЦАП | 83 |
| 8.1. Формирование выходного сигнала ЦАП..... | 83 |
| 8.1.1. Обновление выходного сигнала “по требованию”..... | 84 |
| 8.1.2. Обновление выходного сигнала при переполнении таймера..... | 84 |
| 8.2. Форматирование входных данных ЦАП..... | 84 |
| 9. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F020/2)..... | 91 |

| | |
|--|------------|
| 10. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F021/3)..... | 93 |
| 11. КОМПАРАТОРЫ..... | 95 |
| 12. ПРОЦЕССОРНОЕ ЯДРО CIP-51..... | 101 |
| 12.1. Система команд..... | 102 |
| 12.1.1. Команды и тактирование..... | 102 |
| 12.1.2. Команда MOVX и память программ..... | 102 |
| 12.2. Организация памяти..... | 107 |
| 12.2.1. Память программ..... | 107 |
| 12.2.2. Память данных..... | 108 |
| 12.2.3. Регистры общего назначения..... | 108 |
| 12.2.4. Ячейки памяти с битовой адресацией..... | 108 |
| 12.2.5. Стек..... | 108 |
| 12.2.6. Регистры специального назначения..... | 109 |
| 12.2.7. Описание регистров..... | 113 |
| 12.3. Обработка прерываний..... | 116 |
| 12.3.1. Источники и векторы прерываний..... | 116 |
| 12.3.2. Внешние прерывания..... | 116 |
| 12.3.3. Приоритеты прерываний..... | 118 |
| 12.3.4. Задержка обработки прерываний..... | 118 |
| 12.3.5. Описание регистров прерываний..... | 119 |
| 12.4. Режимы управления электропитанием..... | 125 |
| 12.4.1. Режим ожидания..... | 125 |
| 12.4.2. Режим остановки..... | 125 |
| 13. ИСТОЧНИКИ СБРОСА..... | 127 |
| 13.1. Сброс при включении питания..... | 128 |
| 13.2. Сброс при исчезновении питания..... | 128 |
| 13.3. Внешний сброс..... | 129 |
| 13.4. Программный сброс..... | 129 |
| 13.5. Сброс от детектора исчезновения тактирования..... | 129 |
| 13.6. Сброс от Компаратора 0..... | 129 |
| 13.7. Сброс от внешнего вывода CNVSTR | 129 |
| 13.8. Сброс от сторожевого таймера..... | 129 |
| 13.8.1. Включение/сброс WDT..... | 130 |
| 13.8.2. Отключение WDT..... | 130 |
| 13.8.3. Блокировка отключения WDT..... | 130 |
| 13.8.4. Установка временного интервала (таймаута) WDT..... | 130 |
| 14. ГЕНЕРАТОРЫ..... | 135 |
| 14.1. Пример использования внешнего резонатора..... | 138 |
| 14.2. Пример использования RC-генератора..... | 138 |
| 14.3. Пример использования внешнего генератора с конденсатором..... | 38 |
| 15. FLASH-ПАМЯТЬ..... | 139 |
| 15.1. Программирование FLASH-памяти..... | 139 |
| 15.2. Долговременное хранение данных..... | 140 |
| 15.3. Защита FLASH-памяти..... | 140 |
| 16. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ ХРАМ..... | 145 |

| | |
|---|------------|
| 16.1. Доступ к памяти XRAM..... | 145 |
| 16.1.1. Пример использования команды MOVX с 16-разрядным адресом..... | 145 |
| 16.1.2. Пример использования команды MOVX с 8-разрядным адресом..... | 145 |
| 16.2. Настройка интерфейса внешней памяти..... | 146 |
| 16.3. Выбор и настройка портов..... | 146 |
| 16.4. Мультиплексированный и не мультиплексированный режимы работы..... | 148 |
| 16.4.1. Мультиплексированный режим..... | 148 |
| 16.4.2. Не мультиплексированный режим..... | 149 |
| 16.5. Выбор режима доступа к памяти..... | 150 |
| 16.5.1. Режим доступа только к внутренней памяти XRAM..... | 150 |
| 16.5.2. Режим раздельного доступа без выбора банка..... | 150 |
| 16.5.3. Режим раздельного доступа с выбором банка..... | 151 |
| 16.5.4. Режим доступа только к внешней памяти..... | 151 |
| 16.6. Тактирование и динамические параметры..... | 151 |
| 16.6.1. Не мультиплексированный режим..... | 153 |
| 16.6.1.1. 16-разр. MOVX: EMI0CF[4:2] = '101', '110', или '111'..... | 153 |
| 16.6.1.2. 8-разр. MOVX без выбора банка: EMI0CF[4:2] = '101' или '111'..... | 154 |
| 16.6.1.3. 8-разр. MOVX с выбором банка: EMI0CF[4:2] = '110'..... | 155 |
| 16.6.2. Мультиплексированный режим..... | 156 |
| 16.6.2.1. 16-разр. MOVX: EMI0CF[4:2] = '001', '010', или '011'..... | 156 |
| 16.6.2.2. 8-разр. MOVX без выбора банка: EMI0CF[4:2] = '001' или '011'..... | 157 |
| 16.6.2.3. 8-разр. MOVX с выбором банка: EMI0CF[4:2] = '010'..... | 158 |
| 17. ПОРТЫ ВВОДА/ВЫВОДА..... | 161 |
| 17.1. Порты 0...3 и приоритетный декодер матрицы..... | 163 |
| 17.1.1. Назначение и распределение выводов при помощи матрицы..... | 163 |
| 17.1.2. Настройка выходных драйверов портов..... | 164 |
| 17.1.3. Настройка выводов портов как цифровых входов..... | 165 |
| 17.1.4. Внешние прерывания (IE6 и IE7)..... | 165 |
| 17.1.5. Слаботочковые подтяжки..... | 165 |
| 17.1.6. Настройка выводов Портa 1 как аналоговых входов (AIN1.[7:0])..... | 165 |
| 17.1.7. Распределение выводов интерфейса внешней памяти..... | 166 |
| 17.1.8. Пример назначения выводов при помощи матрицы..... | 168 |
| 17.2. Порты 4...7 (только C8051F020/2)..... | 177 |
| 17.2.1. Настройка портов, не имеющих внешние выводы..... | 177 |
| 17.2.2. Настройка выходных драйверов портов..... | 177 |
| 17.2.3. Настройка выводов портов как цифровых входов..... | 178 |
| 17.2.4. Слаботочковые подтяжки..... | 178 |
| 17.2.5. Интерфейс внешней памяти..... | 178 |
| 18. МОДУЛЬ SMBus / I2C (SMBUS0)..... | 183 |
| 18.1. Техническая документация..... | 184 |
| 18.2. Протокол SMBus..... | 185 |
| 18.2.1. Арбитраж..... | 185 |
| 18.2.2. Растягивание тактового сигнала..... | 185 |
| 18.2.3. Таймаут низкого уровня на линии SCL..... | 186 |
| 18.2.4. Таймаут высокого уровня на линии SCL (шина SMBus свободна)..... | 186 |

| | |
|--|------------|
| 18.3. Режимы работы модуля SMBus..... | 187 |
| 18.3.1. Режим ведущего передатчика..... | 187 |
| 18.3.2. Режим ведущего приемника..... | 187 |
| 18.3.3. Режим ведомого передатчика..... | 188 |
| 18.3.4. режим ведомого приемника..... | 188 |
| 18.4. Регистры специального назначения модуля SMBus..... | 189 |
| 18.4.1. Регистр управления..... | 189 |
| 18.4.2. регистр установки скорости передачи данных..... | 192 |
| 18.4.3. Регистр данных..... | 193 |
| 18.4.4. Регистр адреса..... | 193 |
| 18.4.5. Регистр состояния..... | 194 |
| 19. МОДУЛЬ SPI (SPI0)..... | 197 |
| 19.1. Описание сигналов шины SPI..... | 198 |
| 19.1.1. Выход ведущего, вход ведомого (MOSI)..... | 198 |
| 19.1.2. Вход ведущего, выход ведомого (MISO)..... | 198 |
| 19.1.3. Тактовые импульсы (SCK)..... | 198 |
| 19.1.4. Выбор ведомого (NSS)..... | 198 |
| 19.2. Режимы работы..... | 199 |
| 19.3. Тактирование..... | 200 |
| 19.4. Регистры специального назначения модуля SPI..... | 201 |
| 20. УАППО..... | 205 |
| 20.1. Режимы работы УАППО..... | 206 |
| 20.1.1. Режим 0: синхронный режим..... | 206 |
| 20.1.2. Режим 1: 8-разр. УАПП, изменяемая скорость передачи..... | 207 |
| 20.1.3. Режим 2: 9-разр. УАПП, фиксированная скорость передачи..... | 208 |
| 20.1.4. Режим 3: 9-разр. УАПП, изменяемая скорость передачи..... | 209 |
| 20.2. Поддержка связи с несколькими МК..... | 210 |
| 20.3. Определение ошибок формата и ошибок передачи..... | 211 |
| 21. УАПП1..... | 215 |
| 21.1. Режимы работы УАПП1..... | 216 |
| 21.1.1. Режим 0: синхронный режим..... | 216 |
| 21.1.2. Режим 1: 8-разр. УАПП, изменяемая скорость передачи..... | 217 |
| 21.1.3. Режим 2: 9-разр. УАПП, фиксированная скорость передачи..... | 218 |
| 21.1.4. Режим 3: 9-разр. УАПП, изменяемая скорость передачи..... | 219 |
| 21.2. Поддержка связи с несколькими МК..... | 220 |
| 21.3. Определение ошибок формата и ошибок передачи..... | 221 |
| 22. ТАЙМЕРЫ..... | 225 |
| 22.1. Таймер 0 и Таймер 1..... | 227 |
| 22.1.1. Режим 0: 13-разрядный таймер/счетчик..... | 227 |
| 22.1.2. Режим 1: 16-разрядный таймер/счетчик..... | 228 |
| 22.1.3. Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой..... | 229 |
| 22.1.4. Режим 3: два 8-разрядных таймера/счетчика (только Таймер 0)..... | 230 |
| 22.2. Таймер 2..... | 234 |
| 22.2.1. Режим 0: 16-разрядный таймер/счетчик с захватом..... | 235 |
| 22.2.2. Режим 1: 16-разрядный таймер/счетчик с автоперезагрузкой..... | 236 |

| | |
|---|------------|
| 22.2.3. Генератор скорости передачи данных..... | 237 |
| 22.3. Таймер 3..... | 240 |
| 22.4. Таймер 4..... | 243 |
| 22.4.1. Режим 0: 16-разрядный таймер/счетчик с захватом..... | 244 |
| 22.4.2. Режим 1: 16-разрядный таймер/счетчик с автоперезагрузкой..... | 245 |
| 22.4.3. Генератор скорости передачи данных..... | 246 |
| 23. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ..... | 249 |
| 23.1. Таймер/Счетчик модуля ПМС..... | 250 |
| 23.2. Модули захват/сравнение..... | 252 |
| 23.2.1. Режим захвата по фронту сигнала..... | 253 |
| 23.2.2. Режим программного таймера (сравнения)..... | 254 |
| 23.2.3. Режим высокоскоростного выхода..... | 255 |
| 23.2.4. Режим выхода заданной частоты..... | 256 |
| 23.2.5. Режим 8-разрядного широтно-импульсного модулятора..... | 257 |
| 23.2.6. Режим 16-разрядного широтно-импульсного модулятора..... | 258 |
| 23.3. Описание регистров модуля ПМС..... | 259 |
| 24. ИНТЕРФЕЙС JTAG (IEEE 1149.1)..... | 265 |
| 24.1. Граничное сканирование..... | 266 |
| 24.1.1. Команда EXTEST..... | 267 |
| 24.1.1. Команда SAMPLE..... | 267 |
| 24.1.1. Команда BYPASS..... | 267 |
| 24.1.1. Команда IDCODE..... | 267 |
| 24.2. Команды программирования Flash-памяти..... | 268 |
| 24.3. Средства поддержки отладки..... | 271 |

Примечания

ПЕРЕЧЕНЬ РИСУНКОВ И ТАБЛИЦ

| | |
|--|-----------|
| 1. КРАТКИЙ ОБЗОР..... | 17 |
| Таблица 1.1. Сравнительная характеристика микроконтроллеров..... | 17 |
| Рисунок 1.1. Структурная схема C8051F020..... | 18 |
| Рисунок 1.2. Структурная схема C8051F021..... | 19 |
| Рисунок 1.3. Структурная схема C8051F022..... | 20 |
| Рисунок 1.4. Структурная схема C8051F023..... | 21 |
| Рисунок 1.5. Максимальная производительность различных микроконтроллеров..... | 22 |
| Рисунок 1.6. Структурная схема модуля тактирования и сброса..... | 23 |
| Рисунок 1.7. Карта распределения памяти..... | 24 |
| Рисунок 1.8. Модель отладки..... | 25 |
| Рисунок 1.9. Структурная схема цифровой матрицы..... | 26 |
| Рисунок 1.10. Структурная схема модуля ПМС..... | 27 |
| Рисунок 1.11. Структурная схема 12-разрядного АЦП..... | 28 |
| Рисунок 1.12. Структурная схема 8-разрядного АЦП..... | 29 |
| Рисунок 1.13. Структурная схема компараторов и ЦАП..... | 30 |
| 2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ..... | 31 |
| 3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ..... | 32 |
| Таблица 3.1. Основные электрические параметры..... | 32 |
| 4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ..... | 33 |
| Таблица 4.1. Описание выводов..... | 33 |
| Рисунок 4.1. Цоколевка корпуса TQFP-100..... | 38 |
| Рисунок 4.2. Чертеж корпуса TQFP-100 | 39 |
| Рисунок 4.3. Цоколевка корпуса TQFP-64..... | 40 |
| Рисунок 4.4. Чертеж корпуса TQFP-64 | 41 |
| 5. 12-разрядный АЦП0 (C8051F020/1)..... | 43 |
| Рисунок 5.1. Функциональная схема 12-разрядного АЦП0..... | 43 |
| Рисунок 5.2. Передаточная характеристика датчика температуры..... | 44 |
| Рисунок 5.3. Временные диаграммы процесса преобразования..... | 45 |
| Рисунок 5.4. Эквивалентные схемы входов АЦП0..... | 46 |
| Рисунок 5.5. AMX0CF: Регистр конфигурации мультиплексора AMUX0 (C8051F020/1)..... | 47 |
| Рисунок 5.6. AMX0SL: Регистр выбора канала мультиплексора AMUX0 (C8051F020/1)..... | 48 |
| Рисунок 5.7. ADC0CF: Регистр конфигурации АЦП0 (C8051F020/1)..... | 49 |
| Рисунок 5.8. ADC0CN: Регистр управления АЦП0 (C8051F020/1)..... | 50 |
| Рисунок 5.9. ADC0H: Регистр старшего байта слова данных АЦП0 (C8051F020/1)..... | 51 |
| Рисунок 5.10. ADC0L: Регистр младшего байта слова данных АЦП0 (C8051F020/1)..... | 51 |
| Рисунок 5.11. Пример слова данных АЦП0 (C8051F020/1)..... | 52 |
| Рисунок 5.12. ADC0GTH: Регистр старшего байта нижней границы диапазона (C8051F020/1)..... | 53 |
| Рисунок 5.13. ADC0GTL: Регистр младшего байта нижней границы диапазона (C8051F020/1)..... | 53 |

| | |
|---|-----------|
| Рисунок 5.14. ADC0LTH: Регистр старшего байта верхней границы диапазона (C8051F020/1)..... | 53 |
| Рисунок 5.15. ADC0LTL: Регистр младшего байта верхней границы диапазона (C8051F020/1)..... | 53 |
| Рисунок 5.16. Пример использования детектора диапазона 12-разрядного АЦПО (данные выровнены вправо, вход одиночный)..... | 54 |
| Рисунок 5.17. Пример использования детектора диапазона 12-разрядного АЦПО (данные выровнены вправо, вход дифференциальный)..... | 55 |
| Рисунок 5.18. Пример использования детектора диапазона 12-разрядного АЦПО (данные выровнены влево, вход одиночный)..... | 56 |
| Рисунок 5.19. Пример использования детектора диапазона 12-разрядного АЦПО (данные выровнены влево, вход дифференциальный)..... | 57 |
| Таблица 5.1. Электрические характеристики 12-разрядного АЦПО (C8051F020/1)..... | 58 |
| 6. 10-разрядный АЦПО (C8051F022/3)..... | 59 |
| Рисунок 6.1. Функциональная схема 10-разрядного АЦПО..... | 59 |
| Рисунок 6.2. Передаточная характеристика датчика температуры..... | 60 |
| Рисунок 6.3. Временные диаграммы процесса преобразования..... | 61 |
| Рисунок 6.4. Эквивалентные схемы входов АЦПО..... | 62 |
| Рисунок 6.5. AMX0CF: Регистр конфигурации мультиплексора AMUX0 (C8051F022/3)..... | 63 |
| Рисунок 6.6. AMX0SL: Регистр выбора канала мультиплексора AMUX0 (C8051F022/3)..... | 64 |
| Рисунок 6.7. ADC0CF: Регистр конфигурации АЦПО (C8051F022/3)..... | 65 |
| Рисунок 6.8. ADC0CN: Регистр управления АЦПО (C8051F022/3)..... | 66 |
| Рисунок 6.9. ADC0H: Регистр старшего байта слова данных АЦПО (C8051F022/3)..... | 67 |
| Рисунок 6.10. ADC0L: Регистр младшего байта слова данных АЦПО (C8051F022/3)..... | 67 |
| Рисунок 6.11. Пример слова данных АЦПО (C8051F022/3)..... | 68 |
| Рисунок 6.12. ADC0GTH: Регистр старшего байта нижней границы диапазона (C8051F022/3)..... | 69 |
| Рисунок 6.13. ADC0GTL: Регистр младшего байта нижней границы диапазона (C8051F022/3)..... | 69 |
| Рисунок 6.14. ADC0LTH: Регистр старшего байта верхней границы диапазона (C8051F022/3)..... | 69 |
| Рисунок 6.15. ADC0LTL: Регистр младшего байта верхней границы диапазона (C8051F022/3)..... | 69 |
| Рисунок 6.16. Пример использования детектора диапазона 10-разрядного АЦПО (данные выровнены вправо, вход одиночный)..... | 70 |
| Рисунок 6.17. Пример использования детектора диапазона 10-разрядного АЦПО (данные выровнены вправо, вход дифференциальный)..... | 71 |
| Рисунок 6.18. Пример использования детектора диапазона 10-разрядного АЦПО (данные выровнены влево, вход одиночный)..... | 72 |
| Рисунок 6.19. Пример использования детектора диапазона 10-разрядного АЦПО (данные выровнены влево, вход дифференциальный)..... | 73 |
| Таблица 6.1. Электрические характеристики 10-разрядного АЦПО (C8051F022/3)..... | 74 |
| 7. 8-разрядный АЦП1 | 75 |
| Рисунок 7.1. Функциональная схема АЦП1..... | 75 |
| Рисунок 7.2. Временные диаграммы процесса преобразования АЦП1..... | 77 |
| Рисунок 7.3. Эквивалентные схемы входов АЦП1..... | 78 |

| | |
|---|------------|
| Рисунок 7.4. ADC1CF: Регистр конфигурации АЦП1 (C8051F020/1/2/3)..... | 79 |
| Рисунок 7.5. AMX1SL: Регистр выбора канала мультиплексора AMUX1 (C8051F020/1/2/3)..... | 79 |
| Рисунок 7.6. ADC1CN: Регистр управления АЦП1 (C8051F020/1/2/3)..... | 80 |
| Рисунок 7.7. ADC1: Регистр слова данных АЦП1 | 81 |
| Рисунок 7.8. Пример слова данных АЦП1 | 81 |
| Таблица 7.1. Электрические характеристики АЦП1..... | 82 |
| 8. 12-разрядный ЦАП | 83 |
| Рисунок 8.1. Функциональная схема ЦАП..... | 83 |
| Рисунок 8.2. DAC0H: Регистр старшего байта ЦАП0..... | 85 |
| Рисунок 8.3. DAC0L: Регистр младшего байта ЦАП0..... | 85 |
| Рисунок 8.4. DAC0CN: Регистр управления ЦАП0..... | 86 |
| Рисунок 8.5. DAC1H: Регистр старшего байта ЦАП1..... | 87 |
| Рисунок 8.6. DAC1L: Регистр младшего байта ЦАП1..... | 87 |
| Рисунок 8.7. DAC1CN: Регистр управления ЦАП1..... | 88 |
| Таблица 8.1. Электрические характеристики ЦАП..... | 89 |
| 9. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F020/2)..... | 91 |
| Рисунок 9.1. Функциональная схема источника опорного напряжения..... | 91 |
| Рисунок 9.2. REF0CN: Регистр управления источником опорного напряжения..... | 92 |
| Таблица 9.1. Электрические характеристики источника опорного напряжения..... | 92 |
| 10. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F021/3)..... | 93 |
| Рисунок 10.1. Функциональная схема источника опорного напряжения..... | 93 |
| Рисунок 10.2. REF0CN: Регистр управления источником опорного напряжения..... | 94 |
| Таблица 10.1. Электрические характеристики источника опорного напряжения..... | 94 |
| 11. КОМПАРАТОРЫ..... | 95 |
| Рисунок 11.1. Функциональная схема компаратора..... | 95 |
| Рисунок 11.2. Гистерезис компаратора..... | 96 |
| Рисунок 11.3. CPT0CN: Регистр управления Компаратора 0..... | 97 |
| Рисунок 11.4. CPT1CN: Регистр управления Компаратора 1..... | 98 |
| Таблица 11.1. Электрические характеристики компаратора..... | 99 |
| 12. ПРОЦЕССОРНОЕ ЯДРО CIP-51..... | 101 |
| Рисунок 12.1. Структурная схема CIP-51..... | 101 |
| Таблица 12.1. Система команд CIP-51..... | 103 |
| Рисунок 12.2. Карта распределения памяти..... | 107 |
| Таблица 12.2. Распределение регистров специального назначения в памяти..... | 109 |
| Таблица 12.3. Регистры специального назначения..... | 109 |
| Рисунок 12.3. SP: Указатель стека..... | 113 |
| Рисунок 12.4. DPL: Младший байт указателя данных..... | 113 |
| Рисунок 12.5. DPH: Старший байт указателя данных..... | 113 |
| Рисунок 12.6. PSW: Слово состояния программы..... | 114 |
| Рисунок 12.7. ACC: Аккумулятор..... | 115 |
| Рисунок 12.8. B: Регистр B..... | 115 |
| Таблица 12.4. Источники прерываний..... | 117 |
| Рисунок 12.9. IE: Регистр разрешения прерываний..... | 119 |
| Рисунок 12.10. IP: Регистр приоритетов прерываний..... | 120 |
| Рисунок 12.11. EIE1: Дополнительный регистр разрешения прерываний 1..... | 121 |
| Рисунок 12.12. EIE2: Дополнительный регистр разрешения прерываний 2..... | 122 |
| Рисунок 12.13. EIP1: Дополнительный регистр приоритетов прерываний 1..... | 123 |

| | |
|--|------------|
| Рисунок 12.14. EIP2: Дополнительный регистр приоритетов прерываний 2..... | 124 |
| Рисунок 12.15. PCON: Регистр управления электропитанием..... | 126 |
| 13. ИСТОЧНИКИ СБРОСА..... | 127 |
| Рисунок 13.1. Структурная схема источников сброса..... | 127 |
| Рисунок 13.2. Временная диаграмма работы схемы слежения за напряжением питания... | 128 |
| Рисунок 13.3. WDTCN: Регистр управления сторожевым таймером..... | 131 |
| Рисунок 13.4. RSTSRC: Регистр источников сброса..... | 132 |
| Таблица 13.1. Электрические параметры источников сброса..... | 133 |
| 14. ГЕНЕРАТОРЫ..... | 135 |
| Рисунок 14.1. Структурная схема генератора..... | 135 |
| Рисунок 14.2. OSCICN: Регистр управления внутренним генератором..... | 136 |
| Таблица 14.1. Электрические параметры внутреннего генератора..... | 136 |
| Рисунок 14.3. OSCXCN: Регистр управления внешним генератором..... | 137 |
| 15. FLASH ПАМЯТЬ..... | 139 |
| Таблица 15.1. Электрические параметры FLASH-памяти..... | 140 |
| Рисунок 15.1. Карта распределения и байты защиты FLASH-памяти программ..... | 141 |
| Рисунок 15.2. FLACL: Регистр ограничения доступа к FLASH-памяти | 142 |
| Рисунок 15.3. FLSCL: Регистр управления контроллером FLASH-памяти | 143 |
| Рисунок 15.4. PSCTL: Регистр управления записью/стиранием памяти программ..... | 144 |
| 16. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ ХРАМ..... | 145 |
| Рисунок 16.1. EMI0CN: Регистр управления интерфейсом внешней памяти..... | 147 |
| Рисунок 16.2. EMI0CF: Регистр конфигурации внешней памяти..... | 147 |
| Рисунок 16.3. Пример конфигурации с мультиплексированной шиной адреса/данных..... | 148 |
| Рисунок 16.4. Пример конфигурации с немultipлексированной шиной адреса/данных..... | 149 |
| Рисунок 16.5. Режимы работы интерфейса внешней памяти..... | 150 |
| Рисунок 16.6. EMI0TC: Регистр управления временными параметрами внешней памяти..... | 152 |
| Рисунок 16.7. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 16-разр. MOVX)..... | 153 |
| Рисунок 16.8. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 8-разр. MOVX без выбора банка)..... | 154 |
| Рисунок 16.9. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 8-разр. MOVX с выбором банка)..... | 155 |
| Рисунок 16.10. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 16-разр. MOVX)..... | 156 |
| Рисунок 16.11. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX без выбора банка)..... | 157 |
| Рисунок 16.12. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX с выбором банка)..... | 158 |
| Таблица 16.1. Временные параметры интерфейса внешней памяти..... | 159 |
| 17. ПОРТЫ ВВОДА/ВЫВОДА..... | 161 |
| Рисунок 17.1. Структурная схема ячейки порта ввода/вывода..... | 161 |
| Таблица 17.1. Электрические характеристики портов ввода/вывода..... | 161 |
| Рисунок 17.2. Функциональная схема младших портов ввода/вывода..... | 162 |

| | |
|---|------------|
| Рисунок 17.3. Таблица декодирования приоритетов матрицы..... | 163 |
| Рисунок 17.4. Таблица декодирования приоритетов матрицы..... | 166 |
| Рисунок 17.5. Таблица декодирования приоритетов матрицы..... | 167 |
| Рисунок 17.6. Пример использования матрицы..... | 169 |
| Рисунок 17.7. XBR0: Регистр 0 матрицы портов ввода/вывода..... | 170 |
| Рисунок 17.8. XBR1: Регистр 1 матрицы портов ввода/вывода..... | 171 |
| Рисунок 17.9. XBR2: Регистр 2 матрицы портов ввода/вывода..... | 172 |
| Рисунок 17.10. P0: Регистр данных Porta 0..... | 173 |
| Рисунок 17.11. P0MDOUT: Регистр настройки выходов Porta 0..... | 173 |
| Рисунок 17.12. P1: Регистр данных Porta 1..... | 174 |
| Рисунок 17.13. P1MDIN: Регистр настройки входов Porta 1..... | 174 |
| Рисунок 17.14. P1MDOUT: Регистр настройки выходов Porta 1..... | 175 |
| Рисунок 17.15. P2: Регистр данных Porta 2..... | 175 |
| Рисунок 17.16. P2MDOUT: Регистр настройки выходов Porta 2..... | 175 |
| Рисунок 17.17. P3: Регистр данных Porta 3..... | 176 |
| Рисунок 17.18. P3MDOUT: Регистр настройки выходов Porta 3..... | 176 |
| Рисунок 17.19. P3IF: Регистр флагов прерываний от Porta 3..... | 177 |
| Рисунок 17.20. P74OUT: Регистр настройки выходов Портов 7-4..... | 179 |
| Рисунок 17.21. P4: Регистр данных Porta 4..... | 180 |
| Рисунок 17.22. P5: Регистр данных Porta 5..... | 180 |
| Рисунок 17.23. P6: Регистр данных Porta 6..... | 181 |
| Рисунок 17.24. P7: Регистр данных Porta 7..... | 181 |
| 18. МОДУЛЬ SMBus / I2C (SMBUS0)..... | 183 |
| Рисунок 18.1. Структурная схема модуля SMBus..... | 183 |
| Рисунок 18.2. Подключение к шине SMBus | 184 |
| Рисунок 18.3. Формат сообщения SMBus..... | 185 |
| Рисунок 18.4. Передача данных в режиме ведущего..... | 187 |
| Рисунок 18.5. Прием данных в режиме ведущего..... | 187 |
| Рисунок 18.6. Передача данных в режиме ведомого..... | 188 |
| Рисунок 18.7. Прием данных в режиме ведомого..... | 188 |
| Рисунок 18.8. SMB0CN: Регистр управления модуля SMBus0..... | 191 |
| Рисунок 18.9. SMB0CR: Регистр установки тактовой частоты модуля SMBus0..... | 192 |
| Рисунок 18.10. SMB0DAT: Регистр данных модуля SMBus0..... | 193 |
| Рисунок 18.11. SMB0ADR: Регистр адреса модуля SMBus0..... | 193 |
| Рисунок 18.12. SMB0STA: Регистр состояния модуля SMBus0..... | 194 |
| Таблица 18.1. Коды состояния модуля SMBus0..... | 195 |
| 19. МОДУЛЬ SPI (SPI0)..... | 197 |
| Рисунок 19.1. Структурная схема модуля SPI0..... | 197 |
| Рисунок 19.2. Подключение к шине SPI0..... | 198 |
| Рисунок 19.3. Полнодуплексный режим работы | 199 |
| Рисунок 19.4. Временные диаграммы сигналов данных/тактирования..... | 200 |
| Рисунок 19.5. SPI0CFG: Регистр конфигурации модуля SPI0..... | 201 |
| Рисунок 19.6. SPI0CN: Регистр управления модуля SPI0..... | 202 |
| Рисунок 19.7. SPI0CKR: Регистр установки тактовой частоты модуля SPI0..... | 203 |
| Рисунок 19.8. SPI0DAT: Регистр данных модуля SPI0..... | 203 |
| 20. УАППО..... | 205 |
| Рисунок 20.1. Структурная схема УАППО..... | 205 |
| Таблица 20.1. Режимы работы УАППО..... | 206 |

| | |
|---|------------|
| Рисунок 20.2. Пример использования УАППО в режиме 0..... | 206 |
| Рисунок 20.3. Временные диаграммы УАППО в режиме 0..... | 206 |
| Рисунок 20.4. Временные диаграммы УАППО в режиме 1..... | 207 |
| Рисунок 20.5. Временные диаграммы УАППО в режиме 2 и 3..... | 208 |
| Рисунок 20.6. Пример использования УАППО в режимах 1, 2 и 3..... | 209 |
| Рисунок 20.7. Пример использования УАППО в многопроцессорном режиме..... | 210 |
| Таблица 20.2. Тактовые частоты, соответствующие стандартным скоростям обмена..... | 212 |
| Рисунок 20.8. SCON0: Регистр управления УАППО..... | 213 |
| Рисунок 20.9. SBUF0: Регистр буфера данных УАППО..... | 214 |
| Рисунок 20.10. SADDR0: Регистр адреса ведомого УАППО..... | 214 |
| Рисунок 20.11. SADEN0: Регистр разрешения адреса ведомого УАППО..... | 214 |
| 21. УАПП1..... | 215 |
| Рисунок 21.1. Структурная схема УАПП1..... | 215 |
| Таблица 21.1. Режимы работы УАПП1..... | 216 |
| Рисунок 21.2. Пример использования УАПП1 в режиме 0..... | 216 |
| Рисунок 21.3. Временные диаграммы УАПП1 в режиме 0..... | 216 |
| Рисунок 21.4. Временные диаграммы УАПП1 в режиме 1..... | 217 |
| Рисунок 21.5. Временные диаграммы УАПП1 в режиме 2 и 3..... | 218 |
| Рисунок 21.6. Пример использования УАПП1 в режимах 1, 2 и 3..... | 219 |
| Рисунок 21.7. Пример использования УАПП1 в многопроцессорном режиме..... | 220 |
| Таблица 21.2. Тактовые частоты, соответствующие стандартным скоростям обмена..... | 222 |
| Рисунок 21.8. SCON1: Регистр управления УАПП1..... | 223 |
| Рисунок 21.9. SBUF1: Регистр буфера данных УАПП1..... | 224 |
| Рисунок 21.10. SADDR1: Регистр адреса ведомого УАПП1..... | 224 |
| Рисунок 21.11. SADEN1: Регистр разрешения адреса ведомого УАПП1..... | 224 |
| 22. ТАЙМЕРЫ..... | 225 |
| Рисунок 22.1. SKCON: Регистр управления тактированием таймеров 0, 1, 2 и 4..... | 226 |
| Рисунок 22.2. Структурная схема таймера 0 в режиме 0..... | 228 |
| Рисунок 22.3. Структурная схема таймера 0 в режиме 2..... | 229 |
| Рисунок 22.4. Структурная схема таймера 0 в режиме 3..... | 230 |
| Рисунок 22.5. TCON: Регистр управления таймерами 0 и 1..... | 231 |
| Рисунок 22.6. TMOD: Регистр режима таймеров 0 и 1..... | 232 |
| Рисунок 22.7. TL0: Младший байт таймера 0..... | 233 |
| Рисунок 22.8. TL1: Младший байт таймера 1..... | 233 |
| Рисунок 22.9. TH0: Старший байт таймера 0..... | 233 |
| Рисунок 22.10. TH1: Старший байт таймера 1..... | 233 |
| Рисунок 22.11. Структурная схема таймера 2 в режиме 0..... | 235 |
| Рисунок 22.12. Структурная схема таймера 2 в режиме 1..... | 236 |
| Рисунок 22.13. Структурная схема таймера 2 в режиме 2..... | 237 |
| Рисунок 22.14. T2CON: Регистр управления таймером 2..... | 238 |
| Рисунок 22.15. RCAP2L: Младший байт регистра захвата таймера 2..... | 239 |
| Рисунок 22.16. RCAP2H: Старший байт регистра захвата таймера 2..... | 239 |
| Рисунок 22.17. TL2: Младший байт таймера 2..... | 239 |
| Рисунок 22.18. TH2: Старший байт таймера 2..... | 239 |
| Рисунок 22.19. Структурная схема таймера 3..... | 240 |
| Рисунок 22.20. TMR3CN: Регистр управления таймером 3..... | 241 |
| Рисунок 22.21. TMR3RL: Младший байт регистра перезагрузки таймера 3..... | 241 |
| Рисунок 22.22. TMR3RLH: Старший байт регистра перезагрузки таймера 3..... | 242 |
| Рисунок 22.23. TMR3L: Младший байт таймера 3..... | 242 |

| | |
|--|------------|
| Рисунок 22.24. TMR3H: Старший байт таймера 3..... | 242 |
| Рисунок 22.25. Структурная схема таймера 4 в режиме 0..... | 244 |
| Рисунок 22.26. Структурная схема таймера 4 в режиме 1..... | 245 |
| Рисунок 22.27. Структурная схема таймера 4 в режиме 2..... | 246 |
| Рисунок 22.28. T4CON: Регистр управления таймером 4..... | 247 |
| Рисунок 22.29. RCAP4L: Младший байт регистра захвата таймера 4..... | 248 |
| Рисунок 22.30. RCAP4H: Старший байт регистра захвата таймера 4..... | 248 |
| Рисунок 22.31. TL4: Младший байт таймера 4..... | 248 |
| Рисунок 22.32. TH4: Старший байт таймера 4..... | 248 |
| 23. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ..... | 249 |
| Рисунок 23.1. Структурная схема ПМС..... | 249 |
| Рисунок 23.2. Структурная схема таймера/счетчика ПМС..... | 250 |
| Таблица 23.1. Выбор тактового сигнала для ПМС..... | 250 |
| Рисунок 23.3. Схема формирования прерывания от ПМС..... | 252 |
| Таблица 23.2. Настройка модулей захват/сравнение в регистре PCA0CPM..... | 252 |
| Рисунок 23.4 Структурная схема ПМС в режиме захвата..... | 253 |
| Рисунок 23.5. Структурная схема ПМС в режиме программного таймера..... | 254 |
| Рисунок 23.6. Структурная схема ПМС в режиме высокоскоростного выхода..... | 255 |
| Рисунок 23.7. Структурная схема ПМС в режиме выхода заданной частоты..... | 256 |
| Рисунок 23.8. Структурная схема ПМС в 8-разр. режиме ШИМ..... | 257 |
| Рисунок 23.9. Структурная схема ПМС в 16-разр. режиме ШИМ..... | 258 |
| Рисунок 23.10. PCA0CN: Регистр управления ПМС..... | 259 |
| Рисунок 23.11. PCA0MD: Регистр режима ПМС..... | 260 |
| Рисунок 23.12. PCA0CPMn: Регистры управления модулями захват/сравнение..... | 261 |
| Рисунок 23.13. PCA0L: Младший байт таймера/счетчика ПМС..... | 262 |
| Рисунок 23.14. PCA0H: Старший байт таймера/счетчика ПМС..... | 262 |
| Рисунок 23.15. PCA0CPLn: Младший байт модуля захвата ПМС..... | 263 |
| Рисунок 23.16. PCA0CPHn: Старший байт модуля захвата ПМС..... | 263 |
| 24. ИНТЕРФЕЙС JTAG (IEEE 1149.1) | 265 |
| Рисунок 24.1. IR: Регистр команд интерфейса JTAG | 265 |
| Таблица 24.1. Описание бит регистра данных интерфейса граничного сканирования..... | 266 |
| Рисунок 24.2. DEVICEID: Регистр JTAG идентификатора устройства..... | 267 |
| Рисунок 24.3. FLASHCON: Регистр управления режимами чтения/записи Flash-памяти интерфейса JTAG..... | 269 |
| Рисунок 24.4. FLASHADR: Регистр адреса Flash-памяти интерфейса JTAG | 270 |
| Рисунок 24.5. FLASHDAT: Регистр данных Flash-памяти интерфейса JTAG..... | 270 |

Примечания

КРАТКИЙ ОБЗОР

Микроконтроллеры (МК) C8051F020/1/2/3 представляют собой полностью интегрированные на одном кристалле системы для обработки смешанных (аналого-цифровых) сигналов, которые имеют 64 (C8051F020/2) или 32 (C8051F021/3) цифровых входа/выхода. Отличительные особенности данного семейства МК перечислены ниже. Сравнительная характеристика МК приведена в таблице 1.1.

- Высокопроизводительное микропроцессорное ядро CIP-51 с конвейерной архитектурой, совместимое со стандартом 8051 (максимальная производительность – 25 MIPS).
- Встроенные средства отладки, обеспечивающие внутрисистемную, «неразрушающую» отладку в режиме реального времени.
- 12-разрядный (C8051F020/1) или 10-разрядный (C8051F022/3) 8-канальный АЦП (максимальная производительность – 100 тыс. преобр./сек.) с программируемым усилителем и аналоговым мультиплексором.
- 8-разрядный 8-канальный АЦП (максимальная производительность – 500 тыс. преобр./сек.) с программируемым усилителем и аналоговым мультиплексором.
- Два 12-разрядных ЦАП с программируемым обновлением выходного сигнала.
- 64 Кбайта Flash-памяти, программируемой внутрисистемно.
- 4352 (4096 + 256) байт встроенного ОЗУ.
- Интерфейс внешней памяти данных с доступным адресным пространством 64 Кбайта.
- Аппаратно реализованные последовательные интерфейсы I²C/SMBus, SPI и два УАПП.
- Пять 16-разрядных таймеров общего назначения.
- Программируемый массив счетчиков/таймеров (ПМС) с пятью модулями захвата/сравнения.
- Встроенные сторожевой таймер, схема слежения за напряжением питания и датчик температуры.

Все МК имеют встроенные схему слежения за напряжением питания, сторожевой таймер, тактовый генератор и представляют собой, таким образом, функционально-законченную систему на кристалле. Все аналоговые и цифровые периферийные модули могут включаться/отключаться и настраиваться программой пользователя. Имеется возможность внутрисхемного программирования Flash-памяти, что обеспечивает долговременное (энергонезависимое) хранение данных, а также позволяет осуществлять обновление программного обеспечения в готовых изделиях.

Встроенный интерфейс JTAG позволяет производить «неразрушающую» (не используются внутренние ресурсы) внутрисхемную отладку в режиме реального времени, используя МК, установленные в конечное изделие. Средства отладки обеспечивают проверку и модификацию памяти и регистров, расстановку точек останова и временных меток, пошаговое исполнение программы, а также поддерживают команды запуска и остановки. В процессе отладки с использованием интерфейса JTAG все аналоговые и цифровые периферийные модули полностью сохраняют свою работоспособность.

Каждый МК предназначен для работы в промышленном температурном диапазоне (-45°C...+85°C) при напряжении питания 2,7В...3,6В. На порты ввода/вывода, выводы интерфейса JTAG, а также на вывод /RST могут быть поданы входные сигналы напряжением до 5В. МК C8051F020/2 выпускаются в 100-выводных корпусах типа TQFP (структурные схемы приведены на рис.1.1 и рис.1.3). МК C8051F021/3 выпускаются в 64-выводных корпусах типа TQFP (структурные схемы приведены на рис.1.2 и рис.1.4).

Таблица 1.1. Сравнительная характеристика микроконтроллеров

| | MIPS (макс.) | FLASH - память | ОЗУ | Интерфейс внешней памяти | SMBus/I ² C | SPI | UART | Таймеры (16-разр.) | Программируемый массив счетчиков | Цифровые порты ввода/вывода | Количество каналов 12-разр. АЦП (100 тыс. преобр./сек.) | Количество каналов 10-разр. АЦП (100 тыс. преобр./сек.) | Количество каналов 8-разр. АЦП (500 тыс. преобр./сек.) | Источник опорного напряжения | Датчик температуры | Разрядность ЦАП (бит) | Выходы ЦАП | Аналоговые компараторы | Тип корпуса |
|-----------|--------------|----------------|------|--------------------------|------------------------|-----|------|--------------------|----------------------------------|-----------------------------|---|---|--|------------------------------|--------------------|-----------------------|------------|------------------------|-------------|
| C8051F020 | 25 | 64k | 4352 | √ | √ | √ | 2 | 5 | √ | 64 | 8 | - | 8 | √ | √ | 12 | 2 | 2 | 100TQFP |
| C8051F021 | 25 | 64k | 4352 | √ | √ | √ | 2 | 5 | √ | 32 | 8 | - | 8 | √ | √ | 12 | 2 | 2 | 64TQFP |
| C8051F022 | 25 | 64k | 4352 | √ | √ | √ | 2 | 5 | √ | 64 | - | 8 | 8 | √ | √ | 12 | 2 | 2 | 100TQFP |
| C8051F023 | 25 | 64k | 4352 | √ | √ | √ | 2 | 5 | √ | 32 | - | 8 | 8 | √ | √ | 12 | 2 | 2 | 64TQFP |

Рисунок 1.1. Структурная схема C8051F020

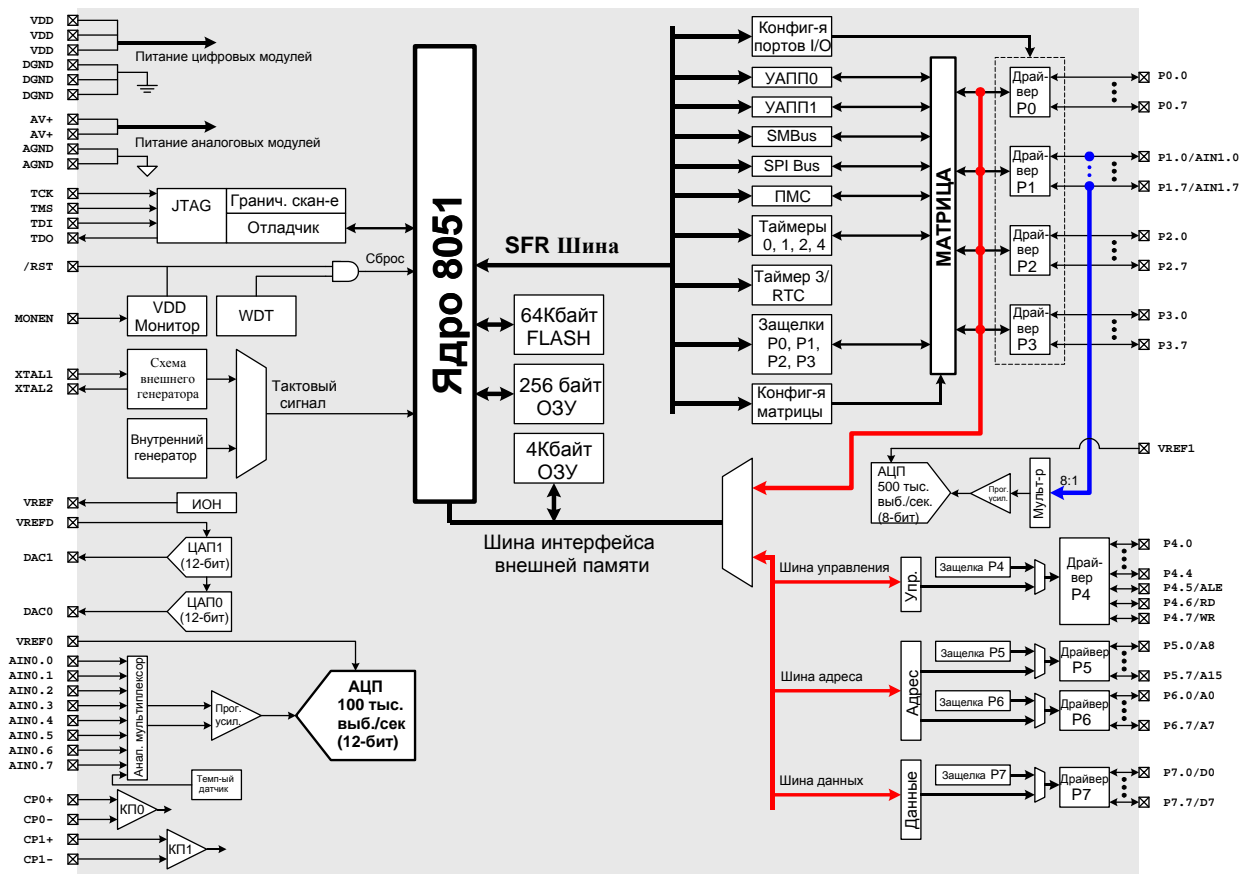
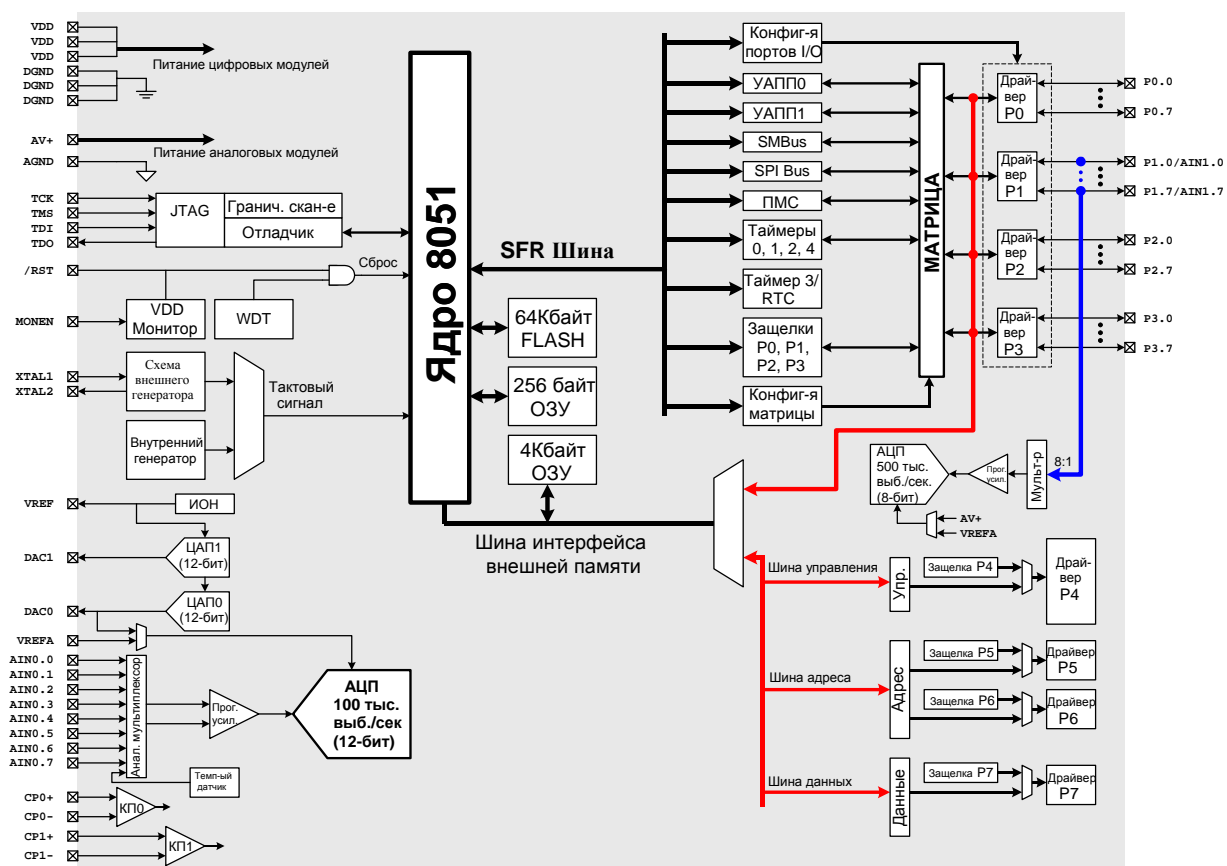


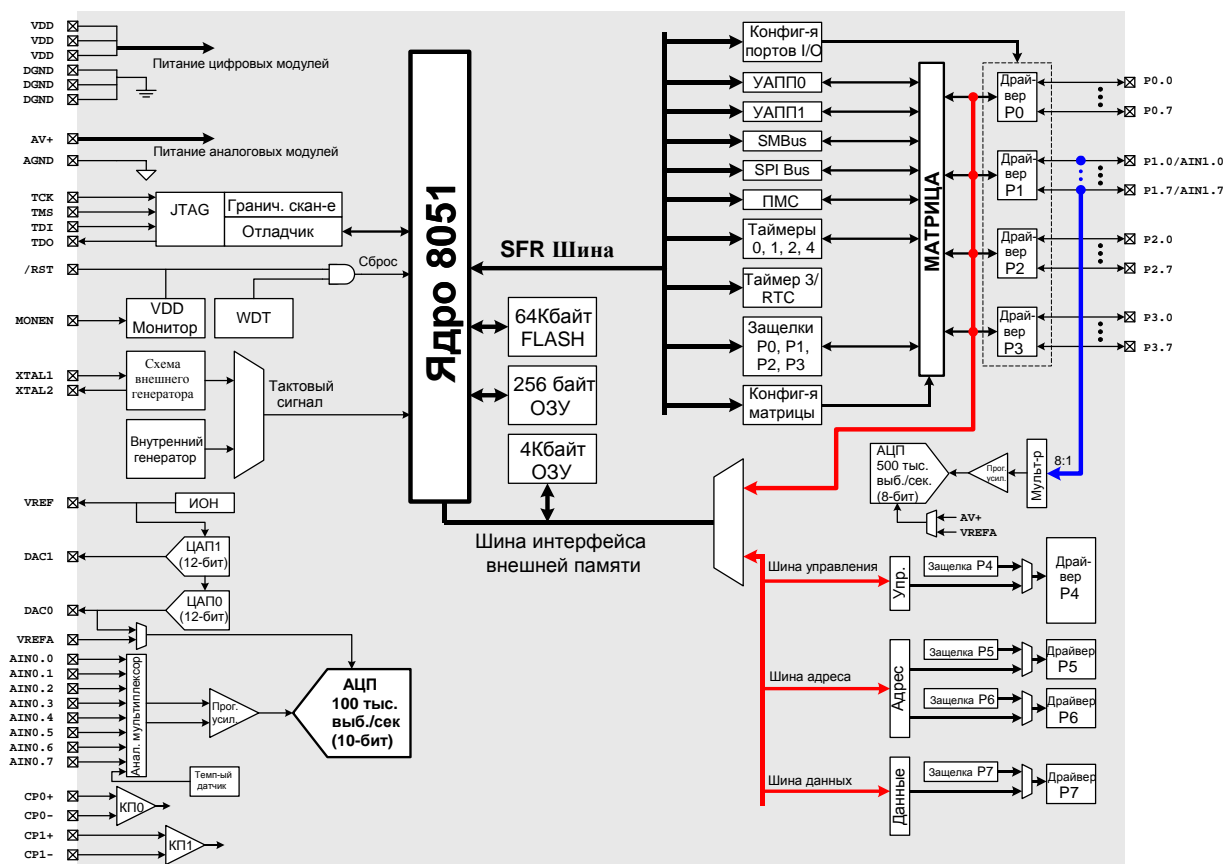
Рисунок 1.2. Структурная схема С8051F021



Ред. 1.4



Рисунок 1.4. Структурная схема C8051F023



1.1. Процессорное ядро CIP-51™

1.1.1. Полностью 8051-совместимая архитектура

МК семейства C8051F02x используют разработанное фирмой Silicon Labs' процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51™. Для разработки программного обеспечения могут использоваться стандартные 803x/805x ассемблеры и компиляторы. Ядро содержит все периферию, соответствующую стандарту 8052, включая пять 16-разрядных таймеров/счетчиков, два полнодуплексных УАПЧ, 256 байт внутреннего ОЗУ, 128 байт адресного пространства регистров специального назначения, а также 8/4 8-разрядных порта ввода/вывода.

1.1.2. Улучшенная производительность

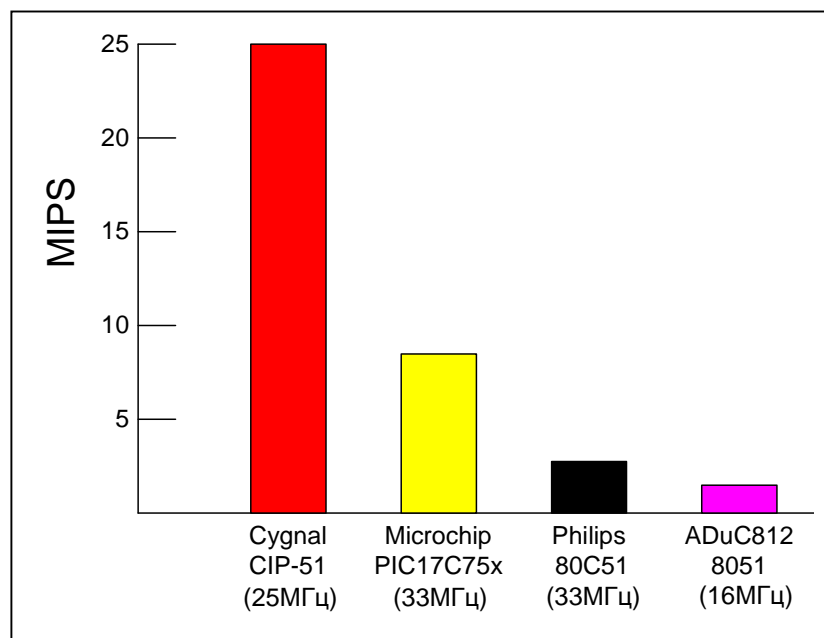
CIP-51 использует конвейерную архитектуру, что существенно повышает скорость исполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 системных тактовых цикла при максимальной тактовой частоте 12...24 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два системных тактовых цикла, и только четыре команды требуют более четырех системных тактовых циклов.

Система команд CIP-51 состоит из 109 команд, которые требуют от одного до восьми системных тактовых циклов:

| Количество команд | 26 | 50 | 5 | 14 | 7 | 3 | 1 | 2 | 1 |
|--------------------------------------|----|----|-----|----|-----|---|-----|---|---|
| Количество системных тактовых циклов | 1 | 2 | 2/3 | 3 | 3/4 | 4 | 4/5 | 5 | 8 |

При работе на тактовой частоте 25 МГц производительность ядра CIP-51 может достигать 25 MIPS. На рис.1.5 показана пиковая производительность различных 8-разрядных МК, работающих на максимально возможных для них частотах.

Рисунок 1.5. Максимальная производительность различных микроконтроллеров



1.1.3. Дополнительные функции

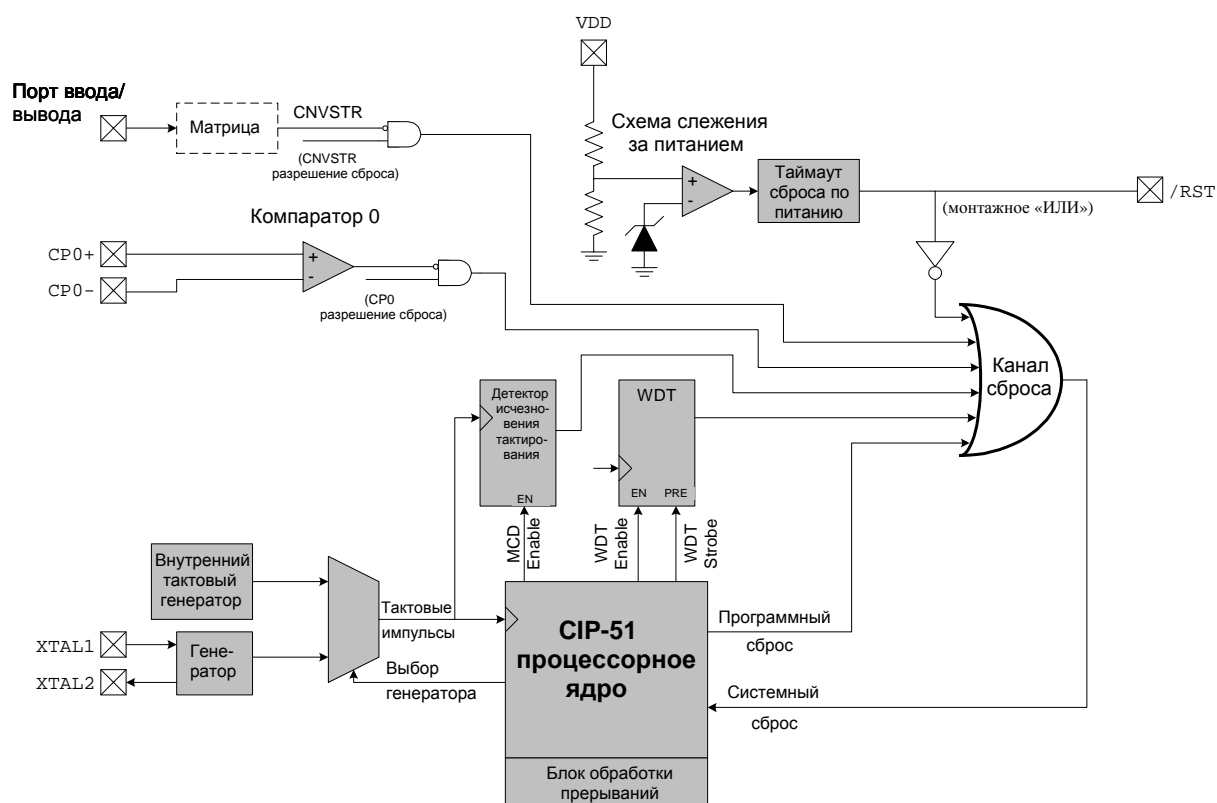
МК семейства C8051F02x имеют ряд важных особенностей, которые позволяют улучшить общую производительность и упростить использование МК в конечных приложениях.

22 источника прерываний (8051 имеет 7 источников прерываний) позволяют многочисленным аналоговым и цифровым периферийным модулям прерывать работу МК. Система управления прерываниями требует меньшего вмешательства со стороны программы, что улучшает ее производительность. Дополнительные источники прерываний очень полезны при построении многозадачных систем, работающих в режиме реального времени.

Имеется семь источников сброса: встроенная схема слежения за напряжением питания, сторожевой таймер, детектор исчезновения тактирования, компаратор 0, принудительный программный сброс, вывод CNVSTR и вывод /RST. Вывод /RST является двунаправленным, т.е. может быть как входом внешнего сигнала сброса, так и выходом сигнала сброса, сгенерированного внутри МК схемой слежения за питанием. Любой источник сброса, за исключением схемы слежения за питанием и входных выводов сброса, могут быть отключены программно; для включения/отключения схемы слежения за питанием используется вывод MONEN. Сторожовой таймер может быть включен после сброса типа POR (сброс при включении питания) в процессе инициализации МК.

МК имеет внутренний тактовый генератор, который после сброса используется как источник тактовых импульсов по умолчанию. При необходимости можно “на лету” подключить внешний тактовый генератор, который для генерации тактовых импульсов использует кварцевый или керамический резонатор, конденсатор, RC-цепочку или внешний источник импульсов. В приложениях с пониженным энергопотреблением крайне полезным может быть режим работы МК с медленным (мало потребляющим) внешним кварцевым генератором с периодическим переключением на быстрый (до 16 МГц) внутренний генератор.

Рисунок 1.6. Структурная схема модуля тактирования и сброса



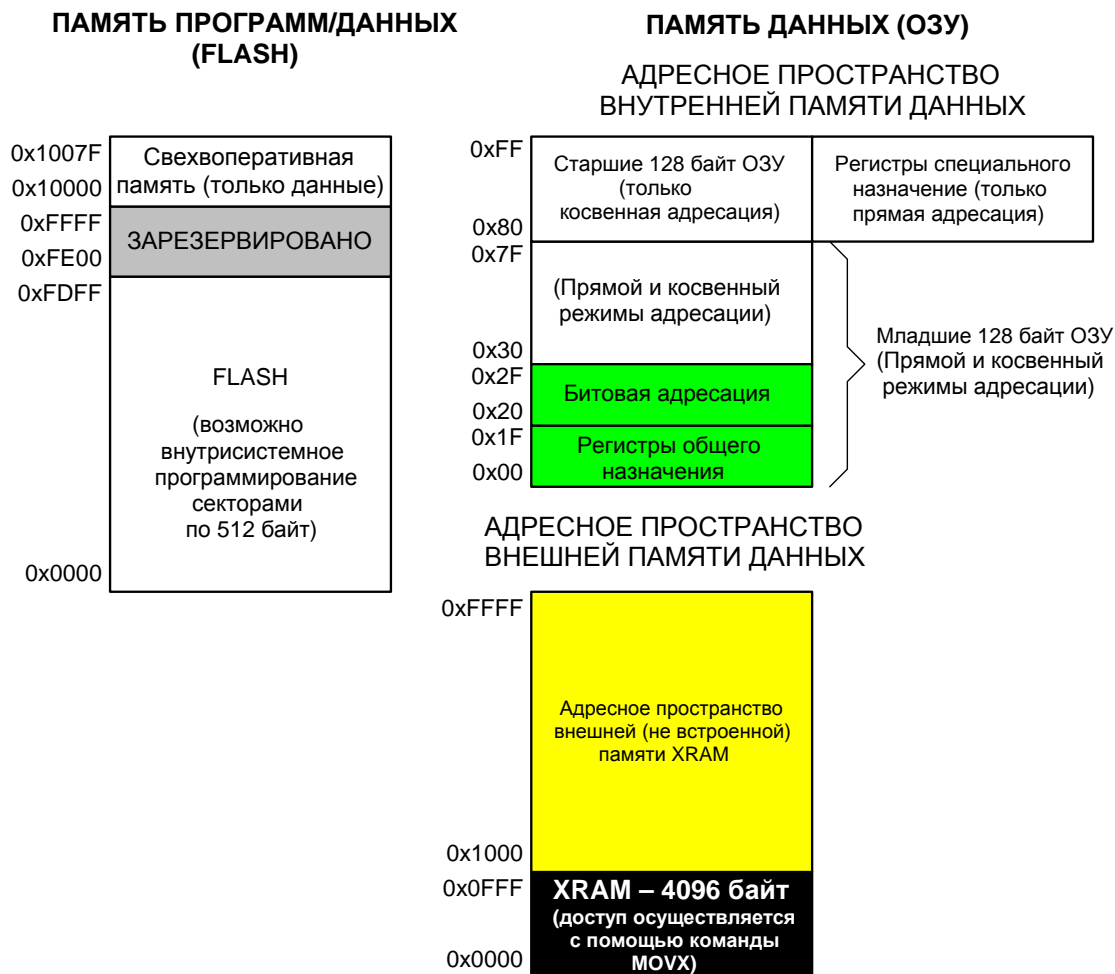
1.2. Встроенная память

CIP-51 имеет стандартную (8051) структуру адресного пространства памяти программ и данных. В состав памяти входит ОЗУ объемом 256 байт, старшие 128 байт которого имеют двойную конфигурацию. В режиме косвенной адресации осуществляется доступ к старшим 128 байтам ОЗУ общего назначения, а в режиме прямой адресации осуществляется доступ к 128 байтам адресного пространства регистров специального назначения. Младшие 128 байт ОЗУ доступны как для прямой, так и для косвенной адресации. Из них первые 32 байта адресуются как четыре банка регистров общего назначения, а следующие 16 байт адресуются побайтно или побитно.

МК C8051F020/1/2/3 дополнительно имеют блок 4-Кбайтного ОЗУ в адресном пространстве внешней памяти данных, а также интерфейс внешней памяти (external memory interface – EMIF) для доступа к внешней памяти данных. К встроенному 4-Кбайтному блоку памяти можно обращаться во всем диапазоне адресов 64 Кбайтной внешней памяти данных (см. рис. 1.7). На адресное пространство внешней памяти данных может быть отображена либо только встроенная память, либо только внешняя память, либо их комбинация (адреса до 4Кбайт относятся к встроенной памяти, адреса свыше 4Кбайт относятся к EMIF). EMIF может работать с мультиплексированными и не мультиплексированными шинами адреса/данных.

Память программ МК состоит из 64 Кбайт Flash-памяти. Эта память может перепрограммироваться внутрисистемно секторами по 512 байт, не требуя при этом специального внешнего напряжения программирования. 512 байт с адресами от 0xFE00 до 0xFFFF зарезервированы для нужд производителя. Имеется также дополнительный 128-байтный сектор с адресами от 0x10000 до 0x1007F, который может использоваться в качестве небольшой таблицы программных констант. На рис.1.7 приведена карта распределения памяти МК.

Рисунок 1.7. Карта распределения памяти



1.3. JTAG ОТЛАДЧИК И ИНТЕРФЕЙС ГРАНИЧНОГО СКАНИРОВАНИЯ

МК семейства C8051F02x имеют встроенный интерфейс JTAG и отладчик, которые позволяют осуществлять в режиме реального времени «неразрушающую» (не используются внутренние ресурсы) внутрисхемную отладку, используя МК, установленный в конечное изделие. Посредством JTAG интерфейса, полностью совместимого с протоколом IEEE 1149.1, осуществляется граничное сканирование, которое используется для тестирования и производственных испытаний.

Средства отладки фирмы Silicon Labs[®] поддерживают проверку и модификацию памяти и регистров, расстановку точек останова и временных меток, контроль стека, пошаговую отладку. При этом не требуется никаких специальных дополнительных ОЗУ, памяти программ, таймеров или каналов связи. Во время отладки все цифровые и аналоговые периферийные модули не отключаются и работают корректно. При остановке МК в точке останова или при пошаговой отладке работа всех периферийных модулей (кроме АЦП и SMBus) блокируется, что необходимо для удержания их в режиме синхронизации.

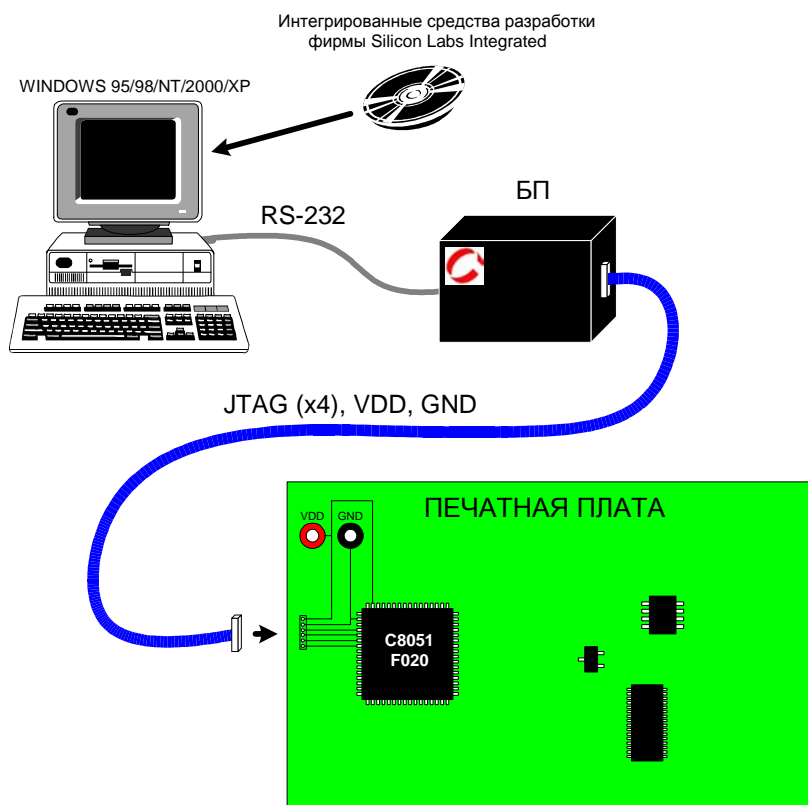
Комплект средств разработки C8051F020DK содержит все необходимые аппаратные и программные средства для разработки программного кода и выполнения внутрисхемной отладки систем на основе МК C8051F020/1/2/3. Эти комплекты включают в себя программный пакет с интегрированной средой разработки и отладки, интегрированный ассемблер стандарта 8051, блок-преобразователь (БП) RS-232/JTAG. Кроме этого имеется демонстрационная плата с установленным МК, кабели RS-232 и JTAG, а также блок питания в отдельном корпусе. Для работы необходим компьютер с ОС Windows 95/98/NT/2000/XP и свободным последовательным портом RS-232. Как показано на рис.1.8, компьютер через порт RS-232 подключается к БП. БП соединяется с платой пользователя шестижильным плоским кабелем, четыре провода которого используются интерфейсом JTAG, а два провода необходимы для подачи питания с платы пользователя на БП. БП потребляет приблизительно 20мА при напряжении 2,7...3,6В. Если плата пользователя не может обеспечить необходимое питание БП, можно использовать входящий в комплект средств разработки блок питания, подключив его непосредственно к БП.

По сравнению со стандартными симуляторами такой способ разработки и отладки встроенных систем обеспечивает следующие преимущества:

- не требуется отладочный кристалл;
- не используются специализированные кабели;
- не требуется использовать разъем для установки МК на плату.

Отладочная среда фирмы Silicon Labs[®] обеспечивает удобство работы с прецизионными аналоговыми периферийными модулями и при этом не ухудшает их производительности.

Рисунок 1.8. Модель отладки



1.4. Программируемые цифровые порты ввода/вывода и матрица соединений

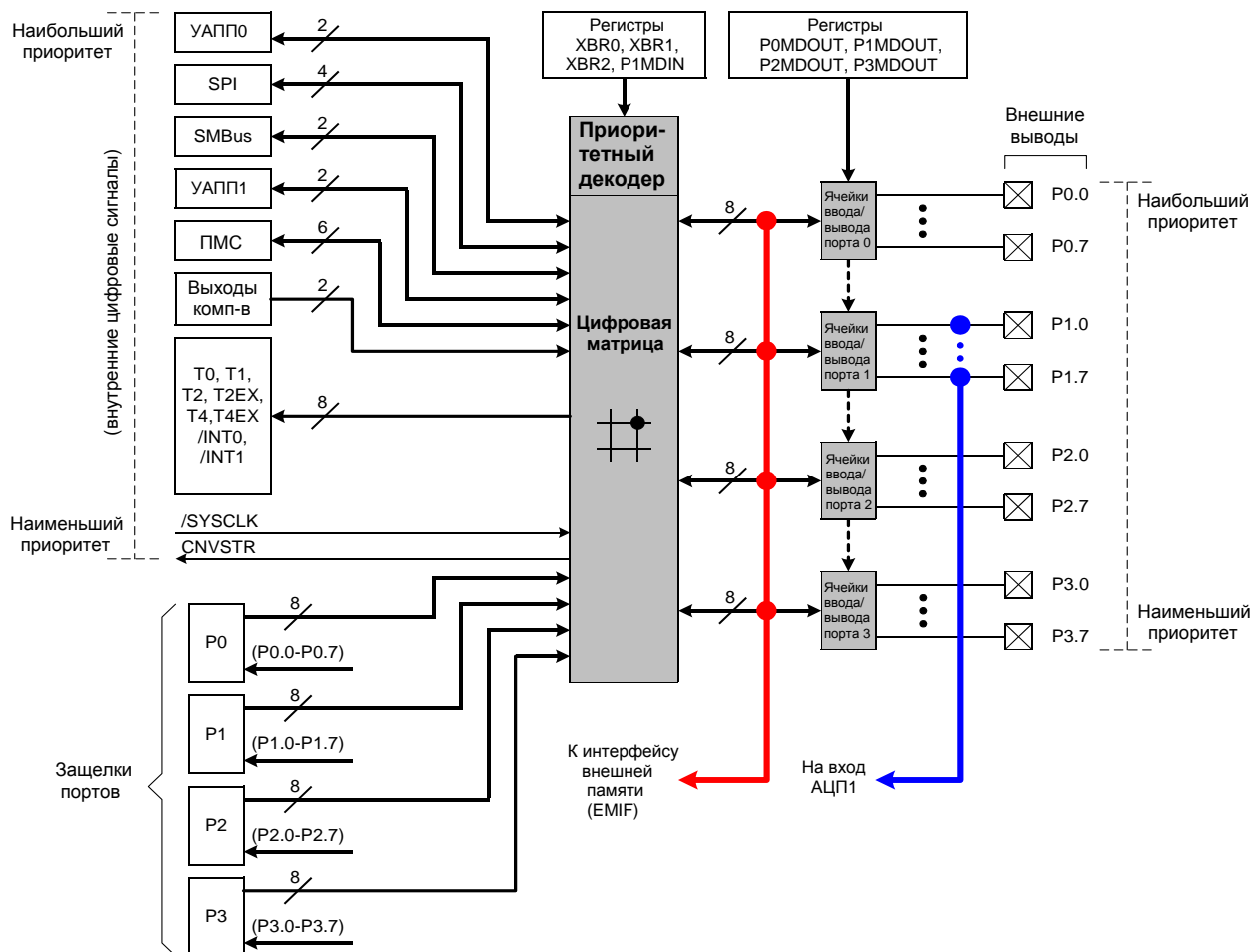
МК имеет стандартные для архитектуры 8051 порты (0, 1, 2 и 3). МК C8051F020/2 имеют четыре дополнительных порта (4, 5, 6 и 7). Порты функционируют в соответствии со стандартом 8051 с некоторыми дополнительными возможностями.

Каждый вывод порта может быть настроен либо как цифровой вход-выход, либо как выход с открытым стоком. Кроме того возможно общее отключение подтягивающих резисторов, что позволяет еще более снизить энергопотребление в критичных к этому параметру приложениях.

Наиболее важным усовершенствованием является цифровая матрица. По существу это большая сеть цифровой коммутации, которая позволяет необходимым образом соединять внутренние цифровые системные ресурсы с выводами портов ввода/вывода P0, P1, P2 и P3 (см. рис.1.9). При это возможны любые комбинации, в отличие от МК со стандартными мультиплексированными портами ввода/вывода.

При помощи регистров управления матрицей на выводы портов могут быть выведены сигналы от внутренних таймеров/счетчиков, от последовательных интерфейсов, аппаратные прерывания, входной сигнал запуска АЦП, выходы компараторов и др. Это позволяет пользователю выбрать точную комбинацию связей между портами ввода/вывода общего назначения и цифровыми ресурсами, необходимую для каждого конкретного приложения.

Рисунок 1.9. Структурная схема цифровой матрицы



1.5. Программируемый массив счетчиков (ПМС)

МК семейства C8051F02x кроме пяти 16-разрядных таймеров/счетчиков общего назначения имеют внутренний программируемый массив счетчиков (ПМС). ПМС состоит из специального 16-разрядного таймера/счетчика временных интервалов с пятью программируемыми модулями захват/сравнение. В качестве тактового сигнала для этого счетчика могут использоваться:

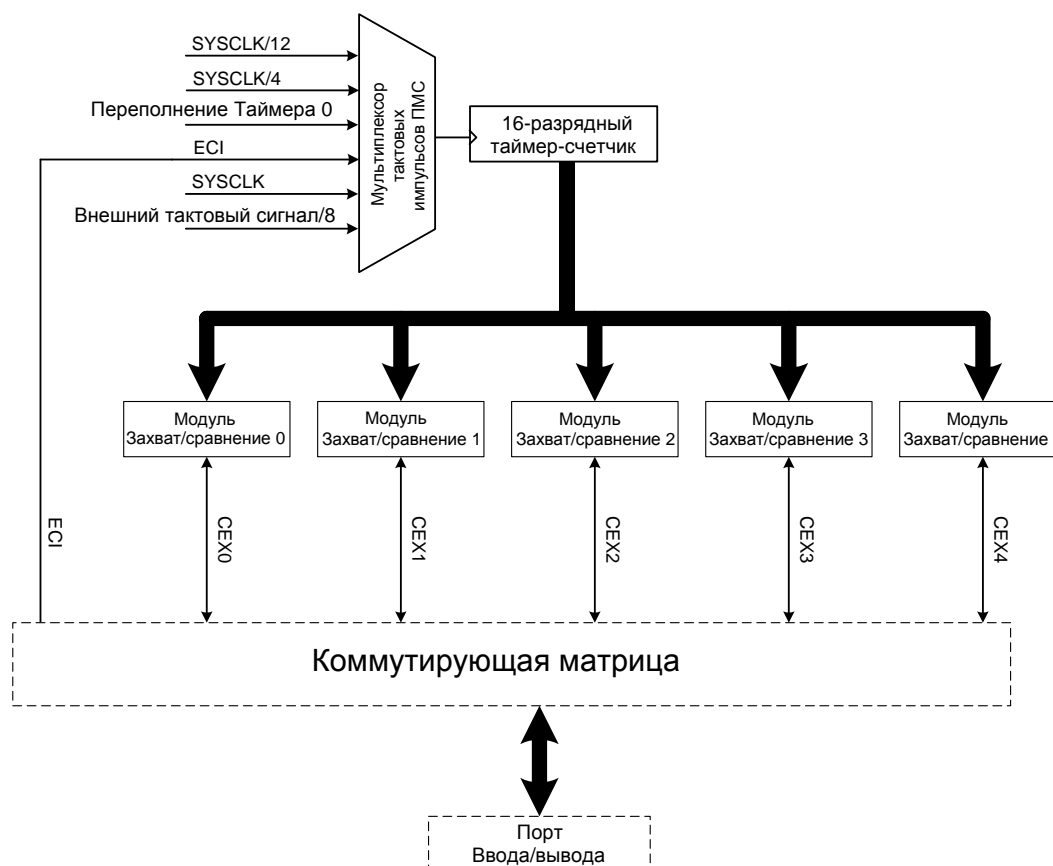
- сигнал системного тактового генератора с частотой, деленной на 12;
- сигнал системного тактового генератора с частотой, деленной на 4;
- сигнал переполнения таймера 0;
- сигнал от внешнего входа тактирования (ECI – external clock input);
- системный тактовый сигнал;
- сигнал внешнего генератора с частотой, деленной на 8.

Каждый модуль захват/сравнение может быть настроен на работу в одном из шести режимах:

- захват, управляемый фронтом (сигнала);
- программный таймер;
- высокоскоростной выход;
- выход заданной частоты;
- 8-разрядный широтно-импульсный модулятор;
- 16-разрядный широтно-импульсный модулятор.

Входы/выходы модулей захват/сравнение ПМС и внешний вход тактирования (ECI) соединены с портами ввода/вывода МК через цифровую коммутирующую матрицу.

Рисунок 1.10. Структурная схема модуля ПМС



1.6. Последовательные порты

В МК семейства C8051F02x встроены следующие последовательные интерфейсы:

- два полнодуплексных УАПП;
- SPI;
- I2C/SMBus.

Каждый из этих интерфейсов реализован на аппаратном уровне и широко использует прерывания, требуя лишь незначительного вмешательства со стороны программы пользователя. Эти интерфейсы не имеют общих ресурсов, таких как таймеры, прерывания или порты ввода/вывода, поэтому все они могут использоваться одновременно.

1.7. 12-разрядный аналого-цифровой преобразователь

МК C8051F020/1 имеют встроенный 12-разрядный АЦП (АЦП0) последовательного приближения с 9-канальным входным мультиплексором и программируемым усилителем. При максимальной производительности 100 тыс. преобразований в секунду АЦП обеспечивает 12-битную точность преобразования с нелинейностью на уровне $\pm 1\text{МЗР}$. МК C8051F022/3 имеют встроенный 10-разрядный АЦП последовательного приближения с аналогичными характеристиками и возможностями настройки. В качестве опорного напряжения АЦП0 может использоваться выходной сигнал ЦАП0 и внешнее напряжение с вывода VREF. В МК C8051F020/1 АЦП0 имеет собственный отдельный вывод входа VREF0; в МК C8051F022/3 АЦП0 и 8-разрядный АЦП1 совместно используют вывод входа VREF0. Встроенный источник опорного напряжения ($0,0015\%/^{\circ}\text{C}$) генерирует и выдает на вывод VREF опорное напряжение, которое может использоваться для встроенных АЦП и других компонентов системы.

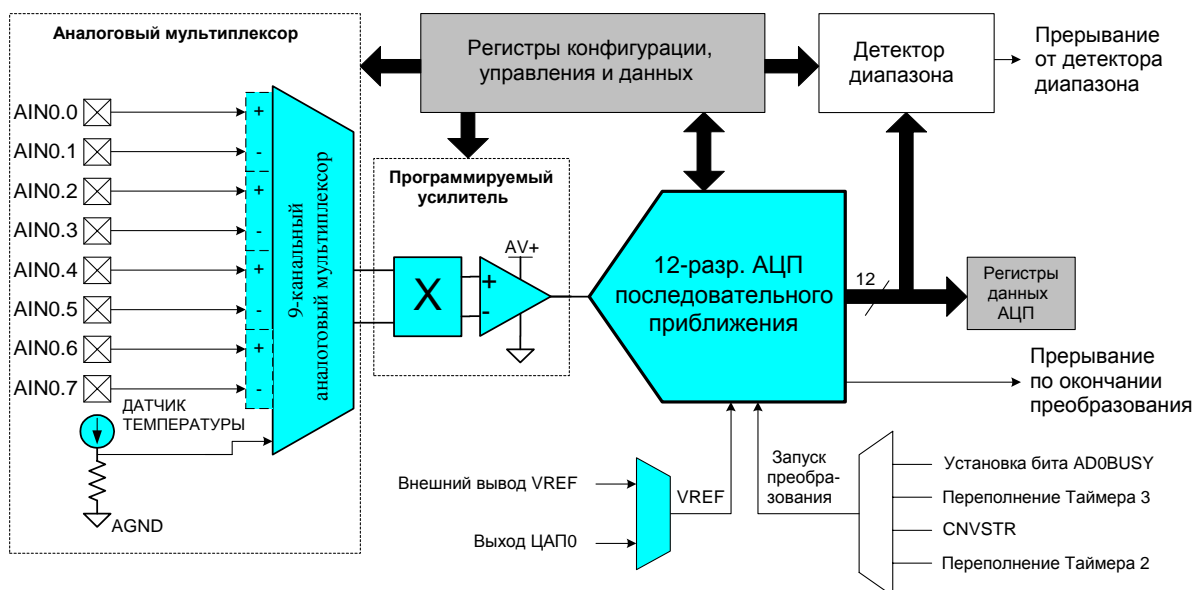
Управление АЦП осуществляется при помощи регистров специального назначения. Один входной канал подключен к внутреннему датчику температуры, остальные восемь каналов доступны извне. Каждая пара из восьми внешних входных каналов может быть настроена как два одиночных входа или как один дифференциальный вход. Имеется возможность отключения АЦП с целью уменьшения энергопотребления.

К выходу аналогового мультиплексора подключен усилитель с программируемым коэффициентом усиления. Коэффициент усиления можно задать программно от 0,5 до 16 с кратностью 2. Усилитель может быть крайне полезен, когда сигналы на разных входных каналах АЦП сильно отличаются друг от друга, либо когда необходимо оценить сигнал с большим смещением постоянной составляющей (в дифференциальном режиме для формирования напряжения смещения постоянной составляющей может использоваться ЦАП).

Преобразование может быть запущено четырьмя способами: командой в программе, при переполнении таймера 2, при переполнении таймера 3 или внешним входным сигналом. Такая гибкость позволяет запускать преобразование при возникновении определенных программных событий, по сигналам от внешних устройств или преобразовывать непрерывно. По окончании преобразования устанавливается специальный бит состояния и инициируется прерывание, если оно разрешено, после чего полученное 10- или 12-разрядное слово данных АЦП записывается в два регистра специального назначения. Результат преобразования может быть выровнен вправо или влево (задается программно).

АЦП может быть настроен таким образом, чтобы генерировать прерывание лишь при попадании или непадании результата преобразования в заданный диапазон значений (окно). АЦП может непрерывно отслеживать сигнал в фоновом режиме, но не прерывать МК до тех пор, пока преобразованные данные находятся в пределах заданного окна.

Рисунок 1.11. Структурная схема 12-разрядного АЦП



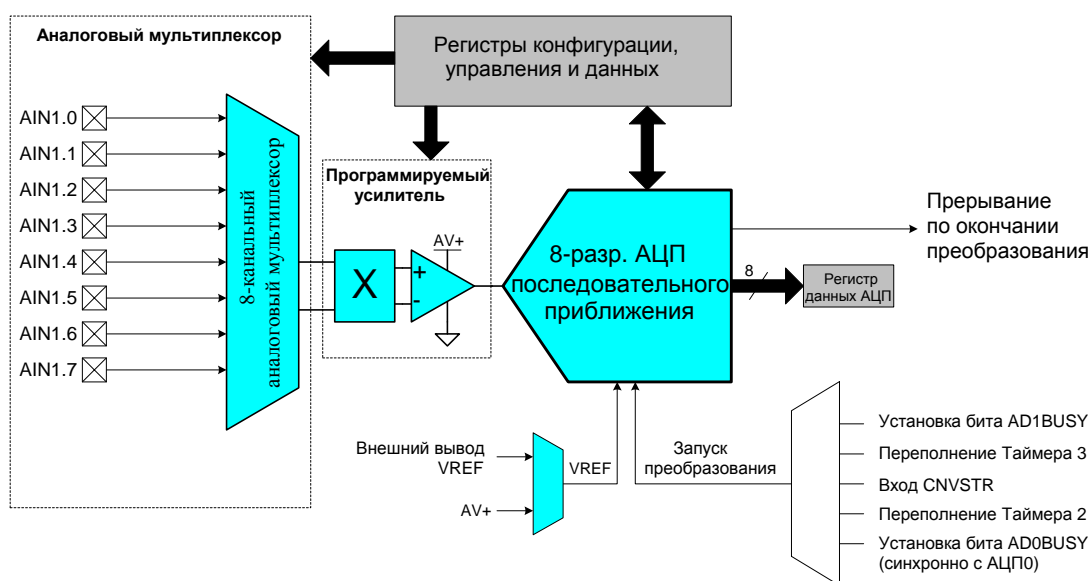
1.8. 8-разрядный аналого-цифровой преобразователь

МК C8051F020/1/2/3 имеют встроенный 8-разрядный АЦП (АЦП1) последовательного приближения с 8-канальным входным мультиплексором и программируемым усилителем. Этот АЦП отличается максимальной производительностью 500 тыс. преобразований в секунду и 8-битной точность преобразования с нелинейностью на уровне $\pm 1\text{МЗР}$. Все восемь входных выводов доступны для проведения измерений. Управление АЦП осуществляется при помощи регистров специального назначения. В качестве опорного напряжения АЦП1 может использоваться напряжение питания аналоговых цепей (AV+) и внешнее напряжение с вывода VREF. В МК C8051F020/1 АЦП1 имеет собственный отдельный вывод входа VREF1; в МК C8051F022/3 АЦП1 и 10/12-разрядный АЦП0 совместно используют вывод входа VREF1. Имеется возможность отключения АЦП1 с целью уменьшения энергопотребления.

К выходу аналогового мультиплексора подключен усилитель с программируемым коэффициентом усиления. Усилитель может быть крайне полезен, когда сигналы на разных входных каналах АЦП сильно отличаются друг от друга, либо когда необходимо оценить сигнал с большим смещением постоянной составляющей (в дифференциальном режиме для формирования напряжения смещения постоянной составляющей может использоваться ЦАП). Можно задать программно следующие значения для коэффициента усиления: 0,5, 1, 2 или 4.

Гибкая система управления преобразованиями позволяет инициировать преобразование АЦП1 командой из программы, внешним входным сигналом или по переполнению таймера. Кроме этого преобразования АЦП1 можно синхронизировать с программно-управляемыми преобразованиями АЦП0. По окончании преобразования устанавливается специальный бит состояния и инициируется прерывание, если оно разрешено, после чего полученное 8-разрядное слово данных АЦП записывается в регистр специального назначения.

Рисунок 1.12. Структурная схема 8-разрядного АЦП



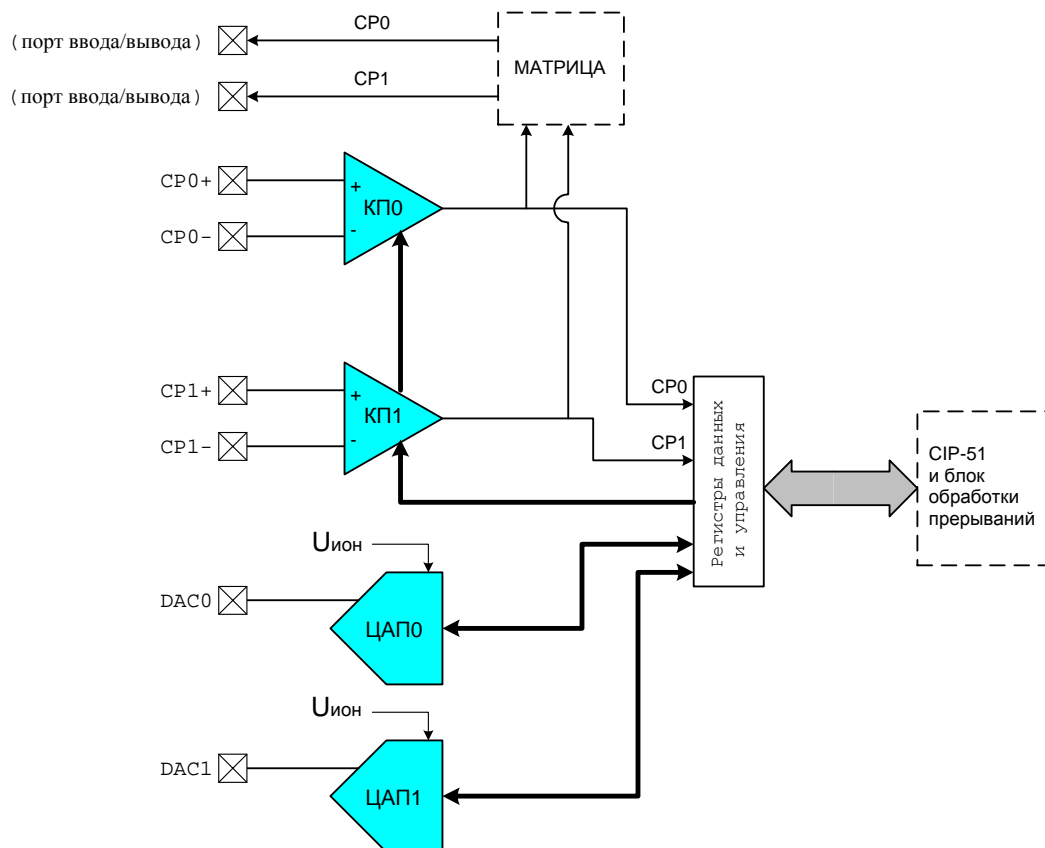
1.9. Компараторы и ЦАП

Каждый МК семейства C8051F02x имеет два встроенных компаратора и два встроенных 12-разрядных ЦАП. Управление каждым компаратором и ЦАП осуществляется через регистры специального назначения. Любой компаратор или ЦАП может быть переведен в режим пониженного энергопотребления.

Компараторы имеют программируемый гистерезис. Каждый компаратор может генерировать прерывание по переднему или заднему фронту петли гистерезиса, либо по обоим фронтам; эти прерывания могут вывести МК из режима остановки. Возможен программный опрос выходов компараторов. Выходы компараторов подключаются к портам ввода/вывода через коммутирующую матрицу.

Выходным сигналом ЦАП является напряжение. ЦАП имеет гибкий механизм обновления выходного сигнала, который позволяет производить обновление сигнала на выходе ЦАП либо командой из программы, либо по переполнению таймеров 2, 3 или 4. опорное напряжение ЦАП подается через специальный входной вывод VREFD (в МК C8051F020/2) или от внутреннего источника опорного напряжения (в МК C8051F021/3). ЦАП удобно использовать для формирования порогового напряжения компаратора или напряжения смещения дифференциальных входов АЦП.

Рисунок 1.13. Структурная схема компараторов и ЦАП



2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ*

| | |
|---|--------------------------|
| Предельная рабочая температура..... | от -55°C до +125°C |
| Температура хранения..... | от -65°C до +150°C |
| Напряжение на любом выводе (кроме Vdd и портов ввода/вывода) относительно DGND..... | от -0.3В до (VDD + 0.3В) |
| Напряжение на любом выводе портов ввода/вывода или на выводе /RST относительно DGND..... | от -0.3В до 5.8В |
| Напряжение на выводе VDD относительно DGND..... | от -0.3В до 4.2В |
| Максимальный суммарный ток выводов VDD, AV+, DGND и AGND..... | 800мА |
| Максимальный выходной втекающий ток любого канала портов ввода/вывода..... | 100мА |
| Максимальный выходной втекающий ток любого другого вывода..... | 50мА |
| Максимальный выходной вытекающий ток любого канала портов ввода/вывода..... | 100мА |
| Максимальный выходной вытекающий ток любого другого вывода..... | 50мА |

*Примечание: Выход за указанные значения может привести к необратимым повреждениям микроконтроллера. Работа микроконтроллера в предельном режиме в течение длительного времени не предусмотрена. Длительная эксплуатация микроконтроллера в недопустимых условиях может повлиять на его надежность.

3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

Таблица 3.1. Основные электрические параметры

Температура от -40°C до +85°C, тактовая частота 25МГц, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|---|---|------|------|-------|----------|
| Напряжение источника питания аналоговых цепей | (Примечание 1) | 2.7 | 3.0 | 3.6 | В |
| Ток потребления от источника питания аналоговых цепей | Внутренние ИОН, АЦП, ЦАП, компараторы включены. AV+ = 2,7В. | | 1,7 | | мА |
| Ток потребления от источника питания аналоговых цепей при отключенных аналоговых модулях | Внутренние ИОН, АЦП, ЦАП, компараторы отключены, генератор отключен, схема слежения за питанием отключена. AV+ = 2,7В. | | 0,2 | | мкА |
| Разность между напряжениями питания аналоговых и цифровых цепей ($V_{DD} - AV+$) | | | | 0.5 | В |
| Напряжение питания цифровых цепей | | 2.7 | 3.0 | 3.6 | В |
| Ток потребления от источника питания цифровых цепей в основном режиме работы | VDD = 2.7В, Частота = 25 МГц | | 10 | | мА |
| | VDD = 2.7В, Частота = 1 МГц | | 0.5 | | мА |
| | VDD = 2.7В, Частота = 32 кГц | | 20 | | мкА |
| Ток потребления от источника питания цифровых цепей с остановленным процессорным ядром (нет обращений к Flash-памяти) | VDD = 2.7В, Частота = 25 МГц | | 5 | | мА |
| | VDD = 2.7В, Частота = 1 МГц | | 0,2 | | мА |
| | VDD = 2.7В, Частота = 32 кГц | | 10 | | мкА |
| Ток потребления от источника питания цифровых цепей в режиме пониженного энергопотребления | VDD = 2,7В, генератор не работает, схема слежения за питанием отключена. | | 0,2 | | мкА |
| Напряжение сохранения данных ОЗУ | | | 1.5 | | В |
| Рабочая температура | | -40 | | +85 | °C |
| SYSCLK (системная тактовая частота) | (Примечание 2) | 0 | | 25 | МГц |
| Tsysl (длительность низкого уровня сигнала SYSCLK) | | 18 | | | нс |
| Tsysh (длительность высокого уровня сигнала SYSCLK) | | 18 | | | нс |

Примечание 1: При напряжении питания аналоговых цепей AV+ менее 1В схема слежения за напряжением питания не работает.

Примечание 2: Отладка невозможна при SYSCLK менее 32 кГц.

4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ

Таблица 4.1. Описание выводов

| Обоз- начение вывода | Номер вывода | | Тип | Описание |
|----------------------------|------------------|------------------|-------|--|
| | F020 F022 | F021 F023 | | |
| VDD | 37, 64, 90 | 24, 41 57 | | Положительное напряжение питания цифровых цепей |
| DGND | 38, 63, 89 | 25, 40, 56 | | Общий вывод питания цифровых цепей |
| AV+ | 11, 14 | 6 | | Положительное напряжение питания аналоговых цепей |
| AGND | 10, 13 | 5 | | Общий вывод питания аналоговых цепей |
| TCK | 2 | 59 | D In | JTAG: тактовый вход с внутренним подтягивающим резистором |
| TMS | 1 | 58 | D In | JTAG: вход выбора режима с внутренним подтягивающим резистором |
| TDI | 3 | 60 | D In | JTAG: вход данных с внутренним подтягивающим резистором. Данные стробируются по переднему фронту сигнала TCK |
| TDO | 4 | 61 | D Out | JTAG: выход данных (трех стабильный) с внутренним подтягивающим резистором. Данные выдаются на выход TDO по заднему фронту сигнала TCK |
| XTAL1 | 26 | 17 | A In | Вход генератора. |
| XTAL2 | 27 | 18 | A Out | Выход генератора. Подключается кварцевый или керамический резонатор |
| /RST | 5 | 62 | D I/O | Сброс МК. Выход с открытым стоком внутренней схемы слежения за напряжением питания. Устанавливается в низкий логический уровень, если Vdd < 2,7В и MONEN=1. Внешний источник может вызвать сброс МК, установив низкий логический уровень на этом выводе. |
| MONEN | 28 | 19 | D In | Включение схемы слежения за напряжением питания. Установка напряжения высокого уровня на этом выводе приведет к включению схемы слежения за напряжением питания, которая вызовет системный сброс, если Vdd станет меньше 2,7В. Установка напряжения низкого уровня на этом выводе приведет к отключению схемы слежения за напряжением питания. |
| VREF | 12 | 7 | A I/O | Выход стабилизированного опорного напряжения (все МК). Вход опорного напряжения ЦАП (только МК C8051F021/3). |
| VREFA | | 8 | A In | Вход опорного напряжения АЦП0 и АЦП1 |
| VREF0 | 16 | | A In | Вход опорного напряжения АЦП0 |
| VREF1 | 17 | | A In | Вход опорного напряжения АЦП1 |
| VREFD | 15 | | A In | Вход опорного напряжения ЦАП |
| CP0+ | 9 | 4 | A In | Не инвертирующий вход компаратора 0 |
| CP0- | 8 | 3 | A In | Инвертирующий вход компаратора 0 |
| CP1+ | 7 | 2 | A In | Не инвертирующий вход компаратора 1 |
| CP1- | 6 | 1 | A In | Инвертирующий вход компаратора 1 |
| DAC0 | 100 | 64 | A Out | Выход ЦАП0 |
| DAC1 | 99 | 63 | A Out | Выход ЦАП1 |
| AIN0.0 | 18 | 9 | A In | Входной канал 0 АЦП0 |
| AIN0.1 | 19 | 10 | A In | Входной канал 1 АЦП0 |
| AIN0.2 | 20 | 11 | A In | Входной канал 2 АЦП0 |
| AIN0.3 | 21 | 12 | A In | Входной канал 3 АЦП0 |
| AIN0.4 | 22 | 13 | A In | Входной канал 4 АЦП0 |
| AIN0.5 | 23 | 14 | A In | Входной канал 5 АЦП0 |
| AIN0.6 | 24 | 15 | A In | Входной канал 6 АЦП0 |
| AIN0.7 | 25 | 16 | A In | Входной канал 7 АЦП0 |

Таблица 4.1. Описание выводов (продолжение)

| Обоз- начение вывода | Номер вывода | | Тип | Описание |
|----------------------------|--------------|--------------|---------------|--|
| | F020 F022 | F021 F023 | | |
| P0.0 | 62 | 55 | D I/O | Бит 0 порта 0 |
| P0.1 | 61 | 54 | D I/O | Бит 1 порта 0 |
| P0.2 | 60 | 53 | D I/O | Бит 2 порта 0 |
| P0.3 | 59 | 52 | D I/O | Бит 3 порта 0 |
| P0.4 | 58 | 51 | D I/O | Бит 4 порта 0 |
| ALE/P0.5 | 57 | 50 | D I/O | Строб ALE шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 5 порта 0 |
| /RD/P0.6 | 56 | 49 | D I/O | Строб /RD шины адреса интерфейса внешней памяти. Бит 6 порта 0. |
| /WR/P0.7 | 55 | 48 | D I/O | Строб /WR шины адреса интерфейса внешней памяти. Бит 7 порта 0 |
| AIN1.0/A8/P1.0 | 36 | 29 | A In D I/O | Входной канал 0 АЦП1. Бит 8 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 0 порта 1. |
| AIN1.1/A9/P1.1 | 35 | 28 | A In D I/O | Входной канал 1 АЦП1. Бит 9 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 1 порта 1 |
| AIN1.2/A10/P1.2 | 34 | 27 | A In D I/O | Входной канал 2 АЦП1. Бит 10 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 2 порта 1 |
| AIN1.3/A11/P1.3 | 33 | 26 | A In D I/O | Входной канал 3 АЦП1. Бит 11 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 3 порта 1 |
| AIN1.4/A12/P1.4 | 32 | 23 | A In D I/O | Входной канал 4 АЦП1. Бит 12 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 4 порта 1 |
| AIN1.5/A13/P1.5 | 31 | 22 | A In D I/O | Входной канал 5 АЦП1. Бит 13 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 5 порта 1 |
| AIN1.6/A14/P1.6 | 30 | 21 | A In D I/O | Входной канал 6 АЦП1. Бит 14 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 6 порта 1 |
| AIN1.7/A15/P1.7 | 29 | 20 | A In D I/O | Входной канал 7 АЦП1. Бит 15 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 7 порта 1 |
| A8m/A0/P2.0 | 46 | 37 | D I/O | Бит 8 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 0 порта 2 |
| A9m/A1/P2.1 | 45 | 36 | D I/O | Бит 9 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 1 порта 2 |
| A10m/A2/P2.2 | 44 | 35 | D I/O | Бит 10 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 2 порта 2 |

Таблица 4.1. Описание выводов (продолжение)

| Обоз- начение вывода | Номер вывода | | Тип | Описание |
|----------------------------|--------------|--------------|-------|--|
| | F020 F022 | F021 F023 | | |
| A11m/A3/P2.3 | 43 | 34 | D I/O | Бит 11 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 3 порта 2 |
| A12m/A4/P2.4 | 42 | 33 | D I/O | Бит 12 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 4 порта 2 |
| A13m/A5/P2.5 | 41 | 32 | D I/O | Бит 13 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 5 порта 2 |
| A14m/A6/P2.6 | 40 | 31 | D I/O | Бит 14 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 6 порта 2 |
| A15m/A7/P2.7 | 39 | 30 | D I/O | Бит 15 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 7 порта 2 |
| AD0/D0/P3.0 | 54 | 47 | D I/O | Бит 0 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 0 порта 3 |
| AD1/D1/P3.1 | 53 | 46 | D I/O | Бит 1 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 1 порта 3 |
| AD2/D2/P3.2 | 52 | 45 | D I/O | Бит 2 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 2 порта 3 |
| AD3/D3/P3.3 | 51 | 44 | D I/O | Бит 3 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 3 порта 3 |
| AD4/D4/P3.4 | 50 | 43 | D I/O | Бит 4 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 4 порта 3 |
| AD5/D5/P3.5 | 49 | 42 | D I/O | Бит 5 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 5 порта 3 |
| AD6/D6/P3.6/IE6 | 48 | 39 | D I/O | Бит 6 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 6 порта 3 |

Таблица 4.1. Описание выводов (продолжение)

| Обоз- начение вывода | Номер вывода | | Тип | Описание |
|----------------------------|--------------|--------------|-------|--|
| | F020 F022 | F021 F023 | | |
| AD7/D7/P3.7/IE7 | 47 | 38 | D I/O | Бит 7 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 7 порта 3 |
| P4.0 | 98 | | D I/O | Бит 0 порта 4 |
| P4.1 | 97 | | D I/O | Бит 1 порта 4 |
| P4.2 | 96 | | D I/O | Бит 2 порта 4 |
| P4.3 | 95 | | D I/O | Бит 3 порта 4 |
| P4.4 | 94 | | D I/O | Бит 4 порта 4 |
| ALE/P4.5 | 93 | | D I/O | Строб ALE шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 5 порта 4 |
| /RD/P4.6 | 92 | | D I/O | Строб /RD шины адреса интерфейса внешней памяти. Бит 6 порта 4 |
| /WR/P4.7 | 91 | | D I/O | Строб /WR шины адреса интерфейса внешней памяти. Бит 7 порта 4 |
| A8 /P5.0 | 88 | | D I/O | Бит 8 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 0 порта 5 |
| A9 /P5.1 | 87 | | D I/O | Бит 9 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 1 порта 5 |
| A10 /P5.2 | 86 | | D I/O | Бит 10 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 2 порта 5 |
| A11 /P5.3 | 85 | | D I/O | Бит 11 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 3 порта 5 |
| A12 /P5.4 | 84 | | D I/O | Бит 12 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 4 порта 5 |
| A13 /P5.5 | 83 | | D I/O | Бит 13 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 5 порта 5 |
| A14 /P5.6 | 82 | | D I/O | Бит 14 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 6 порта 5 |
| A15 /P5.7 | 81 | | D I/O | Бит 15 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 7 порта 5 |
| A8m/A0/P6.0 | 80 | | D I/O | Бит 8 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 0 порта 6 |
| A9m/A1/P6.1 | 79 | | D I/O | Бит 9 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 1 порта 6 |
| A10m/A2/P6.2 | 78 | | D I/O | Бит 10 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 2 порта 6 |
| A11m/A3/P6.3 | 77 | | D I/O | Бит 11 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 3 порта 6 |



Таблица 4.1. Описание выводов (продолжение)

| Обоз- начение вывода | Номер вывода | | Тип | Описание |
|----------------------------|--------------|--------------|-------|--|
| | F020 F022 | F021 F023 | | |
| A12m/A4/P6.4 | 76 | | D I/O | Бит 12 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 4 порта 6 |
| A13m/A5/P6.5 | 75 | | D I/O | Бит 13 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 5 порта 6 |
| A14m/A6/P6.6 | 74 | | D I/O | Бит 14 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 6 порта 6 |
| A15m/A7/P6.7 | 73 | | D I/O | Бит 15 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины адреса интерфейса внешней памяти (немультиплексированный режим). Бит 7 порта 6 |
| AD0/D0/P7.0 | 72 | | D I/O | Бит 0 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 0 порта 7 |
| AD1/D1/P7.1 | 71 | | D I/O | Бит 1 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 1 порта 7 |
| AD2/D2/P7.2 | 70 | | D I/O | Бит 2 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 2 порта 7 |
| AD3/D3/P7.3 | 69 | | D I/O | Бит 3 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 3 порта 7 |
| AD4/D4/P7.4 | 68 | | D I/O | Бит 4 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 4 порта 7 |
| AD5/D5/P7.5 | 67 | | D I/O | Бит 5 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 5 порта 7 |
| AD6/D6/P7.6 | 66 | | D I/O | Бит 6 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 6 порта 7 |
| AD7/D7/P7.7 | 65 | | D I/O | Бит 7 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины данных интерфейса внешней памяти (немультиплексированный режим). Бит 7 порта 7 |

Рисунок 4.1. Цоколевка корпуса TQFP-100

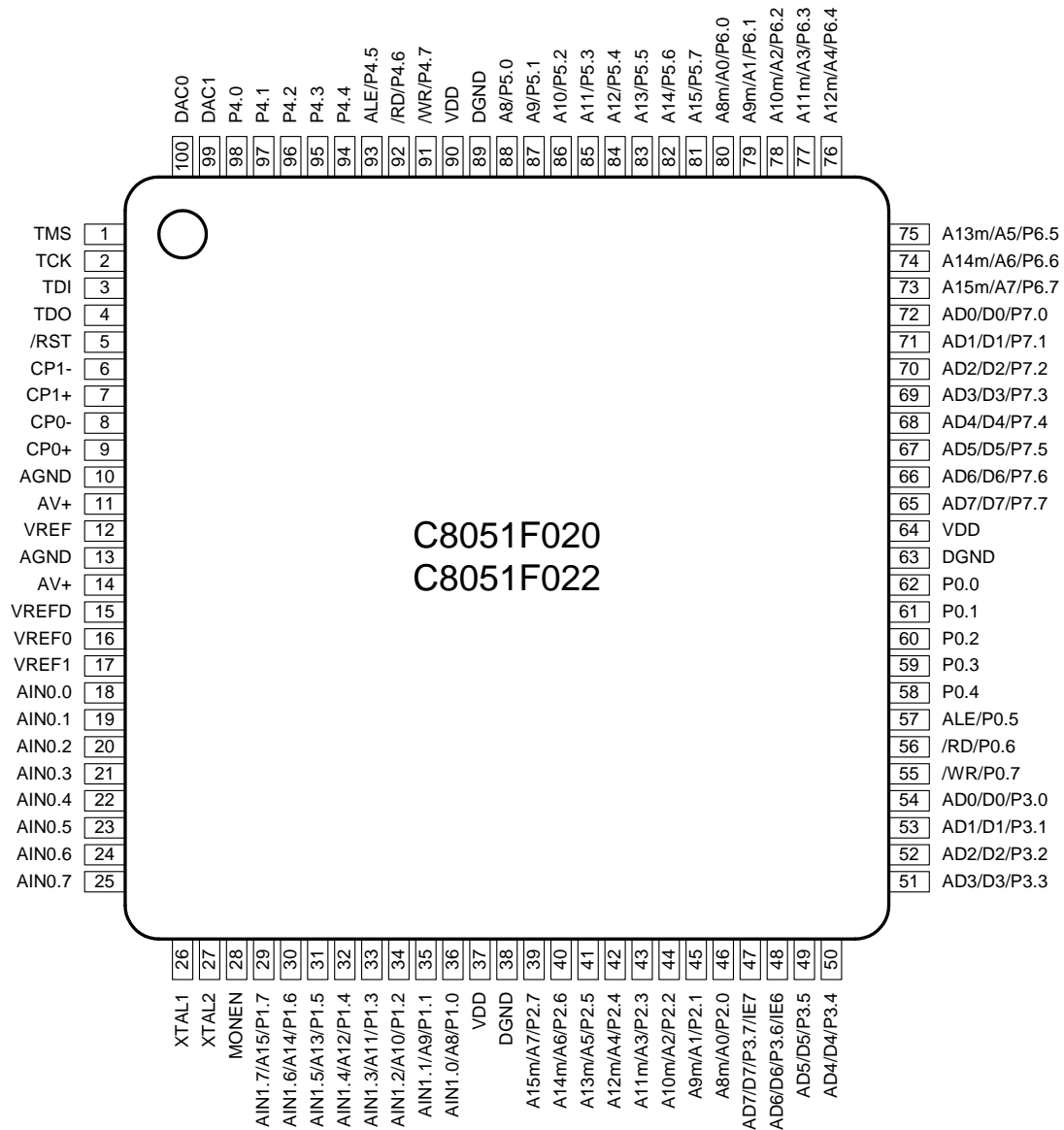
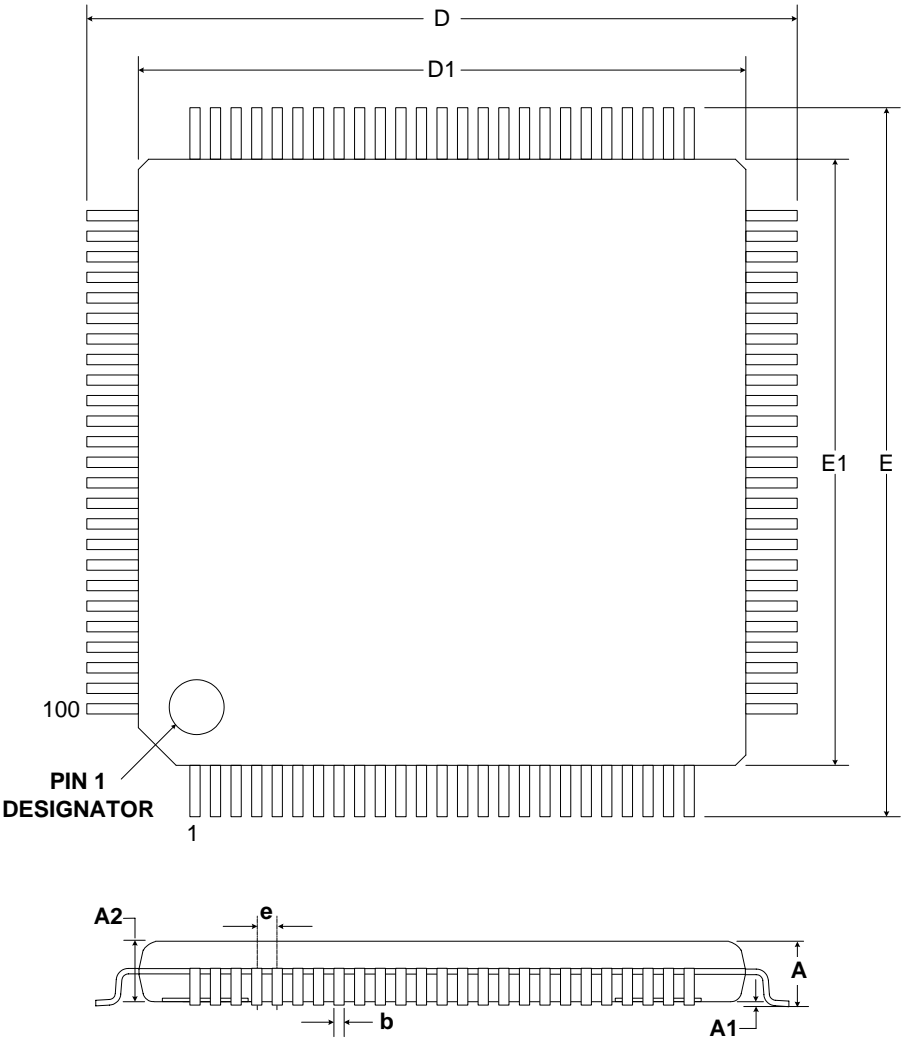


Рисунок 4.2. Чертеж корпуса TQFP-100



| | MIN (mm) | NOM (mm) | MAX (mm) |
|----|-------------|-------------|-------------|
| A | - | - | 1.20 |
| A1 | 0.05 | - | 0.15 |
| A2 | 0.95 | 1.00 | 1.05 |
| b | 0.17 | 0.22 | 0.27 |
| D | - | 16.00 | - |
| D1 | - | 14.00 | - |
| e | - | 0.50 | - |
| E | - | 16.00 | - |
| E1 | - | 14.00 | - |

Рисунок 4.3. Цоколевка корпуса TQFP-64

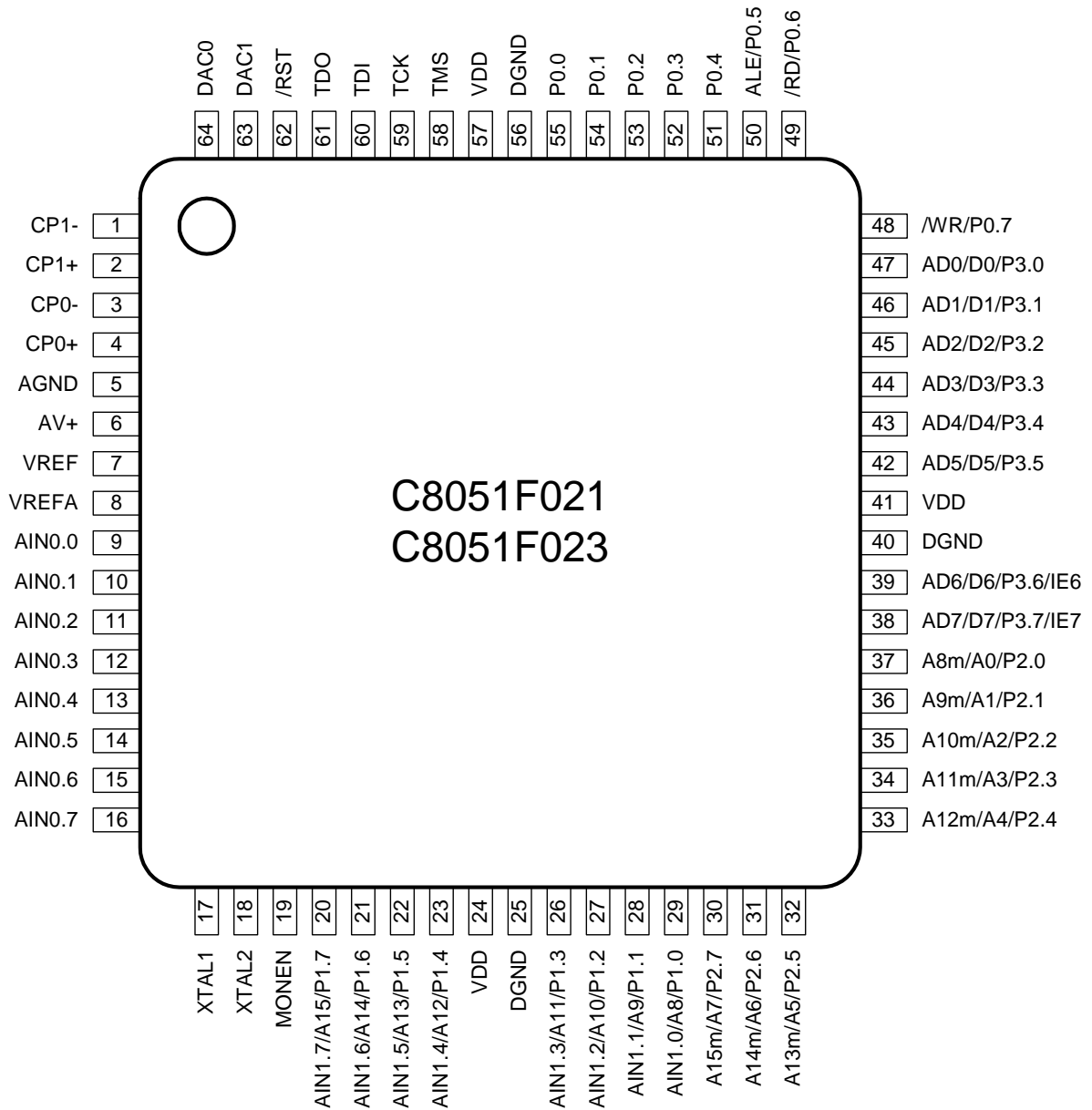
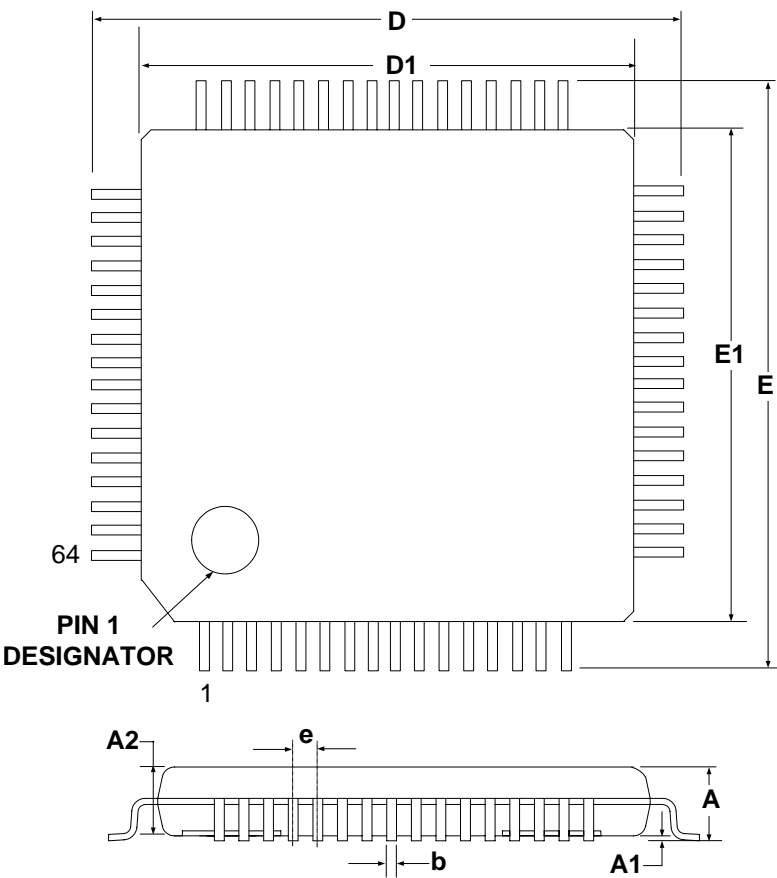


Рисунок 4.4. Чертеж корпуса TQFP-64



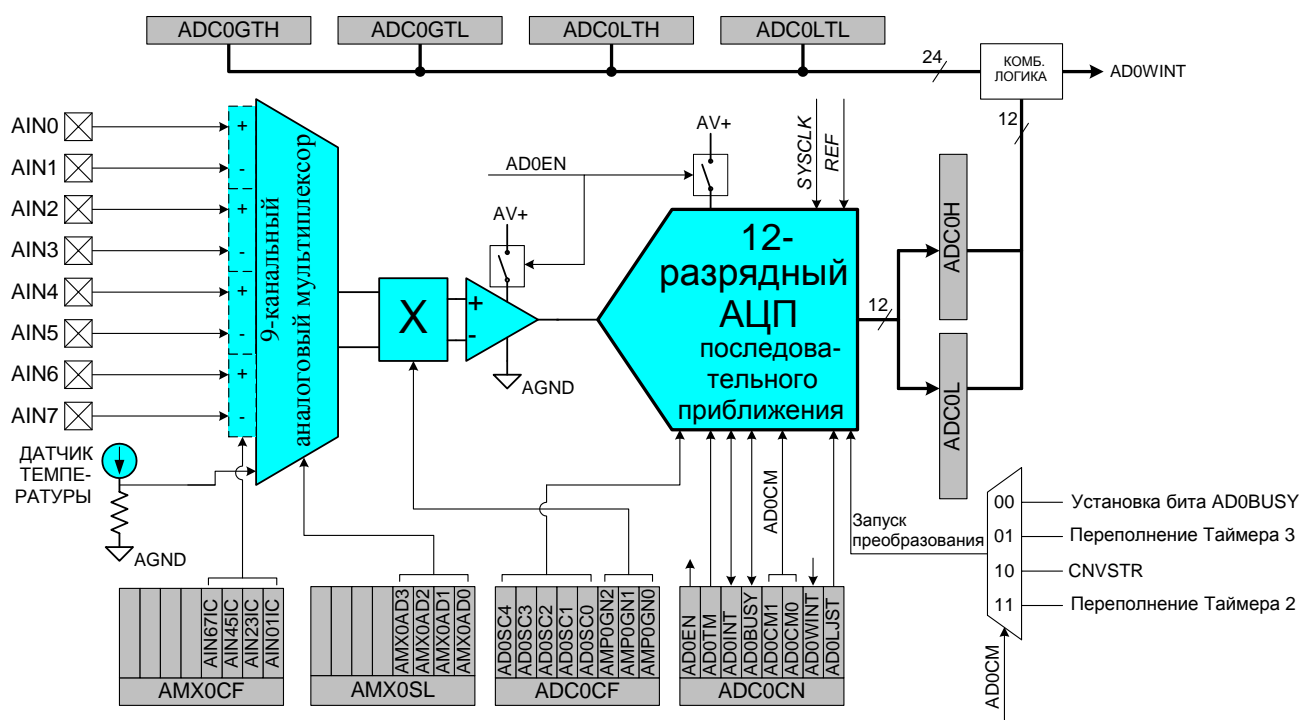
| | MIN (mm) | NOM (mm) | MAX (mm) |
|----|-------------|-------------|-------------|
| A | - | - | 1.20 |
| A1 | 0.05 | - | 0.15 |
| A2 | 0.95 | - | 1.05 |
| b | 0.17 | 0.22 | 0.27 |
| D | - | 12.00 | - |
| D1 | - | 10.00 | - |
| e | - | 0.50 | - |
| E | - | 12.00 | - |
| E1 | - | 10.00 | - |

ПРИМЕЧАНИЯ

5. 12-разрядный АЦПО (С8051F020/1)

Модуль АЦП0 МК C8051F20/1 состоит из 9-канального программируемого аналогового мультиплексора (AMUX0), программируемого усилителя (PGA0), 12-разрядного АЦП последовательного приближения с производительностью до 100 тыс. преобразований в секунду, устройства выборки-хранения (VBX) и программируемого детектора диапазона (см. рис.5.1). AMUX0, PGA0, режимы преобразования и детектор диапазона настраиваются программным путем при помощи регистров специального назначения (см. рис.5.1). Выбор источника опорного напряжения для АЦП0 описан в разделе 9 (для C8051F020/2) или в разделе 10 (для C8051F021/3). Модуль АЦП0 (АЦП0, VBX и PGA0) включен только тогда, когда бит AD0EN регистра управления АЦП0 (ADC0CN) установлен в 1. Сброс этого бита в 0 переводит АЦП0 в режим пониженного энергопотребления.

Рисунок 5.1. Функциональная схема 12-разрядного АЦПО

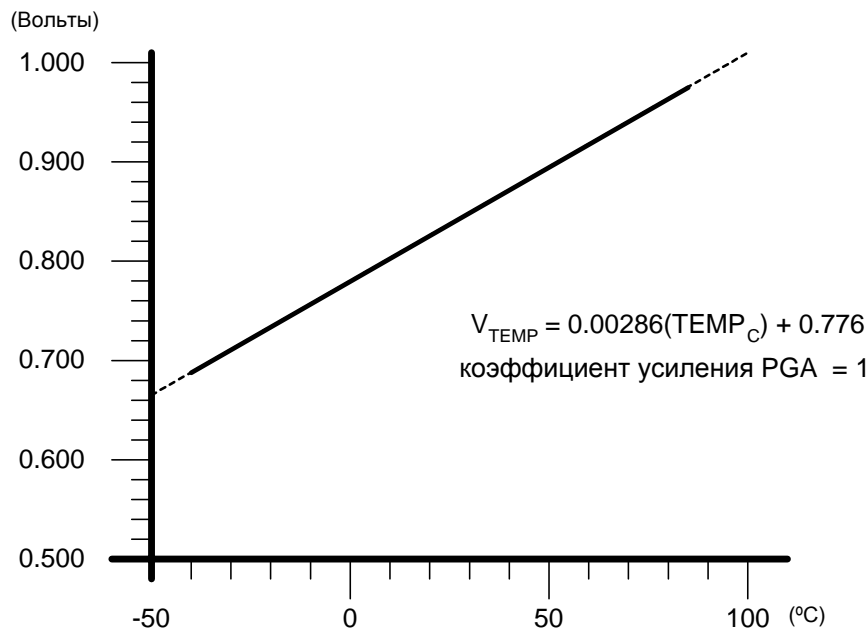


5.1. Аналоговый мультиплексор и программируемый усилитель

Восемь каналов AMUX могут использоваться для измерения внешних сигналов, девятый канал подключен к внутреннему датчику температуры (передаточная характеристика датчика температуры показана на рис.5.2). Каждая пара входов AMUX могут быть запрограммированы на работу в одиночном или дифференциальном режимах. Это позволяет пользователю выбрать наиболее подходящий режим измерения, и даже производить изменение режимов “на лету”. При сбросе все каналы AMUX настраиваются как одиночные входы. Для управления AMUX используются два регистра: регистр выбора канала AMX0SL (см. рис.5.6) и регистр конфигурации AMX0CF (см. рис.5.7). В таблице на рис.5.6 приведены все возможные комбинации режимов работы каналов AMUX. PGA усиливает выходной сигнал AMUX с коэффициентом усиления, определяемым битами AMP0GN2-0 регистра управления АЦП ADC0CF (см. рис.5.7). Коэффициент усиления может быть программно выбран из следующего ряда значений: 0,5, 1 (устанавливается при сбросе), 2, 4, 8, 16.

Передаточная характеристика датчика температуры показана на рис.5.2. Выходное напряжение (V_{TEMP}) подается на вход PGA, когда датчик температуры выбран битами AMX0AD3-0 регистра AMX0SL; PGA будет усиливать это напряжение в соответствии с заданным коэффициентом усиления.

Рисунок 5.2. Передаточная характеристика датчика температуры



5.2. Режимы работы АЦП

Максимальная скорость преобразования АЦПО – 100 тыс. преобразований в секунду. Частота дискретизации АЦПО определяется частотой системного тактового сигнала, деленной на значение, задаваемое битами AD0SC регистра ADC0CF.

5.2.1. Запуск преобразования

Запуск преобразования может быть осуществлен одним из четырех способов, в зависимости от состояния битов режима запуска преобразования АЦПО (AD0CM1, AD0CM1) в регистре ADC0CN. Преобразование может быть инициировано:

- 1) установкой в 1 бита AD0BUSY в регистре ADC0CN;
- 2) переполнением Таймера 3 (т.е. непрерывное по времени преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CNVSTR);
- 4) переполнением Таймера 2 (т.е. непрерывное по времени преобразование).

Бит AD0BUSY устанавливается в 1 во время преобразования и сбрасывается в 0 после окончания преобразования. При сбросе бита AD0BUSY инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания AD0INT (ADC0CN.5). Преобразованные данные доступны в регистрах старшего и младшего слова данных АЦП, ADC0H и ADC0L соответственно. В регистровой паре ADC0H:ADC0L преобразованные данные могут быть выровнены либо вправо, либо влево (см. пример на рис.5.11) в зависимости от состояния бита AD0LJST в регистре ADC0CN.

Если преобразование инициируется установкой в 1 бита AD0BUSY, то для определения окончания преобразования следует опрашивать флаг AD0INT (можно также использовать прерывания от модуля АЦПО). Ниже приведена рекомендуемая процедура опроса:

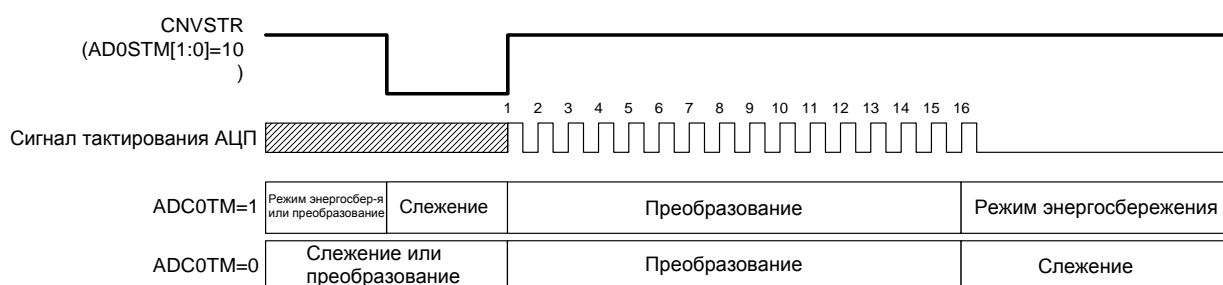
- Шаг 1: Сброс в 0 бита AD0INT.
- Шаг 2: Установка в 1 бита AD0BUSY.
- Шаг 3: Опрос бита AD0INT до тех пор, пока он не станет равен 1.
- Шаг 4: Обработка данных АЦПО.

5.2.2. Режимы слежения

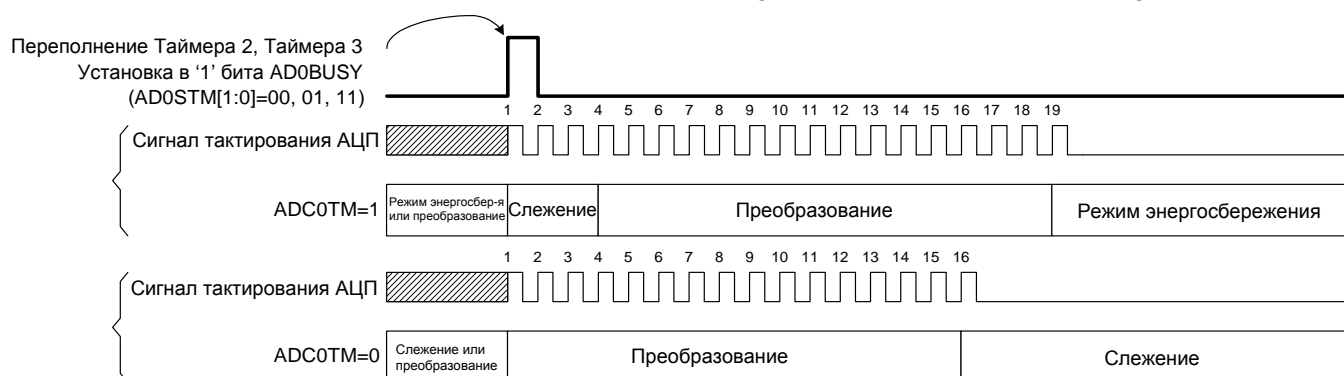
Бит AD0TM регистра ADC0CN управляет режимом выборки-хранения АЦП0. По умолчанию состояние входа АЦП0 отслеживается непрерывно, за исключением момента преобразования. Установка в 1 бита AD0TM переводит АЦП0 в энергосберегающий режим выборки-хранения. В этом режиме каждому преобразованию предшествует (после сигнала запуска преобразования) период выборки, равный трем периодам сигнала дискретизации АЦП. Если для запуска преобразования в энергосберегающем режиме выборки-хранения используется сигнал CNVSTR, то АЦП0 отслеживает входной сигнал только тогда, когда на входе CNVSTR присутствует сигнал низкого уровня; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR (см. рис.5.3). Кроме этого слежение может быть запрещено (отключено), когда весь МК переведен в мало потребляющие режимы ожидания или остановки. Энергосберегающий режим выборки-хранения также полезен в том случае, когда параметры AMUX и PGA часто изменяются, чтобы гарантировать, что время установления соответствует заданным требованиям (см. раздел 5.2.3).

Рисунок 5.3. Временные диаграммы процесса преобразования

А. Временные диаграммы АЦП с внешним источником запуска



В. Временные диаграммы АЦП с внутренним источником запуска



5.2.3. Время установления

Если конфигурация входов АЦПО изменяется (т.е. изменяются настройки AMUX и PGA), то после этого для обеспечения точности преобразования необходимо выдержать паузу длительностью не менее минимального времени установления сигнала. Время установления определяется сопротивлением AMUX0, емкостью накопительного конденсатора УВХ, сопротивлением внешнего источника сигнала и требуемой точностью преобразования. На рис.5.4 показаны эквивалентные схемы входов АЦПО как для дифференциального, так и для одиночного режимов работы. Следует отметить, что эквивалентная постоянная времени для обеих схем одинакова. Требуемое время установления для заданной точности установления (settling accuracy – SA) можно приблизительно определить из уравнения 5.1. Если измеряется выходное напряжение датчика температуры, то $R_{TOTAL} = R_{MUX}$. Следует отметить, что в энергосберегающем режиме выборки-хранения после запуска каждого преобразования выборка длится три периода сигнала дискретизации АЦП. Для большинства приложений эти три периода сигнала дискретизации будут соответствовать требованиям, предъявляемым ко времени установления. Абсолютная величина минимального времени установления (выборки) приведена в таблице 5.1.

Уравнение 5.1. Время установления сигнала АЦПО

$$t = \ln(2^n/SA) \times R_{TOTAL}C_{SAMPLE}$$

где: SA – точность установления, задаваемая в долях МЗР (например, 0.25 для установления в пределах ¼ МЗР)

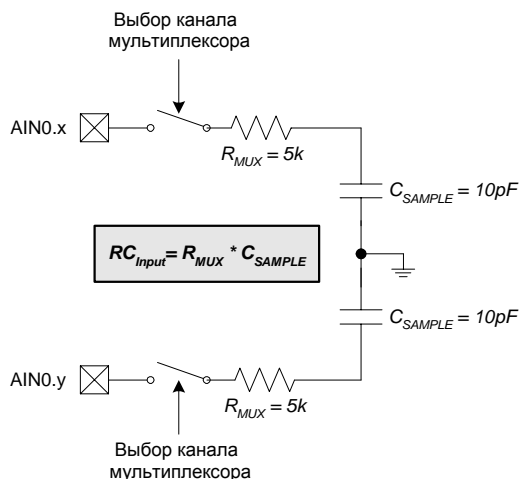
t - требуемое время установления в секундах

R_{TOTAL} – сумма сопротивления AMUX0 и сопротивления внешнего источника сигнала

n - разрешение АЦП в битах (12)

Рисунок 5.4. Эквивалентные схемы входов АЦПО

Дифференциальный режим



Однофазный режим

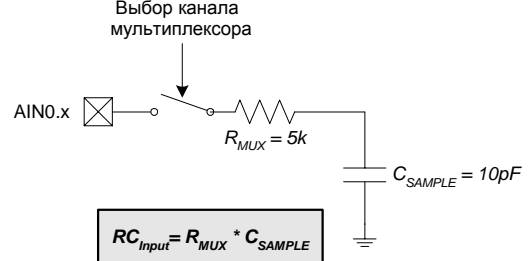


Рисунок 5.5. AMX0CF: Регистр конфигурации AMUX0 (C8051F020/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xBA |
|-------|-------|-------|-------|---------|---------|---------|---------|---|
| - | - | - | - | AIN67IC | AIN45IC | AIN23IC | AIN01IC | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-4: **Не используются**: читаются как 0000b.

Бит 3: AIN67IC: Бит конфигурации пары входов AIN6, AIN7
 0: AIN6 и AIN7 – независимые одиночные входы
 1: AIN6 и AIN7 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 2: AIN45IC: Бит конфигурации пары входов AIN4, AIN5
 0: AIN4 и AIN5 – независимые одиночные входы
 1: AIN4 и AIN5 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 1: AIN23IC: Бит конфигурации пары входов AIN2, AIN3
 0: AIN2 и AIN3 – независимые одиночные входы
 1: AIN2 и AIN3 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 0: AIN01IC: Бит конфигурации пары входов AIN0, AIN1
 0: AIN0 и AIN1 – независимые одиночные входы
 1: AIN0 и AIN1 – пара дифференциальных входов ('+' и '-' соответственно)

Примечание: Для каналов, настроенных как дифференциальные, слово данных АЦП представляет собой число в дополнительном формате.

Рисунок 5.6. AMX0SL: Регистр выбора канала AMUX0 (C8051F020/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xBB |
|-------|-------|-------|-------|---------|---------|---------|---------|---|
| - | - | - | - | AMX0AD3 | AMX0AD2 | AMX0AD1 | AMX0AD0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-4: **Не используются**: читаются как 0000b.

Биты 3-0: AMX0AD3-0: Биты адреса AMUX0

0000-1111b: Каналы АЦП выбираются в соответствии со следующей таблицей:

| | | Биты 3-0 регистра AMX0AD | | | | | | | | |
|--------------------------|------|--------------------------|------|--------------------|------|--------------------|------|--------------------|------|---------------------|
| | | 0000 | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 | 1xxx |
| Биты 3-0 регистра AMX0CF | 0000 | AIN0 | AIN1 | AIN2 | AIN3 | AIN4 | AIN5 | AIN6 | AIN7 | датчик темпер-ры |
| | 0001 | +(AIN0) -(AIN1) | | AIN2 | AIN3 | AIN4 | AIN5 | AIN6 | AIN7 | датчик темпер-ры |
| | 0010 | AIN0 | AIN1 | +(AIN2) -(AIN3) | | AIN4 | AIN5 | AIN6 | AIN7 | датчик темпер-ры |
| | 0011 | +(AIN0) -(AIN1) | | +(AIN2) -(AIN3) | | AIN4 | AIN5 | AIN6 | AIN7 | датчик темпер-ры |
| | 0100 | AIN0 | AIN1 | AIN2 | AIN3 | +(AIN4) -(AIN5) | | AIN6 | AIN7 | датчик темпер-ры |
| | 0101 | +(AIN0) -(AIN1) | | AIN2 | AIN3 | +(AIN4) -(AIN5) | | AIN6 | AIN7 | датчик темпер-ры |
| | 0110 | AIN0 | AIN1 | +(AIN2) -(AIN3) | | +(AIN4) -(AIN5) | | AIN6 | AIN7 | датчик темпер-ры |
| | 0111 | +(AIN0) -(AIN1) | | +(AIN2) -(AIN3) | | +(AIN4) -(AIN5) | | AIN6 | AIN7 | датчик темпер-ры |
| | 1000 | AIN0 | AIN1 | AIN2 | AIN3 | AIN4 | AIN5 | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1001 | +(AIN0) -(AIN1) | | AIN2 | AIN3 | AIN4 | AIN5 | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1010 | AIN0 | AIN1 | +(AIN2) -(AIN3) | | AIN4 | AIN5 | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1011 | +(AIN0) -(AIN1) | | +(AIN2) -(AIN3) | | AIN4 | AIN5 | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1100 | AIN0 | AIN1 | AIN2 | AIN3 | +(AIN4) -(AIN5) | | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1101 | +(AIN0) -(AIN1) | | AIN2 | AIN3 | +(AIN4) -(AIN5) | | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1110 | AIN0 | AIN1 | +(AIN2) -(AIN3) | | +(AIN4) -(AIN5) | | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1111 | +(AIN0) -(AIN1) | | +(AIN2) -(AIN3) | | +(AIN4) -(AIN5) | | +(AIN6) -(AIN7) | | датчик темпер-ры |

Рисунок 5.7. ADC0CF: Регистр конфигурации АЦП0 (C8051F020/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|--------|--------|--------|--------|--------|---------|---------|---------|-------------------------|
| AD0SC4 | AD0SC3 | AD0SC2 | AD0SC1 | AD0SC0 | AMP0GN2 | AMP0GN1 | AMP0GN0 | 11111000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xBC |

Биты 7-3: AD0SC4-0: Биты установки периода сигнала дискретизации АЦП0
Частота сигнала дискретизации АЦП0 определяется частотой системного тактового сигнала в соответствии со следующим уравнением:

$$AD0SC = SYSCLK / (CLK_{SAR0} - 1),$$

где AD0SC – 5-разрядное значение, задаваемое битами AD0SC4-0
 CLK_{SAR0} – необходимая частота сигнала дискретизации АЦП0
Максимальное значение частоты сигнала дискретизации АЦП0 приведено в табл.5.1.

Биты 2-0: AMP0GN2-0: Коэффициент усиления программируемого усилителя (PGA) АЦП0.

000: $K_{yc} = 1$
001: $K_{yc} = 2$
010: $K_{yc} = 4$
011: $K_{yc} = 8$
10x: $K_{yc} = 16$
11x: $K_{yc} = 0.5$

Рисунок 5.8. ADC0CN: Регистр управления АЦП0 (C8051F020/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xE8 |
|-------|-------|--------|---------|--------|--------|---------|---------|---|
| AD0EN | AD0TM | AD0INT | AD0BUSY | AD0CM1 | AD0CM0 | AD0WINT | AD0LJST | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

(доступен в битовом режиме адресации)

Бит7: AD0EN: Бит включения АЦП0

0: АЦП0 отключен. АЦП0 находится в режиме пониженного энергопотребления.

1: АЦП0 включен. АЦП0 находится в активном режиме и готов к преобразованию данных.

Бит 6: AD0TM: Бит установки режима слежения АЦП0

0: Когда АЦП0 включен, слежение осуществляется всегда, за исключением момента преобразования.

1: Режим слежения определяется битами AD0CM1-0.

Бит 5: AD0INT: Флаг прерывания от АЦП0 (устанавливается при завершении преобразования)

Этот флаг должен быть сброшен программно.

0: АЦП0 не закончил преобразование данных (с момента последнего обнуления этого флага)

1: АЦП0 закончил преобразование данных

Бит 4: AD0BUSY: Бит занятости АЦП0

Чтение:

0: Преобразование данных завершено или в данный момент преобразование не осуществляется.

При аппаратном обнулении этого бита флаг AD0INT устанавливается в 1.

1: Идет процесс преобразования данных

Запись

0: Не вызывает никаких действий

1: Иницирует запуск преобразования АЦП0, если биты AD0CM1-0 = 00b

Биты 3-2: AD0CM1-0: Биты выбора режима запуска преобразования АЦП0

Если AD0TM = 0:

00: Запуск преобразования осуществляется установкой в 1 бита AD0BUSY.

01: Запуск преобразования осуществляется при переполнении Таймера 3.

10: Запуск преобразования осуществляется нарастающим фронтом внешнего сигнала CNVSTR.

11: Запуск преобразования осуществляется при переполнении Таймера 2.

Если AD0TM = 1:

00: слежение (выборка) начинается в момент установки в 1 бита AD0BUSY и длится 3 периода сигнала дискретизации АЦП0, затем начинается преобразование данных.

01: слежение (выборка) начинается при переполнении Таймера 3 и длится 3 периода сигнала дискретизации АЦП0, затем начинается преобразование данных.

10: слежение (выборка) происходит лишь при низком уровне сигнала на входе CNVSTR; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR.

11: слежение (выборка) начинается при переполнении Таймера 2 и длится 3 периода сигнала дискретизации АЦП0; затем начинается преобразование данных.

Бит 1: AD0WINT: Флаг прерывания от детектора диапазона АЦП0 (сбрасывается программно)

0: Преобразованные данные не соответствуют заданному диапазону (с момента последнего обнуления этого флага).

1: Преобразованные данные соответствуют заданному диапазону

Бит 0: AD0LJST: Бит выравнивания результата преобразования

0: Данные в регистровой паре ADC0H:ADC0L выровнены вправо

1: Данные в регистровой паре ADC0H:ADC0L выровнены влево



Рисунок 5.9. ADC0H: Регистр старшего байта слова данных АЦП (C8051F020/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xBF |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: Старшие биты слова данных АЦП.

Для AD0LJST = 0: Биты 7-4 являются знаковым расширением бита 3. Биты 3-0 представляют собой старшие 4 бита 12-разрядного слова данных АЦП.

Для AD0LJST = 1: Биты 7-0 являются старшими 8 битами 12-разрядного слова данных АЦП.

Рисунок 5.10. ADC0L: Регистр младшего байта слова данных АЦП (C8051F020/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xBE |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: Младшие биты слова данных АЦП

Для AD0LJST = 0: Биты 7-0 являются младшими 8 битами 12-разрядного слова данных АЦП.

Для AD0LJST = 1: Биты 7-4 представляют собой младшие 4 бита 12-разрядного слова данных АЦП. Биты 3-0 всегда читаются как '0'.

Рисунок 5.11. Пример слова данных АЦП0 (C8051F020/1)

12-разрядный результат преобразования АЦП0 получается следующим образом:

ADC0H[3:0]:ADC0L[7:0], если AD0LJST = 0

(в случае преобразования дифференциального сигнала биты ADC0H[7:4] будут знаковым расширением бита ADC0H.3, в случае одиночного сигнала ADC0H[7:4] = 0000b)

ADC0H[7:0]:ADC0L[7:4], если AD0LJST = 1

(ADC0L[3:0] = 0000b)

Пример: Порядок записи результата преобразования, вход AIN0 работает в одиночном режиме (AMX0CF=0x00, AMX0SL=0x00)

| AIN0 – AGND (Вольты) | ADC0H:ADC0L (AD0LJST = 0) | ADC0H:ADC0L (AD0LJST = 1) |
|-------------------------|------------------------------|------------------------------|
| VREF * (4095/4096) | 0x0FFF | 0xFFFF0 |
| VREF/2 | 0x0800 | 0x8000 |
| VREF * (2047/4096) | 0x07FF | 0x7FF0 |
| 0 | 0x0000 | 0x0000 |

Пример: Порядок записи результата преобразования, входы AIN0-AIN1 работают в дифференциальном режиме (AMX0CF=0x01, AMX0SL=0x00)

| AIN0 – AIN1 (Вольты) | ADC0H:ADC0L (AD0LJST = 0) | ADC0H:ADC0L (AD0LJST = 1) |
|-------------------------|------------------------------|------------------------------|
| VREF * (2047/2048) | 0x07FF | 0x7FF0 |
| VREF/2 | 0x0400 | 0x4000 |
| VREF * (1/2048) | 0x0001 | 0x0010 |
| 0 | 0x0000 | 0x0000 |
| - VREF * (1/2048) | 0xFFFF(-1d) | 0xFFFF0 |
| - VREF/2 | 0xFC00(-1024d) | 0xC000 |
| - VREF | 0xF800(-2048d) | 0x8000 |

Для AD0LJST = 0:

$$Code = Vin \times (Gain/VREF) \times 2^n;$$

‘n’ = 12, если входы работают в одиночном режиме;

‘n’ = 11, если входы работают в дифференциальном режиме.

5.3. Программируемый детектор диапазона АЦП

Программируемый детектор диапазона АЦПО постоянно проверяет выходные данные АЦПО на соответствие заданному пользователем диапазону значений и уведомляет систему при обнаружении несоответствия. Это особенно эффективно в управляемых прерываниями системах, т.к. позволяет уменьшить объем кода и улучшить производительность при одновременном уменьшении времени реакции системы. Флаг прерывания от детектора диапазона (бит AD0WINT в регистре ADC0CN) можно использовать также в режиме программного опроса. Старшие и младшие байты граничных значений загружаются в регистры нижней и верхней границ диапазона АЦПО (ADC0GTH, ADC0GTL, ADC0LTH и ADC0LTL). На рис.5.16, рис.5.17, рис.5.18 и рис.5.19 приведены примеры использования детектора диапазона. Следует отметить, что флаг прерывания от детектора диапазона может устанавливаться как при попадании, так и при непадании результата преобразования в заданный диапазон, в зависимости от значений, записанных в регистры ADC0GTx и ADC0LTx.

Рисунок 5.12. ADC0GTH: Регистр старшего байта нижней границы диапазона (C8051F20/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| | | | | | | | | 11111111 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xC5 |

Биты 7-0: Старший байт нижней границы диапазона АЦПО.

Рисунок 5.13. ADC0GTL: Регистр младшего байта нижней границы диапазона (C8051F20/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| | | | | | | | | 11111111 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xC4 |

Биты 7-0: Младший байт нижней границы диапазона АЦПО.

Рисунок 5.14. ADC0LTH: Регистр старшего байта верхней границы диапазона (C8051F20/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| | | | | | | | | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xC7 |

Биты 7-0: Старший байт верхней границы диапазона АЦПО.

Рисунок 5.15. ADC0LTL: Регистр младшего байта верхней границы диапазона (C8051F20/1)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| | | | | | | | | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xC6 |

Биты 7-0: Младший байт верхней границы диапазона АЦПО.

Рисунок 5.16. Пример использования детектора диапазона 12-разрядного АЦП
(данные выровнены вправо, вход одиночный)

| Входное напряжение (AD0 - AGND) | Слово данных АЦП | |
|------------------------------------|---------------------|--------------------------|
| REF x (4095/4096) | 0x0FFF | AD0WINT не изменяется |
| | 0x0201 | |
| REF x (512/4096) | 0x0200 | ADC0LTH:ADC0LTL |
| | 0x01FF | |
| | 0x0101 | |
| REF x (256/4096) | 0x0100 | ADC0GTH:ADC0GTL |
| | 0x00FF | AD0WINT не изменяется |
| 0 | 0x0000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 0,
 ADC0LTH:ADC0LTL = 0x0200,
 ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП < 0x0200 и > 0x0100.

| Входное напряжение (AD0 - AGND) | Слово данных АЦП | |
|------------------------------------|---------------------|--------------------------|
| REF x (4095/4096) | 0x0FFF | AD0WINT=1 |
| | 0x0201 | |
| REF x (512/4096) | 0x0200 | ADC0GTH:ADC0GTL |
| | 0x01FF | AD0WINT не изменяется |
| | 0x0101 | |
| REF x (256/4096) | 0x0100 | ADC0LTH:ADC0LTL |
| | 0x00FF | AD0WINT=1 |
| 0 | 0x0000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 0,
 ADC0LTH:ADC0LTL = 0x0100,
 ADC0GTH:ADC0GTL = 0x0200.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП < 0x0100 или > 0x0200.

Рисунок 5.17. Пример использования детектора диапазона 12-разрядного АЦП0 (данные выровнены вправо, вход дифференциальный)

| Входное напряжение (AD0 - AD1) | Слово данных АЦП | | Входное напряжение (AD0 - AD1) | Слово данных АЦП | |
|-----------------------------------|---------------------|--------------------------|-----------------------------------|---------------------|--------------------------|
| REF x (2047/2048) | 0x07FF | AD0WINT не изменяется | REF x (2047/2048) | 0x07FF | AD0WINT=1 |
| | 0x0101 | | | 0x0101 | |
| REF x (256/2048) | 0x0100 | ADC0LTH:ADC0LTL | REF x (256/2048) | 0x0100 | ADC0GTH:ADC0GTL |
| | 0x00FF | AD0WINT=1 | | 0x00FF | AD0WINT не изменяется |
| | 0x0000 | | | 0x0000 | |
| REF x (-1/2048) | 0xFFFF | ADC0GTH:ADC0GTL | REF x (-1/2048) | 0xFFFF | ADC0LTH:ADC0LTL |
| | 0xFFFE | AD0WINT не изменяется | | 0xFFFE | AD0WINT=1 |
| -REF | 0xF800 | | -REF | 0xF800 | |

Задано:
AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 0,
ADC0LTH:ADC0LTL = 0x0100,
ADC0GTH:ADC0GTL = 0xFFFF.
По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x0100 и > 0xFFFF. (используется дополнительный код, т.е. 0xFFFF = -1.)

Задано:
AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 0,
ADC0LTH:ADC0LTH = 0xFFFF,
ADC0GTH:ADC0GTL = 0x0100.
По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0xFFFF или > 0x0100. (используется дополнительный код, т.е. 0xFFFF = -1.)

Рисунок 5.18. Пример использования детектора диапазона 12-разрядного АЦП
(данные выровнены влево, вход одиночный)

| Входное напряжение (AD0 - AGND) | Слово данных АЦП | |
|------------------------------------|---------------------|--------------------------|
| REF x (4095/4096) | 0xFFFF0 | AD0WINT не изменяется |
| | 0x2010 | |
| REF x (512/4096) | 0x2000 | ADC0LTH:ADC0LTL |
| | 0x1FF0 | AD0WINT=1 |
| | 0x1010 | |
| REF x (256/4096) | 0x1000 | ADC0GTH:ADC0GTL |
| | 0x0FF0 | AD0WINT не изменяется |
| 0 | 0x0000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x2000,
ADC0GTH:ADC0GTL = 0x1000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП < 0x2000 и > 0x1000.

| Входное напряжение (AD0 - AGND) | Слово данных АЦП | |
|------------------------------------|---------------------|--------------------------|
| REF x (4095/4096) | 0xFFFF0 | AD0WINT=1 |
| | 0x2010 | |
| REF x (512/4096) | 0x2000 | ADC0GTH:ADC0GTL |
| | 0x1FF0 | AD0WINT не изменяется |
| | 0x1010 | |
| REF x (256/4096) | 0x1000 | ADC0LTH:ADC0LTL |
| | 0x0FF0 | AD0WINT=1 |
| 0 | 0x0000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x1000,
ADC0GTH:ADC0GTL = 0x2000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП < 0x1000 или > 0x2000.

**Рисунок 5.19. Пример использования детектора диапазона 12-разрядного АЦП0
(данные выровнены влево, вход дифференциальный)**

| Входное напряжение (AD0 - AD1) | Слово данных АЦП | |
|-----------------------------------|---------------------|--------------------------|
| REF x (2047/2048) | 0x7FF0 | AD0WINT не изменяется |
| | 0x1010 | |
| REF x (256/2048) | 0x1000 | ADC0LTH:ADC0LTL |
| | 0x0FF0 | AD0WINT=1 |
| | 0x0000 | |
| REF x (-1/2048) | 0xFFFF | ADC0GTH:ADC0GTL |
| | 0xFFE0 | AD0WINT не изменяется |
| | 0x8000 | |
| -REF | 0x8000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x1000,
ADC0GTH:ADC0GTL = 0xFFFF.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x1000 и > 0xFFFF. (используется дополнительный код, т.е. 0xFFFF = -1.)

| Входное напряжение (AD0 - AD1) | Слово данных АЦП | |
|-----------------------------------|---------------------|--------------------------|
| REF x (2047/2048) | 0x7FF0 | AD0WINT=1 |
| | 0x1010 | |
| REF x (256/2048) | 0x1000 | ADC0GTH:ADC0GTL |
| | 0x0FF0 | AD0WINT не изменяется |
| | 0x0000 | |
| REF x (-1/2048) | 0xFFFF | ADC0LTH:ADC0LTL |
| | 0xFFE0 | AD0WINT=1 |
| | 0x8000 | |
| -REF | 0x8000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 1,
ADC0LTH:ADC0LTH = 0xFFFF,
ADC0GTH:ADC0GTL = 0x1000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0xFFFF или > 0x1000. (используется дополнительный код, т.е. 0xFFFF = -1.)

Таблица 5.1. Электрические характеристики 12-разрядного АЦПО (C8051F20/1)

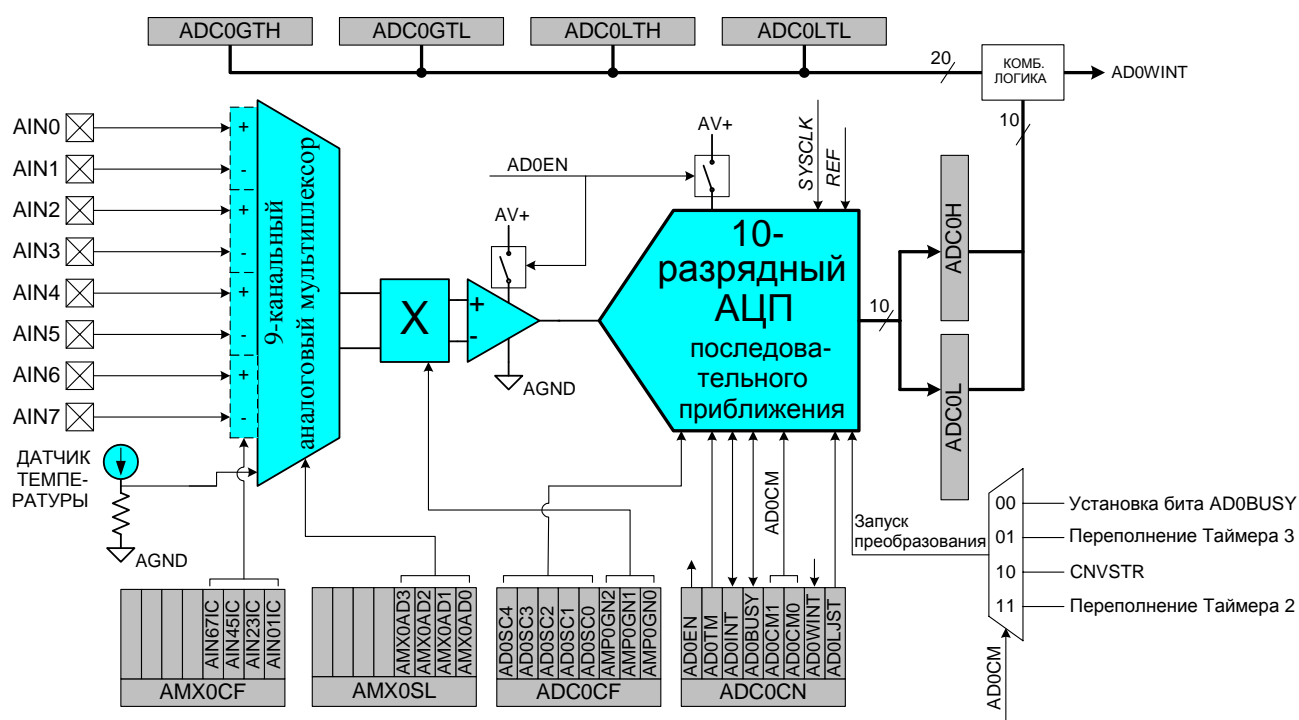
VDD = 3.0В, AV+ = 3.0В, Viон = 2.4В (REFBE=0), T = -40°C ... +85°C, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|---|--|------|-----------------------------|--------|-----------|
| Точность преобразования | | | | | |
| Разрядность | | 12 | | | бит |
| Интегральная нелинейность | | | | ±1 | МЗР |
| Дифференциальная нелинейность | Монотонность преобразования | | | ±1 | МЗР |
| Погрешность смещения нуля | | | -3 ± 1 | | МЗР |
| Погрешность полной шкалы | Дифференциальный режим | | -7 ± 3 | | МЗР |
| Температурный коэффициент смещения нуля | | | ±0,25 x 10 ⁻⁴ | | %/°C |
| Динамические характеристики (10кГц синусоидальный входной сигнал, от 0 до -1dB полной шкалы, 100 тыс. преобразований/сек.) | | | | | |
| Отношение сигнал/шум плюс искажение | | 66 | | | dB |
| Общее нелинейное искажение | До 5-й гармоники | | -75 | | dB |
| Динамический диапазон | | | 80 | | dB |
| Скорость преобразования | | | | | |
| Время преобразования в периодах сигнала дискретизации | | 16 | | | такты |
| Частота дискретизации | | | | 2,5 | МГц |
| Время заряда VBX | | 1,5 | | | мкс |
| Производительность | | | | 100000 | преобр./с |
| Аналоговые входы | | | | | |
| Диапазон входных напряжений | Режим одиночных входов | 0 | | VREF | В |
| Диапазон синфазных напряжений | Дифференциальный режим | AGND | | AV+ | В |
| Входная емкость | | | 10 | | пФ |
| Датчик температуры | | | | | |
| Нелинейность | | -1 | | +1 | °C |
| Абсолютная погрешность | | | ±3 | | °C |
| Коэффициент преобразования | Kyc(PGA) = 1 | | 2.86 | | мВ/°C |
| Смещение нуля | Kyc(PGA) = 1, Темп-ра = 0°C | | 776 | | мВ |
| Параметры питания | | | | | |
| Ток потребления по выв. AV+ | Активный режим, 100 тыс. преобразований/сек | | 450 | 900 | мкА |
| Нестабильность напряжения питания | | | ±0.3 | | мВ/В |

6. 10-разрядный АЦП0 (C8051F022/3)

Модуль АЦП0 МК C8051F22/3 состоит из 9-канального программируемого аналогового мультиплексора (AMUX0), программируемого усилителя (PGA0), 10-разрядного АЦП последовательного приближения с производительностью до 100 тыс. преобразований в секунду, устройства выборки-хранения (УВХ) и программируемого детектора диапазона (см. рис.6.1). AMUX0, PGA0, режимы преобразования и детектор диапазона настраиваются программным путем при помощи регистров специального назначения (см. рис.6.1). Выбор источника опорного напряжения для АЦП0 описан в разделе 9 (для C8051F020/2) или в разделе 10 (для C8051F021/3). Модуль АЦП0 (АЦП0, УВХ и PGA0) включен только тогда, когда бит AD0EN регистра управления АЦП0 (ADC0CN) установлен в 1. Сброс этого бита в 0 переводит АЦП0 в режим пониженного энергопотребления.

Рисунок 6.1. Функциональная схема 10-разрядного АЦП0

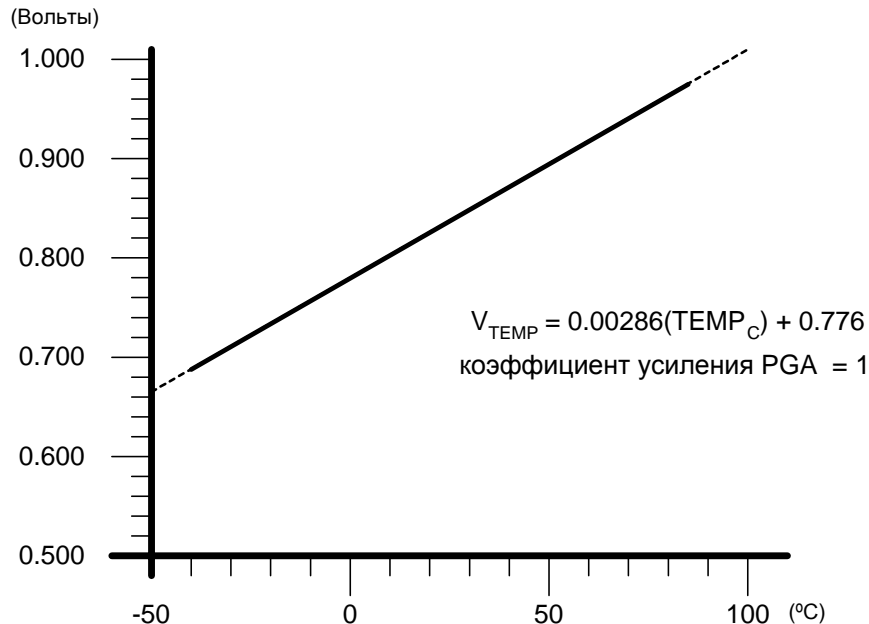


6.1. Аналоговый мультиплексор и программируемый усилитель

Восемь каналов AMUX могут использоваться для измерения внешних сигналов, девятый канал подключен к внутреннему датчику температуры (передаточная характеристика датчика температуры показана на рис.6.2). Каждая пара входов AMUX могут быть запрограммированы на работу в одиночном или дифференциальном режимах. Это позволяет пользователю выбрать наиболее подходящий режим измерения, и даже производить изменение режимов “на лету”. При сбросе все каналы AMUX настраиваются как одиночные входы. Для управления AMUX используются два регистра: регистр выбора канала AMX0SL (см. рис.6.6) и регистр конфигурации AMX0CF (см. рис.6.7). В таблице на рис.6.6 приведены все возможные комбинации режимов работы каналов AMUX. PGA усиливает выходной сигнал AMUX с коэффициентом усиления, определяемым битами AMP0GN2-0 регистра управления АЦП0 ADC0CF (см. рис.6.7). Коэффициент усиления может быть программно выбран из следующего ряда значений: 0.5, 1 (устанавливается при сбросе), 2, 4, 8, 16.

Передаточная характеристика датчика температуры показана на рис.6.2. Выходное напряжение (V_{TEMP}) подается на вход PGA, когда датчик температуры выбран битами AMX0AD3-0 регистра AMX0SL; PGA будет усиливать это напряжение в соответствии с заданным коэффициентом усиления.

Рисунок 6.2. Передаточная характеристика датчика температуры



6.2. Режимы работы АЦП

Максимальная скорость преобразования АЦПО – 100 тыс. преобразований в секунду. Частота дискретизации АЦПО определяется частотой системного тактового сигнала, деленной на значение, задаваемое битами AD0SC регистра ADC0CF.

6.2.1. Запуск преобразования

Запуск преобразования может быть осуществлен одним из четырех способов, в зависимости от состояния битов режима запуска преобразования АЦПО (AD0CM1, AD0CM1) в регистре ADC0CN. Преобразование может быть инициировано:

- 1) установкой в 1 бита AD0BUSY в регистре ADC0CN;
- 2) переполнением Таймера 3 (т.е. непрерывное по времени преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CINVSTR);
- 4) переполнением Таймера 2 (т.е. непрерывное по времени преобразование).

Бит AD0BUSY устанавливается в 1 во время преобразования и сбрасывается в 0 после окончания преобразования. При сбросе бита AD0BUSY инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания AD0INT (ADC0CN.5). Преобразованные данные доступны в регистрах старшего и младшего слова данных АЦП, ADC0H и ADC0L соответственно. В регистровой паре ADC0H:ADC0L преобразованные данные могут быть выровнены либо вправо, либо влево (см. пример на рис.6.11) в зависимости от состояния бита AD0LJST в регистре ADC0CN.

Если преобразование инициируется установкой в 1 бита AD0BUSY, то для определения окончания преобразования следует опрашивать флаг AD0INT (можно также использовать прерывания от модуля АЦПО). Ниже приведена рекомендуемая процедура опроса:

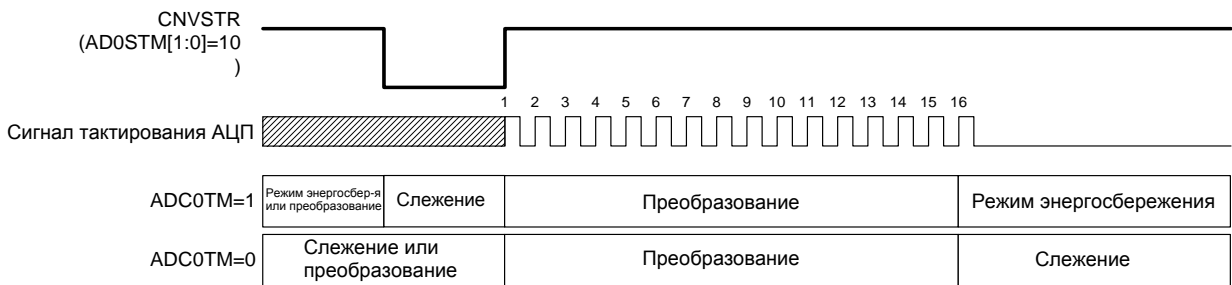
- Шаг 1: Сброс в 0 бита AD0INT.
- Шаг 2: Установка в 1 бита AD0BUSY.
- Шаг 3: Опрос бита AD0INT до тех пор, пока он не станет равен 1.
- Шаг 4: Обработка данных АЦПО.

6.2.2. Режимы слежения

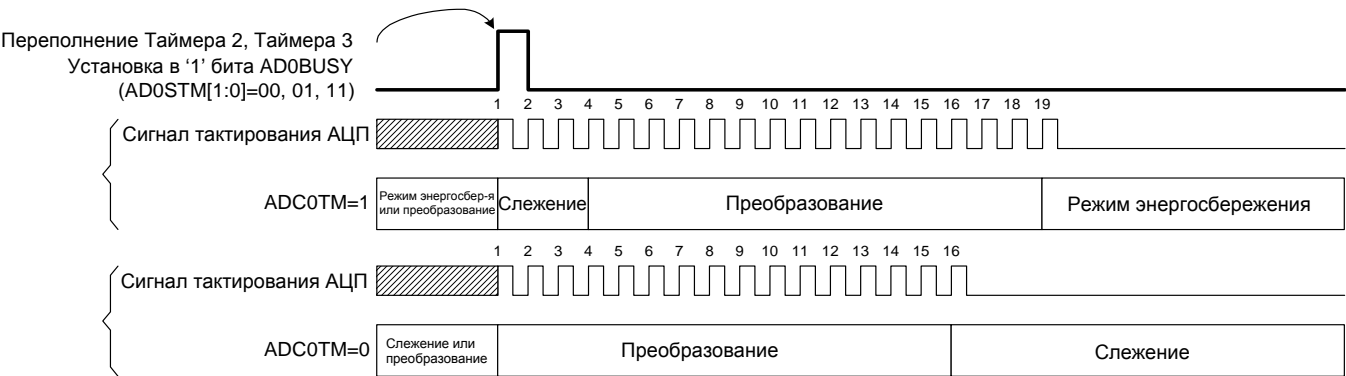
Бит AD0TM регистра ADC0CN управляет режимом выборки-хранения АЦП0. По умолчанию состояние входа АЦП0 отслеживается непрерывно, за исключением момента преобразования. Установка в 1 бита AD0TM переводит АЦП0 в энергосберегающий режим выборки-хранения. В этом режиме каждому преобразованию предшествует (после сигнала запуска преобразования) период выборки, равный трем периодам сигнала дискретизации АЦП. Если для запуска преобразования в энергосберегающем режиме выборки-хранения используется сигнал CNVSTR, то АЦП0 отслеживает входной сигнал только тогда, когда на входе CNVSTR присутствует сигнал низкого уровня; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR (см. рис.6.3). Кроме этого слежение может быть запрещено (отключено), когда весь МК переведен в мало потребляющие режимы ожидания или остановки. Энергосберегающий режим выборки-хранения также полезен в том случае, когда параметры AMUX и PGA часто изменяются, чтобы гарантировать, что время установления соответствует заданным требованиям (см. раздел 6.2.3).

Рисунок 6.3. Временные диаграммы процесса преобразования

А. Временные диаграммы АЦП с внешним источником запуска



В. Временные диаграммы АЦП с внутренним источником запуска



6.2.3. Время установления

Если конфигурация входов АЦПО изменяется (т.е. изменяются настройки AMUX и PGA), то после этого для обеспечения точности преобразования необходимо выдержать паузу длительностью не менее минимального времени установления сигнала. Время установления определяется сопротивлением AMUX0, емкостью накопительного конденсатора УВХ, сопротивлением внешнего источника сигнала и требуемой точностью преобразования. На рис.6.4 показаны эквивалентные схемы входов АЦПО как для дифференциального, так и для одиночного режимов работы. Следует отметить, что эквивалентная постоянная времени для обеих схем одинакова. Требуемое время установления для заданной точности установления (settling accuracy – SA) можно приблизительно определить из уравнения 6.1. Если измеряется выходное напряжение датчика температуры, то $R_{TOTAL} = R_{MUX}$. Следует отметить, что в энергосберегающем режиме выборки-хранения после запуска каждого преобразования выборка длится три периода сигнала дискретизации АЦП. Для большинства приложений эти три периода сигнала дискретизации будут соответствовать требованиям, предъявляемым ко времени установления. Абсолютная величина минимального времени установления (выборки) приведена в таблице 6.1.

Уравнение 6.1. Время установления сигнала АЦПО

$$t = \ln(2^n/SA) \times R_{TOTAL}C_{SAMPLE}$$

где: SA – точность установления, задаваемая в долях МЗР (например, 0.25 для установления в пределах ¼ МЗР)

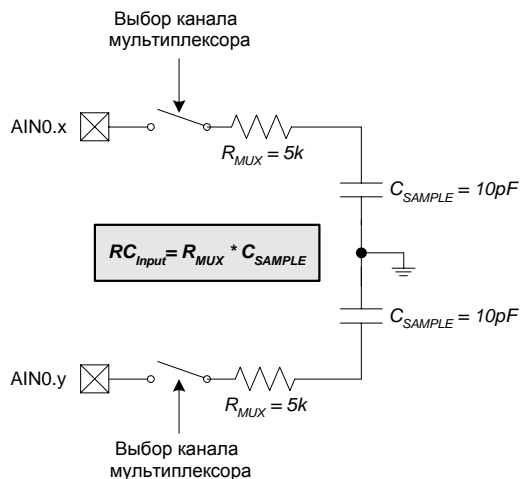
t - требуемое время установления в секундах

R_{TOTAL} – сумма сопротивления AMUX0 и сопротивления внешнего источника сигнала

n - разрешение АЦП в битах (10)

Рисунок 6.4. Эквивалентные схемы входов АЦПО

Дифференциальный режим



Однофазный режим

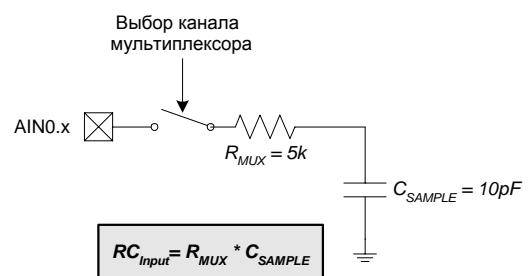


Рисунок 6.5. AMX0CF: Регистр конфигурации AMUX0 (C8051F022/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xBA |
|-------|-------|-------|-------|---------|---------|---------|---------|---|
| - | - | - | - | AIN67IC | AIN45IC | AIN23IC | AIN01IC | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-4: **Не используются:** читаются как 0000b.

Бит 3: AIN67IC: Бит конфигурации пары входов AIN6, AIN7
 0: AIN6 и AIN7 – независимые одиночные входы
 1: AIN6 и AIN7 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 2: AIN45IC: Бит конфигурации пары входов AIN4, AIN5
 0: AIN4 и AIN5 – независимые одиночные входы
 1: AIN4 и AIN5 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 1: AIN23IC: Бит конфигурации пары входов AIN2, AIN3
 0: AIN2 и AIN3 – независимые одиночные входы
 1: AIN2 и AIN3 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 0: AIN01IC: Бит конфигурации пары входов AIN0, AIN1
 0: AIN0 и AIN1 – независимые одиночные входы
 1: AIN0 и AIN1 – пара дифференциальных входов ('+' и '-' соответственно)

Примечание: Для каналов, настроенных как дифференциальные, слово данных АЦП представляет собой число в дополнительном формате.

Рисунок 6.6. AMX0SL: Регистр выбора канала AMUX0 (C8051F022/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|---------|---------|---------|---------|-------------------------|
| - | - | - | - | AMX0AD3 | AMX0AD2 | AMX0AD1 | AMX0AD0 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xBB |

Биты 7-4: **Не используются**: читаются как 0000b.

Биты 3-0: AMX0AD3-0: Биты адреса AMUX0

0000-1111b: Каналы АЦП выбираются в соответствии со следующей таблицей:

| | | Биты 3-0 регистра AMX0AD | | | | | | | | |
|--------------------------|------|--------------------------|------|--------------------|------|--------------------|------|--------------------|------|---------------------|
| | | 0000 | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 | 1xxx |
| Биты 3-0 регистра AMX0CF | 0000 | AIN0 | AIN1 | AIN2 | AIN3 | AIN4 | AIN5 | AIN6 | AIN7 | датчик темпер-ры |
| | 0001 | +(AIN0) -(AIN1) | | AIN2 | AIN3 | AIN4 | AIN5 | AIN6 | AIN7 | датчик темпер-ры |
| | 0010 | AIN0 | AIN1 | +(AIN2) -(AIN3) | | AIN4 | AIN5 | AIN6 | AIN7 | датчик темпер-ры |
| | 0011 | +(AIN0) -(AIN1) | | +(AIN2) -(AIN3) | | AIN4 | AIN5 | AIN6 | AIN7 | датчик темпер-ры |
| | 0100 | AIN0 | AIN1 | AIN2 | AIN3 | +(AIN4) -(AIN5) | | AIN6 | AIN7 | датчик темпер-ры |
| | 0101 | +(AIN0) -(AIN1) | | AIN2 | AIN3 | +(AIN4) -(AIN5) | | AIN6 | AIN7 | датчик темпер-ры |
| | 0110 | AIN0 | AIN1 | +(AIN2) -(AIN3) | | +(AIN4) -(AIN5) | | AIN6 | AIN7 | датчик темпер-ры |
| | 0111 | +(AIN0) -(AIN1) | | +(AIN2) -(AIN3) | | +(AIN4) -(AIN5) | | AIN6 | AIN7 | датчик темпер-ры |
| | 1000 | AIN0 | AIN1 | AIN2 | AIN3 | AIN4 | AIN5 | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1001 | +(AIN0) -(AIN1) | | AIN2 | AIN3 | AIN4 | AIN5 | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1010 | AIN0 | AIN1 | +(AIN2) -(AIN3) | | AIN4 | AIN5 | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1011 | +(AIN0) -(AIN1) | | +(AIN2) -(AIN3) | | AIN4 | AIN5 | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1100 | AIN0 | AIN1 | AIN2 | AIN3 | +(AIN4) -(AIN5) | | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1101 | +(AIN0) -(AIN1) | | AIN2 | AIN3 | +(AIN4) -(AIN5) | | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1110 | AIN0 | AIN1 | +(AIN2) -(AIN3) | | +(AIN4) -(AIN5) | | +(AIN6) -(AIN7) | | датчик темпер-ры |
| | 1111 | +(AIN0) -(AIN1) | | +(AIN2) -(AIN3) | | +(AIN4) -(AIN5) | | +(AIN6) -(AIN7) | | датчик темпер-ры |

Рисунок 6.7. ADC0CF: Регистр конфигурации АЦП0 (C8051F022/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|--------|--------|--------|--------|--------|---------|---------|---------|-------------------------|
| AD0SC4 | AD0SC3 | AD0SC2 | AD0SC1 | AD0SC0 | AMP0GN2 | AMP0GN1 | AMP0GN0 | 11111000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xBC |

Биты 7-3: AD0SC4-0: Биты установки периода сигнала дискретизации АЦП0
Частота сигнала дискретизации АЦП0 определяется частотой системного тактового сигнала в соответствии со следующим уравнением:

$$AD0SC = SYSCLK / (CLK_{SAR0} - 1),$$

где AD0SC – 5-разрядное значение, задаваемое битами AD0SC4-0
 CLK_{SAR0} – необходимая частота сигнала дискретизации АЦП0
Максимальное значение частоты сигнала дискретизации АЦП0 приведено в табл.6.1.

Биты 2-0: AMP0GN2-0: Коэффициент усиления программируемого усилителя (PGA) АЦП0.

000: $K_{yc} = 1$
001: $K_{yc} = 2$
010: $K_{yc} = 4$
011: $K_{yc} = 8$
10x: $K_{yc} = 16$
11x: $K_{yc} = 0.5$

Рисунок 6.8. ADC0CN: Регистр управления АЦП0 (C8051F022/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xE8 |
|-------|-------|--------|---------|--------|--------|---------|---------|---|
| AD0EN | AD0TM | AD0INT | AD0BUSY | AD0CM1 | AD0CM0 | AD0WINT | AD0LJST | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

(доступен в битовом режиме адресации)

Бит7: AD0EN: Бит включения АЦП0

0: АЦП0 отключен. АЦП0 находится в режиме пониженного энергопотребления.

1: АЦП0 включен. АЦП0 находится в активном режиме и готов к преобразованию данных.

Бит 6: AD0TM: Бит установки режима слежения АЦП0

0: Когда АЦП0 включен, слежение осуществляется всегда, за исключением момента преобразования.

1: Режим слежения определяется битами AD0CM1-0.

Бит 5: AD0INT: Флаг прерывания от АЦП0 (устанавливается при завершении преобразования)

Этот флаг должен быть сброшен программно.

0: АЦП0 не закончил преобразование данных (с момента последнего обнуления этого флага)

1: АЦП0 закончил преобразование данных

Бит 4: AD0BUSY: Бит занятости АЦП0

Чтение:

0: Преобразование данных завершено или в данный момент преобразование не осуществляется.

При аппаратном обнулении этого бита флаг AD0INT устанавливается в 1.

1: Идет процесс преобразования данных

Запись

0: Не вызывает никаких действий

1: Иницирует запуск преобразования АЦП0, если биты AD0CM1-0 = 00b

Биты 3-2: AD0CM1-0: Биты выбора режима запуска преобразования АЦП0

Если AD0TM = 0:

00: Запуск преобразования осуществляется установкой в 1 бита AD0BUSY.

01: Запуск преобразования осуществляется при переполнении Таймера 3.

10: Запуск преобразования осуществляется нарастающим фронтом внешнего сигнала CNVSTR.

11: Запуск преобразования осуществляется при переполнении Таймера 2.

Если AD0TM = 1:

00: слежение (выборка) начинается в момент установки в 1 бита AD0BUSY и длится 3 периода сигнала дискретизации АЦП0, затем начинается преобразование данных.

01: слежение (выборка) начинается при переполнении Таймера 3 и длится 3 периода сигнала дискретизации АЦП0, затем начинается преобразование данных.

10: слежение (выборка) происходит лишь при низком уровне сигнала на входе CNVSTR; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR.

11: слежение (выборка) начинается при переполнении Таймера 2 и длится 3 периода сигнала дискретизации АЦП0; затем начинается преобразование данных.

Бит 1: AD0WINT: Флаг прерывания от детектора диапазона АЦП0 (сбрасывается программно)

0: Преобразованные данные не соответствуют заданному диапазону (с момента последнего обнуления этого флага).

1: Преобразованные данные соответствуют заданному диапазону

Бит 0: AD0LJST: Бит выравнивания результата преобразования

0: Данные в регистровой паре ADC0H:ADC0L выровнены вправо

1: Данные в регистровой паре ADC0H:ADC0L выровнены влево



Рисунок 6.9. ADC0H: Регистр старшего байта слова данных АЦП (C8051F022/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xBF |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: Старшие биты слова данных АЦП0.
 Для AD0LJST = 0: Биты 7-2 являются знаковым расширением бита 1. Биты 2-0 представляют собой старшие 2 бита 10-разрядного слова данных АЦП0.
 Для AD0LJST = 1: Биты 7-0 являются старшими 8 битами 10-разрядного слова данных АЦП0.

Рисунок 6.10. ADC0L: Регистр младшего байта слова данных АЦП (C8051F022/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xBE |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: Младшие биты слова данных АЦП
 Для AD0LJST = 0: Биты 7-0 являются младшими 8 битами 10-разрядного слова данных АЦП0.
 Для AD0LJST = 1: Биты 7-6 представляют собой младшие 2 бита 10-разрядного слова данных АЦП0. Биты 5-0 всегда читаются как '0'.

Рисунок 6.11. Пример слова данных АЦП0 (C8051F022/3)

10-разрядный результат преобразования АЦП0 получается следующим образом:

ADC0H[1:0]:ADC0L[7:0], если AD0LJST = 0

(в случае преобразования дифференциального сигнала биты ADC0H[7:2] будут знаковым расширением бита ADC0H.1, в случае одиночного сигнала ADC0H[7:2] = 000000b)

ADC0H[7:0]:ADC0L[7:6], если AD0LJST = 1

(ADC0L[5:0] = 000000b)

Пример: Порядок записи результата преобразования, вход AIN0 работает в одиночном режиме (AMX0CF=0x00, AMX0SL=0x00)

| AIN0 – AGND (Вольты) | ADC0H:ADC0L (AD0LJST = 0) | ADC0H:ADC0L (AD0LJST = 1) |
|-------------------------|------------------------------|------------------------------|
| VREF * (1023/1024) | 0x03FF | 0xFFC0 |
| VREF/2 | 0x0200 | 0x8000 |
| VREF * (511/1024) | 0x01FF | 0x7FC0 |
| 0 | 0x0000 | 0x0000 |

Пример: Порядок записи результата преобразования, входы AIN0-AIN1 работают в дифференциальном режиме (AMX0CF=0x01, AMX0SL=0x00)

| AIN0 – AIN1 (Вольты) | ADC0H:ADC0L (AD0LJST = 0) | ADC0H:ADC0L (AD0LJST = 1) |
|-------------------------|------------------------------|------------------------------|
| VREF * (511/512) | 0x01FF | 0x7FC0 |
| VREF/2 | 0x0100 | 0x4000 |
| VREF * (1/512) | 0x0001 | 0x0040 |
| 0 | 0x0000 | 0x0000 |
| - VREF * (1/512) | 0xFFFF(-1) | 0xFFC0 |
| - VREF/2 | 0xFF00(-256) | 0xC000 |
| - VREF | 0xFE00(-512) | 0x8000 |

Для AD0LJST = 0:

$$Code = Vin \times (Gain/VREF) \times 2^n;$$

‘n’ = 10, если входы работают в одиночном режиме;

‘n’ = 9, если входы работают в дифференциальном режиме.

6.3. Программируемый детектор диапазона АЦП

Программируемый детектор диапазона АЦПО постоянно проверяет выходные данные АЦПО на соответствие заданному пользователем диапазону значений и уведомляет систему при обнаружении несоответствия. Это особенно эффективно в управляемых прерываниями системах, т.к. позволяет уменьшить объем кода и улучшить производительность при одновременном уменьшении времени реакции системы. Флаг прерывания от детектора диапазона (бит AD0WINT в регистре ADC0CN) можно использовать также в режиме программного опроса. Старшие и младшие байты граничных значений загружаются в регистры нижней и верхней границ диапазона АЦПО (ADC0GTH, ADC0GTL, ADC0LTH и ADC0LTL). На рис.6.16, рис.6.17, рис.6.18 и рис.6.19 приведены примеры использования детектора диапазона. Следует отметить, что флаг прерывания от детектора диапазона может устанавливаться как при попадании, так и при непопадании результата преобразования в заданный диапазон, в зависимости от значений, записанных в регистры ADC0GTx и ADC0LTx.

Рисунок 6.12. ADC0GTH: Регистр старшего байта нижней границы диапазона (C8051F22/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| | | | | | | | | 11111111 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xC5 |

Биты 7-0: Старший байт нижней границы диапазона АЦПО.

Рисунок 6.13. ADC0GTL: Регистр младшего байта нижней границы диапазона (C8051F22/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| | | | | | | | | 11111111 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xC4 |

Биты 7-0: Младший байт нижней границы диапазона АЦПО.

Рисунок 6.14. ADC0LTH: Регистр старшего байта верхней границы диапазона (C8051F22/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| | | | | | | | | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xC7 |

Биты 7-0: Старший байт верхней границы диапазона АЦПО.

Рисунок 6.15. ADC0LTL: Регистр младшего байта верхней границы диапазона (C8051F22/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| | | | | | | | | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xC6 |

Биты 7-0: Младший байт верхней границы диапазона АЦПО.

Рисунок 6.16. Пример использования детектора диапазона 10-разрядного АЦП
(данные выровнены вправо, вход одиночный)

Входное напряжение (AD0 - AGND) Слово данных АЦП

| | | |
|-------------------|--------|--------------------------|
| REF x (1023/1024) | 0x03FF | AD0WINT не изменяется |
| | 0x0201 | |
| REF x (512/1024) | 0x0200 | ADC0LTH:ADC0LTL |
| | 0x01FF | AD0WINT=1 |
| | 0x0101 | |
| REF x (256/1024) | 0x0100 | ADC0GTH:ADC0GTL |
| | 0x00FF | AD0WINT не изменяется |
| 0 | 0x0000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 0,
 ADC0LTH:ADC0LTL = 0x0200,
 ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП < 0x0200 и > 0x0100.

Входное напряжение (AD0 - AGND) Слово данных АЦП

| | | |
|-------------------|--------|--------------------------|
| REF x (1023/1024) | 0x03FF | AD0WINT=1 |
| | 0x0201 | |
| REF x (512/1024) | 0x0200 | ADC0GTH:ADC0GTL |
| | 0x01FF | AD0WINT не изменяется |
| | 0x0101 | |
| REF x (256/1024) | 0x0100 | ADC0LTH:ADC0LTL |
| | 0x00FF | AD0WINT=1 |
| 0 | 0x0000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 0,
 ADC0LTH:ADC0LTL = 0x0100,
 ADC0GTH:ADC0GTL = 0x0200.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП < 0x0100 или > 0x0200.

Рисунок 6.17. Пример использования детектора диапазона 10-разрядного АЦП0 (данные выровнены вправо, вход дифференциальный)

| Входное напряжение (AD0 - AD1) | Слово данных АЦП | | Входное напряжение (AD0 - AD1) | Слово данных АЦП | |
|-----------------------------------|---------------------|--------------------------|-----------------------------------|---------------------|--------------------------|
| REF x (511/512) | 0x01FF | AD0WINT не изменяется | REF x (511/512) | 0x01FF | AD0WINT=1 |
| | 0x0101 | | | 0x0101 | |
| REF x (256/512) | 0x0100 | ADC0LTH:ADC0LTL | REF x (256/512) | 0x0100 | ADC0GTH:ADC0GTL |
| | 0x00FF | AD0WINT=1 | | 0x00FF | AD0WINT не изменяется |
| | 0x0000 | | | 0x0000 | |
| REF x (-1/512) | 0xFFFF | ADC0GTH:ADC0GTL | REF x (-1/512) | 0xFFFF | ADC0LTH:ADC0LTL |
| | 0xFFFE | AD0WINT не изменяется | | 0xFFFE | AD0WINT=1 |
| | | | | | |
| -REF | 0xFE00 | | -REF | 0xFE00 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 0,
ADC0LTH:ADC0LTL = 0x0100,
ADC0GTH:ADC0GTL = 0xFFFF.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x0100 и > 0xFFFF. (используется дополнительный код, т.е. 0xFFFF = -1.)

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 0,
ADC0LTH:ADC0LTH = 0xFFFF,
ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0xFFFF или > 0x0100. (используется дополнительный код, т.е. 0xFFFF = -1.)

**Рисунок 6.18. Пример использования детектора диапазона 10-разрядного АЦП0
(данные выровнены влево, вход одиночный)**

| Входное напряжение (AD0 - AGND) | Слово данных АЦП | |
|------------------------------------|---------------------|--------------------------|
| REF x (1023/1024) | 0xFFC0 | AD0WINT не изменяется |
| | 0x8040 | |
| REF x (512/1024) | 0x8000 | ADC0LTH:ADC0LTL |
| | 0x7FC0 | AD0WINT=1 |
| | 0x4040 | |
| REF x (256/1024) | 0x4000 | ADC0GTH:ADC0GTL |
| | 0x3FC0 | AD0WINT не изменяется |
| 0 | 0x0000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x8000,
ADC0GTH:ADC0GTL = 0x4000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x8000 и > 0x4000.

| Входное напряжение (AD0 - AGND) | Слово данных АЦП | |
|------------------------------------|---------------------|--------------------------|
| REF x (1023/1024) | 0xFFC0 | AD0WINT=1 |
| | 0x8040 | |
| REF x (512/1024) | 0x8000 | ADC0GTH:ADC0GTL |
| | 0x7FC0 | AD0WINT не изменяется |
| | 0x4040 | |
| REF x (256/1024) | 0x4000 | ADC0LTH:ADC0LTL |
| | 0x3FC0 | AD0WINT=1 |
| 0 | 0x0000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x4000,
ADC0GTH:ADC0GTL = 0x8000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x4000 или > 0x8000.

**Рисунок 6.19. Пример использования детектора диапазона 10-разрядного АЦП0
(данные выровнены влево, вход дифференциальный)**

| Входное напряжение (AD0 - AD1) | Слово данных АЦП | |
|-----------------------------------|---------------------|--------------------------|
| REF x (511/512) | 0x7FC0 | AD0WINT не изменяется |
| | 0x2040 | |
| REF x (128/512) | 0x2000 | ADC0LTH:ADC0LTL |
| | 0x1FC0 | AD0WINT=1 |
| | 0x0000 | |
| REF x (-1/512) | 0xFFC0 | ADC0GTH:ADC0GTL |
| | 0xFF80 | AD0WINT не изменяется |
| -REF | 0x8000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x2000,
ADC0GTH:ADC0GTL = 0xFFC0.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x2000 и > 0xFFC0. (используется дополнительный код, т.е. 0xFFFF = -1.)

| Входное напряжение (AD0 - AD1) | Слово данных АЦП | |
|-----------------------------------|---------------------|--------------------------|
| REF x (511/512) | 0x7FC0 | AD0WINT=1 |
| | 0x2040 | |
| REF x (128/512) | 0x2000 | ADC0GTH:ADC0GTL |
| | 0x1FC0 | AD0WINT не изменяется |
| | 0x0000 | |
| REF x (-1/512) | 0xFFC0 | ADC0LTH:ADC0LTL |
| | 0xFF80 | AD0WINT=1 |
| -REF | 0x8000 | |

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 1,
ADC0LTH:ADC0LTH = 0xFFC0,
ADC0GTH:ADC0GTL = 0x2000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0xFFC0 или > 0x2000. (используется дополнительный код, т.е. 0xFFFF = -1.)

Таблица 6.1. Электрические характеристики 10-разрядного АЦПО (C8051F22/3)

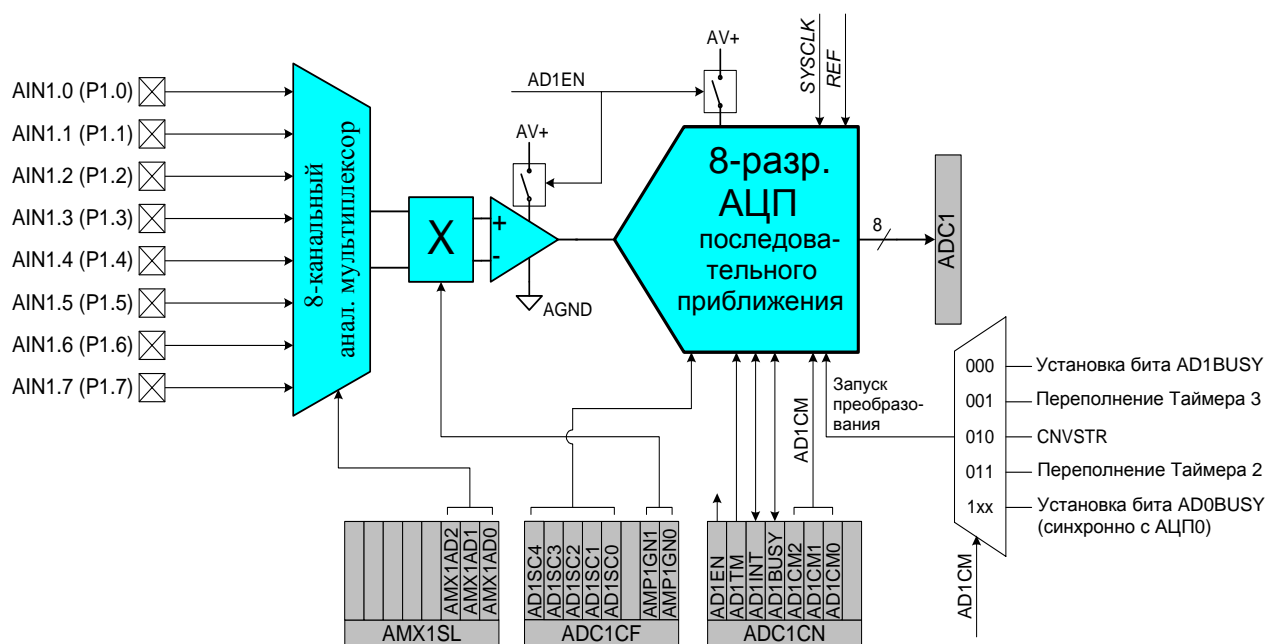
VDD = 3.0В, AV+ = 3.0В, Viон = 2.4В (REFBE=0), T = -40°C ... +85°C, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|--|---|------|--------------------------|--------|-----------|
| Точность преобразования | | | | | |
| Разрядность | | 10 | | | бит |
| Интегральная нелинейность | | | | ±1 | МЗР |
| Дифференциальная нелинейность | Монотонность преобразования | | | ±1 | МЗР |
| Погрешность смещения нуля | | | ± 0,5 | | МЗР |
| Погрешность полной шкалы | Дифференциальный режим | | -1,5 ± 0,5 | | МЗР |
| Температурный коэффициент смещения нуля | | | ±0,25 x 10 ⁻⁴ | | %/°C |
| Динамические характеристики (10кГц синусоидальный входной сигнал, от 0 до 1dB полной шкалы, 100 тыс. преобразований/сек.) | | | | | |
| Отношение сигнал/шум плюс искажение | | 59 | | | dB |
| Общее нелинейное искажение | До 5-й гармоники | | -70 | | dB |
| Динамический диапазон | | | 80 | | dB |
| Скорость преобразования | | | | | |
| Время преобразования в периодах сигнала дискретизации | | 16 | | | такты |
| Частота дискретизации | | | | 2,5 | МГц |
| Время заряда УВХ | | 1,5 | | | мкс |
| Производительность | | | | 100000 | преобр./с |
| Аналоговые входы | | | | | |
| Диапазон входных напряжений | Режим одиночных входов | 0 | | VREF | В |
| Диапазон синфазных напряжений | Дифференциальный режим | AGND | | AV+ | В |
| Входная емкость | | | 10 | | пФ |
| Датчик температуры | | | | | |
| Нелинейность | | -1 | | +1 | °C |
| Абсолютная погрешность | | | ±3 | | °C |
| Коэффициент преобразования | Kyc(PGA) = 1 | | 2.86 | | мВ/°C |
| Смещение нуля | Kyc(PGA) = 1, Темп-ра = 0°C | | 776 | | мВ |
| Параметры питания | | | | | |
| Ток потребления по выв. AV+ | Активный режим, 100 тыс. преобразований/сек | | 450 | 900 | мкА |
| Нестабильность напряжения питания | | | ±0.3 | | мВ/В |

7. 8-разрядный АЦП

Модуль АЦП1 МК C8051F020/1/2/3 состоит из 9-канального программируемого аналогового мультиплексора (AMUX1), программируемого усилителя (PGA1), 8-разрядного АЦП последовательного приближения с производительностью до 500 тыс. преобразований в секунду, устройства выборки-хранения (УВХ) (см. рис.7.1). AMUX1, PGA1 и режимы преобразования настраиваются программным путем при помощи регистров специального назначения (см. рис.7.1). Модуль АЦП1 (АЦП1, УВХ и PGA1) включен только тогда, когда бит AD1EN регистра управления АЦП1 (ADC1CN) установлен в 1. Сброс этого бита в 0 переводит АЦП1 в режим пониженного энергопотребления. Выбор источника опорного напряжения для АЦП1 описан в разделе 9 (для C8051F020/2) или в разделе 10 (для C8051F021/3).

Рисунок 7.1. Функциональная схема АЦП1



7.1. Аналоговый мультиплексор и программируемый усилитель

Для измерения можно использовать восемь каналов AMUX1, которые выбираются в регистре AMX1SL (см. рис.7.5). PGA усиливает выходной сигнал AMUX1 с коэффициентом усиления, определяемым битами AMP1GN2-0 регистра управления АЦП1 ADC1CF (см. рис.7.4). Коэффициент усиления может быть программно выбран из следующего ряда значений: 0.5 (устанавливается при сбросе), 1, 2, 4.

Примечание: Выводы AIN1 являются также входами/выходами Порта 1, поэтому для использования их в качестве входов АЦП1 они должны быть настроены как аналоговые входы. Чтобы настроить вывод AIN1 как аналоговый вход, необходимо сбросить в 0 соответствующий бит в регистре P1MDIN. Выводы Порта 1, настроенные на работу в качестве аналоговых входов, подключаются к аналоговому мультиплексору через цифровую матрицу. Подробная информация о настройке выводов AIN1 приведена в разделе 17.1.6.

7.2. Режимы работы АЦП1

Максимальная скорость преобразования АЦП0 – 500 тыс. преобразований в секунду. Частота дискретизации АЦП1 определяется частотой системного тактового сигнала, деленной на значение, задаваемое битами AD1SC регистра ADC1CF (частота системного тактового сигнала делится на величину (AD1SC+1) для $0 \leq AD1SC \leq 31$). Максимальная частота дискретизации АЦП1 – 6 МГц.

7.2.1. Запуск преобразования

Запуск преобразования может быть осуществлен одним из пяти способов, в зависимости от состояния битов режима запуска преобразования АЦП1 (AD1CM2-0) в регистре ADC1CN. Преобразование может быть инициировано:

- 1) установкой в 1 бита AD1BUSY в регистре ADC1CN;
- 2) переполнением Таймера 3 (т.е. непрерывное по времени преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CNVSTR);
- 4) переполнением Таймера 2 (т.е. непрерывное по времени преобразование);
- 5) установкой в 1 бита AD0BUSY в регистре ADC0CN (т.е. запуск преобразования АЦП1 и АЦП0 можно инициировать одной единственной командой).

Бит AD1BUSY устанавливается в 1 во время преобразования и сбрасывается в 0 после окончания преобразования. При сбросе бита AD1BUSY инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания в регистре ADC1CN. Преобразованные данные доступны в регистре слова данных АЦП1 (ADC1).

Если преобразование инициируется установкой в 1 бита AD1BUSY, то для определения окончания преобразования рекомендуется опрашивать флаг AD1INT. Ниже приведена рекомендуемая процедура опроса:

Шаг 1: Сброс в 0 бита AD1INT.

Шаг 2: Установка в 1 бита AD1BUSY.

Шаг 3: Опрос бита AD1INT до тех пор, пока он не станет равен 1.

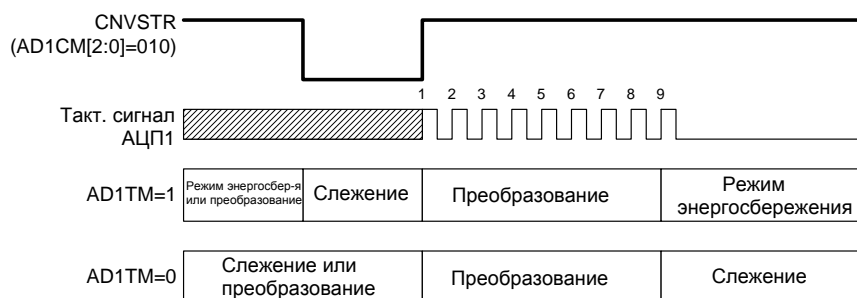
Шаг 4: Обработка данных АЦП1.

7.2.2. Режимы слежения

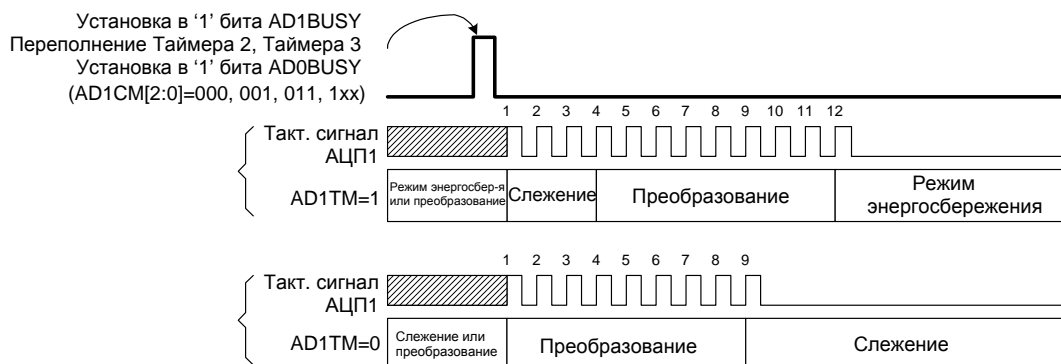
Бит AD1TM регистра ADC1CN управляет режимом выборки-хранения АЦП1. По умолчанию состояние входа АЦП1 отслеживается непрерывно, за исключением момента преобразования. Установка в 1 бита AD1TM переводит АЦП1 в энергосберегающий режим выборки-хранения. В этом режиме каждому преобразованию предшествует (после сигнала запуска преобразования) период выборки, равный трем периодам сигнала дискретизации АЦП. Если для запуска преобразования в энергосберегающем режиме выборки-хранения используется сигнал CNVSTR, то АЦП1 отслеживает входной сигнал только тогда, когда на входе CNVSTR присутствует сигнал низкого уровня; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR (см. рис.7.2). Кроме этого слежение может быть запрещено (отключено), когда весь МК переведен в мало потребляющие режимы ожидания или остановки. Энергосберегающий режим выборки-хранения также полезен в том случае, когда параметры AMUX и PGA часто изменяются, чтобы гарантировать, что время установления соответствует заданным требованиям (см. раздел 7.2.3).

Рисунок 7.2. Временные диаграммы процесса преобразования

А. Временные диаграммы АЦП с внешним источником запуска



В. Временные диаграммы АЦП с внутренним источником запуска



7.2.3. Время установления

Если конфигурация входов АЦП1 изменяется (т.е. изменяются настройки AMUX и PGA), то после этого для обеспечения точности преобразования необходимо выдержать паузу длительностью не менее минимального времени установления сигнала. Время установления определяется сопротивлением AMUX1, емкостью накопительного конденсатора УВХ, сопротивлением внешнего источника сигнала и требуемой точностью преобразования. На рис.7.3 показана эквивалентная схема входа АЦП1. Требуемое время установления для заданной точности установления (settling accuracy – SA) можно приблизительно определить из уравнения 7.1. Если измеряется выходное напряжение датчика температуры, то $R_{TOTAL} = R_{MUX}$. Следует отметить, что в энергосберегающем режиме выборки-хранения после запуска каждого преобразования выборка длится три периода сигнала дискретизации АЦП. Для большинства приложений эти три периода сигнала дискретизации будут соответствовать требованиям, предъявляемым ко времени установления. Абсолютная величина минимального времени установления (выборки) приведена в таблице 7.1.

Уравнение 7.1. Время установления сигнала АЦП1

$$t = \ln(2^n/SA) \times R_{TOTAL}C_{SAMPLE}$$

где: SA – точность установления, задаваемая в долях МЗР (например, 0.25 для установления в пределах ¼ МЗР)

t - требуемое время установления в секундах

R_{TOTAL} – сумма сопротивления AMUX1 и сопротивления внешнего источника сигнала

n - разрешение АЦП в битах (8)

Рисунок 7.3. Эквивалентная схема входа АЦП1

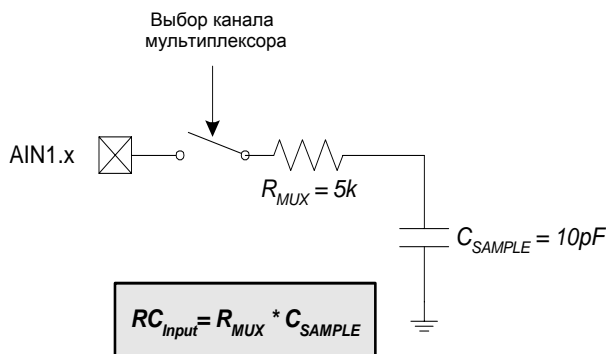


Рисунок 7.4. ADC1CF: Регистр конфигурации АЦП1 (C8051F020/1/2/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|--------|--------|--------|--------|--------|-------|---------|---------|-------------------------|
| AD1SC4 | AD1SC3 | AD1SC2 | AD1SC1 | AD1SC0 | - | AMP1GN1 | AMP1GN0 | 11111000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xAB |

Биты 7-3: AD1SC4-0: Биты установки периода сигнала дискретизации АЦП1
Частота сигнала дискретизации АЦП1 определяется частотой системного тактового сигнала в соответствии со следующим уравнением:

$$AD1SC = \text{SYSCLK} / (\text{CLK}_{\text{SAR0}} - 1),$$

где AD1SC – 5-разрядное значение, задаваемое битами AD1SC4-0
 CLK_{SAR0} – необходимая частота сигнала дискретизации АЦП1
 Максимальное значение частоты сигнала дискретизации АЦП1 приведено в табл.7.1.

Бит 2: Не используется. Читается как 0b.

Биты 1-0: AMP1GN1-0: Коэффициент усиления программируемого усилителя (PGA) АЦП1.

00: $K_{\text{ус}} = 0.5$
 01: $K_{\text{ус}} = 1$
 10: $K_{\text{ус}} = 2$
 11: $K_{\text{ус}} = 4$

Рисунок 7.5. AMX1SL: Регистр выбора канала AMUX1 (C8051F020/1/2/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|---------|---------|---------|-------------------------|
| - | - | - | - | - | AMX1AD2 | AMX1AD1 | AMX1AD0 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xAC |

Биты 7-3: **Не используются:** читаются как 00000b.

Биты 2-0: AMX1AD2-0: Биты адреса AMUX1
 0000-1111b: Каналы АЦП1 выбираются следующим образом:

000: выбран канал AIN1.0
 001: выбран канал AIN1.1
 010: выбран канал AIN1.2
 011: выбран канал AIN1.3
 100: выбран канал AIN1.4
 101: выбран канал AIN1.5
 110: выбран канал AIN1.6
 111: выбран канал AIN1.7

Рисунок 7.6. ADC1CN: Регистр управления АЦП1 (C8051F020/1/2/3)

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 |
|-------|-------|--------|---------|--------|--------|--------|-------|-------------------------------------|
| AD1EN | AD1TM | AD1INT | AD1BUSY | AD1CM2 | AD1CM1 | AD1CM0 | - | SFR Адрес: 0xAA |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Бит7: AD1EN: Бит включения АЦП1

0: АЦП1 отключен. АЦП1 находится в режиме пониженного энергопотребления.

1: АЦП1 включен. АЦП1 находится в активном режиме и готов к преобразованию данных.

Бит 6: AD1TM: Бит установки режима слежения (выборки) АЦП1

0: Когда АЦП1 включен, слежение осуществляется всегда, за исключением момента преобразования.

1: Режим слежения определяется битами AD1CM2-0.

Бит 5: AD1INT: Флаг прерывания от АЦП1 (устанавливается при завершении преобразования)

Этот флаг должен быть сброшен программно.

0: АЦП1 не закончил преобразование данных (с момента последнего обнуления этого флага)

1: АЦП1 закончил преобразование данных

Бит 4: AD1BUSY: Бит занятости АЦП1

Чтение:

0: Преобразование данных завершено или в данный момент преобразование не осуществляется.

При аппаратном обнулении этого бита флаг AD1INT устанавливается в 1.

1: Идет процесс преобразования данных

Запись

0: Не вызывает никаких действий

1: Иницирует запуск преобразования АЦП1, если биты AD1CM2-0 = 000b

Биты 3-1: AD1CM2-0: Биты выбора режима запуска преобразования АЦП1

Если AD1TM = 0:

000: Запуск преобразования осуществляется установкой в 1 бита AD1BUSY.

001: Запуск преобразования осуществляется при переполнении Таймера 3.

010: Запуск преобразования осуществляется нарастающим фронтом внешнего сигнала CNVSTR.

011: Запуск преобразования осуществляется при переполнении Таймера 2.

1xx: Запуск преобразования осуществляется установкой в 1 бита AD0BUSY (т.е. синхронно с программно-управляемым преобразованием АЦП0).

Если AD1TM = 1:

000: слежение (выборка) начинается в момент установки в 1 бита AD1BUSY и длится 3 периода сигнала дискретизации АЦП1, затем начинается преобразование данных.

001: слежение (выборка) начинается при переполнении Таймера 3 и длится 3 периода сигнала дискретизации АЦП1, затем начинается преобразование данных.

010: слежение (выборка) происходит лишь при низком уровне сигнала на входе CNVSTR; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR.

011: слежение (выборка) начинается при переполнении Таймера 2 и длится 3 периода сигнала дискретизации АЦП1; затем начинается преобразование данных.

1xx: слежение (выборка) начинается в момент установки в 1 бита AD0BUSY и длится 3 периода сигнала дискретизации АЦП1, затем начинается преобразование данных.

Бит 0: Не используется. Читается как 0b.

Рисунок 7.7. ADC1: Регистр слова данных АЦП1

| | | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|-------------------------------------|
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 |
| | | | | | | | | SFR Адрес: 0x9C |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: Слово данных АЦП1.

Рисунок 7.8. Пример слова данных АЦП1

8-разрядный результат преобразования АЦП1 получается следующим образом:

Пример: Порядок записи результата преобразования, вход AIN1.0 (AMX1SL=0x00)

| AIN1.0 – AGND (Вольты) | ADC1 |
|---------------------------|------|
| VREF * (255/256) | 0xFF |
| VREF/2 | 0x80 |
| VREF * (127/256) | 0x7F |
| 0 | 0x00 |

$Code = Vin \times (Gain/VREF) \times 256.$

Таблица 7.1. Электрические характеристики АЦП1

VDD = 3.0В, AV+ = 3.0В, Vион = 2.4В (REFBE=0), PGA1 = 1, T = -40°C ... +85°C, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|--|---|------|----------------------|--------|-----------|
| Точность преобразования | | | | | |
| Разрядность | | 8 | | | бит |
| Интегральная нелинейность | | | | ±1 | МЗР |
| Дифференциальная нелинейность | Монотонность преобразования | | | ±1 | МЗР |
| Погрешность смещения нуля | | | 0,5±0,3 | | МЗР |
| Погрешность полной шкалы | Дифференциальный режим | | -1 ±0,2 | | МЗР |
| Температурный коэффициент смещения нуля | | | подлежит определению | | %/°C |
| Динамические характеристики (10кГц синусоидальный входной сигнал, от 0 до 1dB полной шкалы, 500 тыс. преобразований/сек.) | | | | | |
| Отношение сигнал/шум плюс искажение | | 45 | 47 | | dB |
| Общее нелинейное искажение | До 5-й гармоники | | -51 | | dB |
| Динамический диапазон | | | 52 | | dB |
| Скорость преобразования | | | | | |
| Время преобразования в периодах сигнала дискретизации | | 8 | | | такты |
| Частота дискретизации | | | | 6 | МГц |
| Время заряда УВХ | | 300 | | | нс |
| Производительность | | | | 500000 | преобр./с |
| Аналоговые входы | | | | | |
| Диапазон входных напряжений | | 0 | | VREF | В |
| Входная емкость | | | 10 | | пФ |
| Параметры питания | | | | | |
| Ток потребления по выв. AV+ | Активный режим, 500 тыс. преобразований/сек | | 420 | 900 | мкА |
| Нестабильность напряжения питания | | | ±0.3 | | мВ/В |

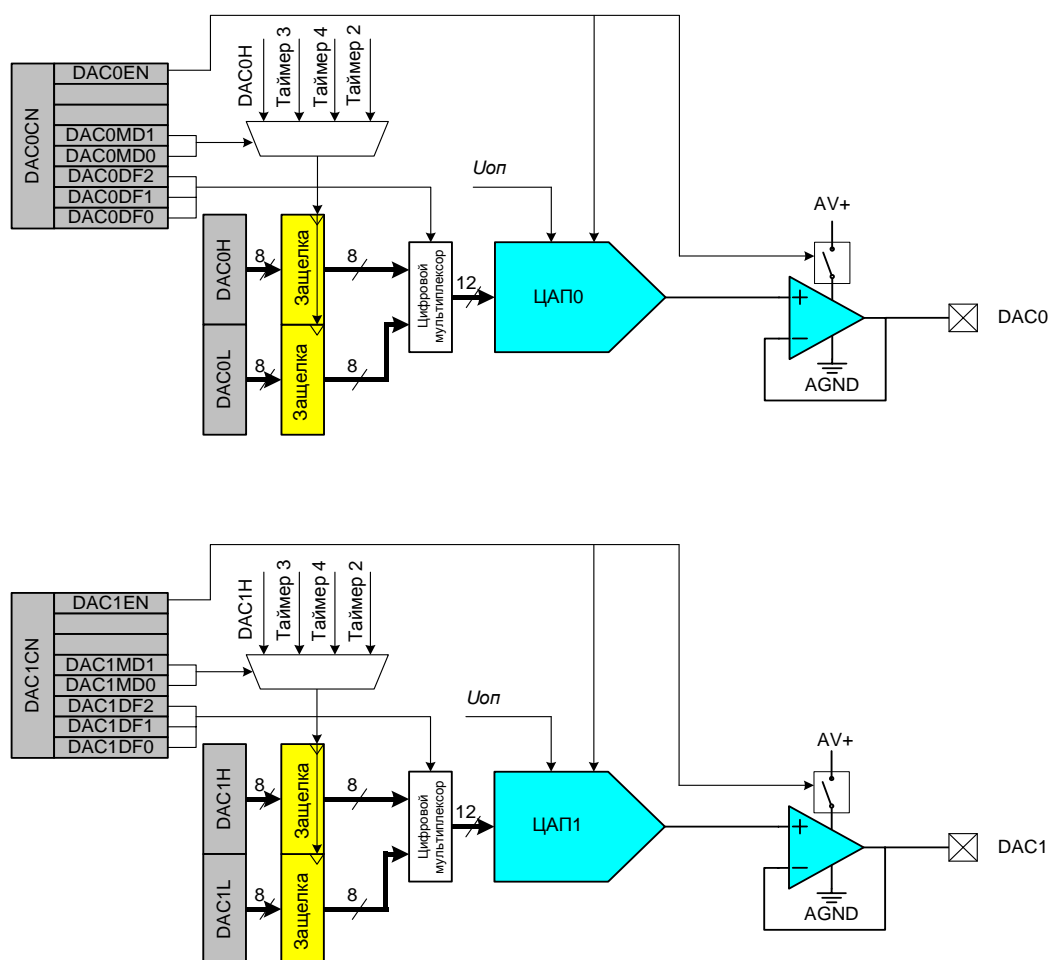
8. 12-разрядный ЦАП

МК семейства C8051F02x имеют два встроенных 12-разрядных ЦАП, выходным сигналом которых является напряжение. Диапазон выходных напряжений каждого ЦАП от 0В до ($V_{оп}-1МЗР$)В для диапазона входных кодов соответственно от 0x000 до 0xFFF. Регистры управления DAC0CN и DAC1CN обеспечивают возможность включения/отключения каждого ЦАП. Когда ЦАП отключен, его выход переводится в высокоимпедансное состояние и ток потребления падает до 1 мкА или менее. Опорное напряжение для каждого ЦАП подается через вывод VREFD (C8051F020/2) или вывод VREF (C8051F021/3). Следует отметить, что вывод VREF в МК C8051F021/3 может быть подключен к внутреннему или внешнему источнику опорного напряжения. Если используется внутренний источник опорного напряжения, то его необходимо включить. Подробная информация о настройке источника опорного напряжения для ЦАП приведена в разделе 9 (C8051F020/2) или 10 (C8051F021/3).

8.1. Формирование выходного сигнала ЦАП.

Каждый ЦАП отличает гибкий механизм обновления выходного сигнала, который позволяет плавно («бесшовно») изменять выходной сигнал во всем диапазоне выходных напряжений и поддерживает обновление выходного сигнала без накопления фазовых искажений. Ниже приведенные примеры касаются ЦАП0, однако ЦАП1 функционирует точно также. Следует иметь ввиду, что операция чтения регистра DAC0L возвращает предварительно зафиксированные данные, т.е. прочитанное значение представляет собой последнее записанное в этот регистр значение, а не значение защелки DAC0L. Операция чтения регистра DAC0H всегда возвращает значение защелки DAC0H.

Рисунок 8.1. Функциональная схема ЦАП.



8.1.1. Обновление выходного сигнала “по требованию”.

В режиме по умолчанию ($DAC0CN.[4:3] = '00'$) выходной сигнал ЦАП0 обновляется “по требованию” при записи старшего байта регистра данных ЦАП0 ($DAC0H$). Необходимо иметь ввиду, что при записи регистра $DAC0L$ записываемое значение удерживается, но не влияет на выход ЦАП0 до тех пор, пока не произойдет запись в регистр $DAC0H$. Для ЦАП0 12-разрядное слово данных записывается в регистры младшего ($DAC0L$) и старшего ($DAC0H$) байтов данных. Данные фиксируются в ЦАП0 после записи регистра $DAC0H$, поэтому, если требуется получить полную 12-разрядную точность, **последовательность записи должна быть следующей: сначала $DAC0L$, затем $DAC0H$** . ЦАП может использоваться в 8-разрядном режиме. Для этого необходимо инициализировать регистр $DAC0L$ требуемым значением (обычно $0x00$) и записывать данные только в регистр $DAC0H$ (в разделе 8.2 приведена информация о форматировании 12-разрядного слова данных ЦАП в пределах 16 бит регистровой пары $DAC0H:DAC0L$).

8.1.2. Обновление выходного сигнала при переполнении таймера.

При работе АЦП преобразование может быть инициировано переполнением таймера независимо от процессора. Аналогичным образом переполнение таймера может использоваться для обновления выходного сигнала ЦАП. Эту возможность выгодно использовать в системах, в которых ЦАП используется для генерации сигнала с определенной частотой выборки, т.к. задержка реакции на прерывание и время выполнения команд не будут влиять на временные параметры выходного сигнала ЦАП. Если состояние битов $DAC0MD$ ($DAC0CN.[4:3]$) равно ‘01’, ‘10’ или ‘11’, то при записи обоих регистров данных ЦАП ($DAC0H$ и $DAC0L$) записываемые значения удерживаются до момента переполнения соответствующего таймера (Таймер 3, Таймер 4 или Таймер 2 соответственно). В момент переполнения содержимое регистровой пары $DAC0H:DAC0L$ копируется во входные защелки ЦАП, вызывая тем самым обновление выходного сигнала ЦАП.

8.2. Форматирование входных данных ЦАП.

В некоторых случаях перед записью данных в ЦАП0 требуется сдвинуть их, чтобы обеспечить правильное выравнивание данных во входных регистрах ЦАП. Обычно для этого требуется одна или более операций загрузки и сдвига, что увеличивает объем программного кода и ухудшает производительность ЦАП. Чтобы решить эту проблему, предусмотрена возможность форматирования данных, которая позволяет пользователю выбрать режим форматирования слова данных ЦАП0 в регистрах данных $DAC0H$ и $DAC0L$. Три бита $DAC0DF2-0$ ($DAC0CN.[2:0]$) позволяют пользователю задать один из пяти режимов форматирования данных (см. описание регистра $DAC0CN$).

ЦАП1 и описанный выше ЦАП0 функционально идентичны. Электрические характеристики ЦАП0 и ЦАП1 приведены в таблице 8.1.

Рисунок 8.2. DAC0H: Регистр старшего байта ЦАП0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xD3 |
|--|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| Биты 7-0: Старший значащий байт слова данных ЦАП0. | | | | | | | | |

Рисунок 8.3. DAC0L: Регистр младшего байта ЦАП0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xD2 |
|--|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| Биты 7-0: Младший значащий байт слова данных ЦАП0. | | | | | | | | |

Ред. 1.4

86

0: ЦАП0 выключен. Вывод выхода ЦАП0 отключен; ЦАП0 переведен в режим пониженного энергопотребления.

ЦАПО включен.

Биты 6-5: Не используются: читаются как 00b.

00: Обновление выходного сигнала ЦАП происходит при записи в регистр DAC0H.

10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 4.

11. Обновление выходного сигнала ЦАП происходит при переполнении таймера z .

Биты 2-0: DAC0DF2-0: Биты выбора режима форматирования данных ЦАП0

DAC0L – младший байт слова данных ЦАП0

| DAC0H | | | | | | | | DAC0L | | | | | | | |
|-------|--|--|--|-----|--|--|--|-------|--|--|--|--|--|--|-----|
| | | | | C3P | | | | | | | | | | | M3P |

DAC0L[7:1] – младшие 7 бит слова данных ЦАП0

| DAC0H | | | | | | | | DAC0L | | | | | | | |
|-------|--|--|-----|--|--|--|--|-------|--|--|--|--|--|-----|--|
| | | | C3P | | | | | | | | | | | M3P | |

DAC0L[7:2] – младшие 6 бит слова данных ЦАП0

| | | | | | | | | | | | | | | | |
|-------|--|-----|--|--|--|--|--|-------|--|--|--|--|-----|--|--|
| DAC0H | | | | | | | | DAC0L | | | | | | | |
| | | C3P | | | | | | | | | | | M3P | | |

DAC0L[7:3] – младшие 5 бит слова данных ЦАП0

| DAC0H | | | | | | | | DAC0L | | | | | | | |
|-------|-----|--|--|--|--|--|--|-------|--|--|--|-----|--|--|--|
| | C3P | | | | | | | | | | | M3P | | | |

DAC0L[7:4] – младшие 4 бита слова данных ЦАП0

| DAC0H | | | | | | | DAC0L | | | | | | | | |
|-------|--|--|--|--|--|--|-------|--|--|--|-----|--|--|--|--|
| C3P | | | | | | | | | | | M3P | | | | |

Рисунок 8.5. DAC1H: Регистр старшего байта ЦАП1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xD6 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: Старший значащий байт слова данных ЦАП1.

Рисунок 8.6. DAC1L: Регистр младшего байта ЦАП1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xD5 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: Младший значащий байт слова данных ЦАП1.

Рисунок 8.7. DAC1CN: Регистр управления ЦАП1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xD7 |
|--------|-------|-------|---------|---------|---------|---------|---------|---|
| DAC1EN | - | - | DAC1MD1 | DAC1MD0 | DAC1DF2 | DAC1DF1 | DAC1DF0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Бит 7: DAC1EN: Бит включения ЦАП1
 0: ЦАП1 выключен. Вывод выхода ЦАП1 отключен; ЦАП1 переведен в режим пониженного энергопотребления.
 1: ЦАП1 включен.

Биты 6-5: **Не используются:** читаются как 00b.

Биты 4-3: DAC1MD1-0: Биты выбора режима обновления выходного сигнала ЦАП1.
 00: Обновление выходного сигнала ЦАП происходит при записи в регистр DAC1H.
 10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 3.
 10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 4.
 11: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 2.

Биты 2-0: DAC1DF2-0: Биты выбора режима форматирования данных ЦАП1

000: DAC1H[3:0] – старшие 4 бита слова данных ЦАП1
 DAC1L – младший байт слова данных ЦАП1

| DAC1H | | | | | | | | DAC1L | | | | | | | |
|-------|--|--|--|-----|--|--|--|-------|--|--|--|--|--|--|-----|
| | | | | C3P | | | | | | | | | | | M3P |

001: DAC1H[4:0] – старшие 5 бит слова данных ЦАП1
 DAC1L[7:1] – младшие 7 бит слова данных ЦАП1

| DAC1H | | | | | | | | DAC1L | | | | | | | |
|-------|--|--|--|-----|--|--|--|-------|--|--|--|--|--|-----|--|
| | | | | C3P | | | | | | | | | | M3P | |

010: DAC1H[5:0] – старшие 6 бит слова данных ЦАП1
 DAC1L[7:2] – младшие 6 бит слова данных ЦАП1

| DAC1H | | | | | | | | DAC1L | | | | | | | |
|-------|--|--|--|-----|--|--|--|-------|--|--|--|--|-----|--|--|
| | | | | C3P | | | | | | | | | M3P | | |

011: DAC1H[6:0] – старшие 7 бит слова данных ЦАП1
 DAC1L[7:3] – младшие 5 бит слова данных ЦАП1

| DAC1H | | | | | | | | DAC1L | | | | | | | |
|-------|--|--|--|-----|--|--|--|-------|--|--|--|--|-----|--|--|
| | | | | C3P | | | | | | | | | M3P | | |

1xx: DAC1H – старший байт слова данных ЦАП1
 DAC1L[7:4] – младшие 4 бита слова данных ЦАП1

| DAC1H | | | | | | | | DAC1L | | | | | | | |
|-------|--|--|--|-----|--|--|--|-------|--|--|--|--|-----|--|--|
| | | | | C3P | | | | | | | | | M3P | | |

Таблица 8.1. Электрические характеристики ЦАП

VDD = 3.0В, AV+ = 3.0В, Vop = 2.4В (REFBE=0), без нагрузки на выходе, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|--|--|------|--------------------|-----------|----------|
| Статические параметры | | | | | |
| Разрядность | | | 12 | | биты |
| Интегральная нелинейность | | | ±2 | | МЗР |
| Дифференциальная нелинейность | | | | ±1 | МЗР |
| Выходной шум | Без выходного фильтра С выходным фильтром на 100кГц С выходным фильтром на 10кГц | | 250 128 41 | | мкВ/мс |
| Погрешность смещения нуля | Слово данных = 0x014 | | ±3 | ±30 | мВ |
| Температурный коэффициент смещения нуля | | | 6×10^{-4} | | %/°C |
| Погрешность полной шкалы | | | ±20 | ±60 | мВ |
| Температурный коэффициент погрешности полной шкалы | | | 1×10^{-3} | | %/°C |
| Коэффициент подавления по напряжению питания VDD | | | -60 | | дБ |
| Выходное сопротивление в режиме энергосбережения | DACnEN=0 | | 100 | | кОм |
| Выходной втекающий ток | | | 300 | | мкА |
| Выходной ток короткого замыкания | Слово данных = 0xFFFF | | 15 | | мА |
| Динамические параметры | | | | | |
| Скорость нарастания выходного напряжения | Емкость нагрузки = 40 пФ | | 0.44 | | В/мкс |
| Время установления выходного напряжения в пределах 1/2 МЗР | Емкость нагрузки = 40 пФ, входные коды от 0xFFFF до 0x014 | | 10 | | мкс |
| Диапазон выходных напряжений | | 0 | | VREF-1МЗР | В |
| Время запуска | Бит включения ЦАП установлен | | 10 | | мкс |
| Аналоговые выходы | | | | | |
| Нестабильность выходного напряжения | Ток нагрузки от 0.01мА до 0.3мА при коде 0xFFFF | | 6×10^{-4} | | % |
| Энергопотребление (каждый ЦАП) | | | | | |
| Ток потребления по выв. AV+ | Слово данных = 0x7FF | | 110 | 400 | мкА |

ПРИМЕЧАНИЯ

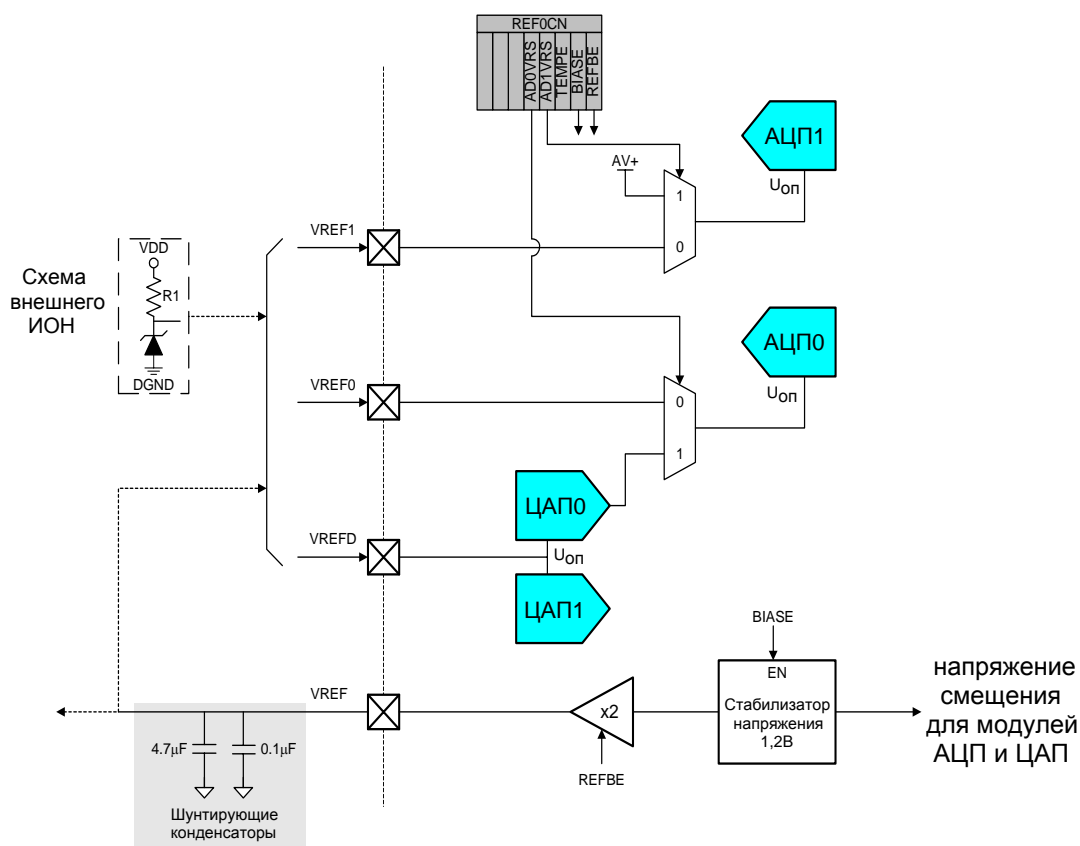
9. Источник опорного напряжения (C8051F20/2)

Схема источника опорного напряжения (ИОН) обеспечивает максимум гибкости при работе ЦАП и АЦП. Три входных вывода опорного напряжения позволяют каждому АЦП и двум ЦАП подключаться к внешнему ИОН или к выходу встроенного ИОН. Также АЦП0 может использовать в качестве опорного напряжения выходной сигнал ЦАП0, а АЦП1 может использовать в качестве опорного напряжения напряжение питания аналоговых модулей (AV+), при этом, благодаря наличию мультиплексоров (см. рис.9.1), не требуется соединения каких-либо внешних выводов.

Схема внутреннего ИОН состоит из генератора стабилизированного напряжения 1,2В с нестабильностью по напряжению 0,0015%/°C (типичное значение) и выходного буферного усилителя с $K_{уст} = 2$. Опорное напряжение с вывода VREF может быть подано на внешние компоненты системы или на входные выводы опорного напряжения, как показано на рис.9.1. Вывод VREF рекомендуется соединить с общей шиной AGND шунтирующими конденсаторами емкостью 0,1мкФ и 4,7мкФ (см. рис.9.1). Электрические параметры ИОН приведены в табл.9.1.

Регистр управления ИОН REF0CN (см. рис.9.2) позволяет включать/отключать внутренний генератор стабилизированного напряжения и выбирать входы опорного напряжения для АЦП0 и АЦП1. Бит BIASE регистра REF0CN включает встроенный генератор стабилизированного напряжения, а бит REFBE регистра REF0CN включает буферный усилитель с $K_{уст} = 2$, напряжение с выхода которого подается на вывод VREF. Если стабилизатор и буферный усилитель отключены, то их ток потребления уменьшается до 1мкА (типичное значение) и менее, а выход буферного усилителя переводится в высокоимпедансное состояние. Если внутренний стабилизатор используется в качестве генератора опорного напряжения, биты BIASE и REFBE должны быть установлены в 1. Если внутренний ИОН не используется, то бит REFBE можно сбросить в 0. Следует иметь в виду, что, если используются ЦАП или АЦП, то бит BIASE должен быть установлен в 1 независимо от того, какой ИОН используется – внутренний или внешний. Если ни АЦП, ни ЦАП не используются, то оба этих бита можно сбросить в 0 с целью уменьшения энергопотребления. Биты AD0VRS и AD1VRS выбирают ИОН для АЦП0 и АЦП1 соответственно. Электрические параметры схемы ИОН приведены в табл.9.1.

Рисунок 9.1. Функциональная схема источника опорного напряжения



Датчик температуры подключен к старшему каналу входного мультиплексора АЦП0 (см. раздел 5.1 для МК C8051F20/1 и раздел 6.1 для МК C8051F22/3). Бит TEMPE регистра REF0CN разрешает или запрещает работу датчика температуры. В случае запрещения датчик температуры по умолчанию переводится в высокоимпедансное состояние. Любые аналого-цифровые измерения показаний запрещенного датчика температуры возвратят незначимые данные.

Рисунок 7.2. REF0CN: Регистр управления ИОН

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|--------|--------|-------|-------|-------|----------------------|
| - | - | - | AD0VRS | AD1VRS | TEMPE | BIASE | REFBE | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xD1 |

Биты 7-5: **Не используются**: читаются как 000b.

Бит 4: AD0VRS: Бит выбора источника опорного напряжения для АЦП0.
 0: В качестве опорного напряжения АЦП0 используется напряжение с вывода VREF0.
 1: В качестве опорного напряжения АЦП0 используется выходной сигнал ЦАП0.

Бит 3: AD1VRS: Бит выбора источника опорного напряжения для АЦП1.
 0: В качестве опорного напряжения АЦП1 используется напряжение с вывода VREF1.
 1: В качестве опорного напряжения АЦП1 используется напряжение AV+.

Бит 2: TEMPE: Бит включения датчика температуры
 0: Внутренний датчик температуры выключен.
 1: Внутренний датчик температуры включен.

Бит 1: BIASE: Бит разрешения смещения для АЦП (должен быть равен '1', если используются АЦП или ЦАП)
 0: Внутренний генератор напряжения смещения отключен.
 1: Внутренний генератор напряжения смещения включен

Бит 0: REFBE: Бит управления выходным буфером внутреннего ИОН
 0: Буфер внутреннего ИОН выключен.
 1: Буфер внутреннего ИОН включен. Напряжение от внутреннего ИОН подается на вывод VREF.

Таблица 9.1. Электрические характеристики ИОН

VDD = 3.0В, AV+ = 3.0В, T = от -40°C до +85°C, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|--|--|------|----------------------|--------------|----------|
| Внутренний ИОН (REFBE = 1) | | | | | |
| Выходное напряжение | T _{окр. ср.} = 25°C | 2.36 | 2.43 | 2.50 | В |
| Ток короткого замыкания через вывод VREF | | | | 30 | мА |
| Температурный коэффициент нестабильности напряжения на выводе VREF | | | 0,0015 | | %/°C |
| Нестабильность тока по нагрузке | Ток нагрузки = (0-200мкА) в цепь AGND | | 5 x 10 ⁻⁵ | | %/мкА |
| Время стабилизации напряжения на выводе VREF (1) | Танталовый шунтирующий конденсатор емкостью 4.7мкФ, керамический шунтирующий конденсатор емкостью 0.1мкФ | | 2 | | мс |
| Время стабилизации напряжения на выводе VREF (2) | Керамический шунтирующий конденсатор емкостью 0.1мкФ | | 20 | | мкс |
| Время стабилизации напряжения на выводе VREF (3) | Без шунтирующего конденсатора | | 10 | | мкс |
| Внешний ИОН (REFBE = 0) | | | | | |
| Входное напряжение | | 1.00 | | (AV+) – 0.3В | В |
| Входной ток | | | 0 | 1 | мкА |

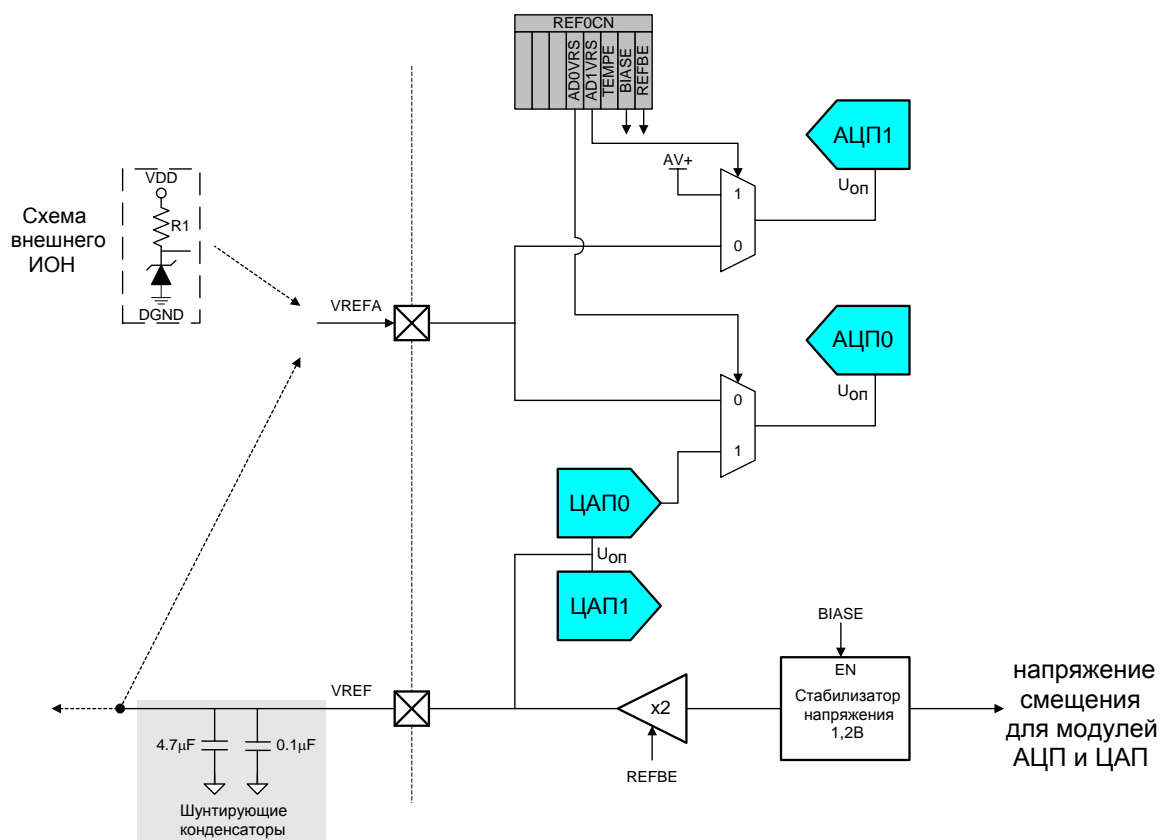
10. Источник опорного напряжения (C8051F21/3)

Схема внутреннего ИОН состоит из генератора стабилизированного напряжения 1,2В с нестабильностью по напряжению 0,0015%/°C (типичное значение) и выходного буферного усилителя с $K_{уст} = 2$. Опорное напряжение с вывода VREF может быть подано на внешние компоненты системы или на входные вывод VREFA, как показано на рис.10.1. Вывод VREF рекомендуется соединить с общей шиной AGND шунтирующими конденсаторами емкостью 0,1мкФ и 4,7мкФ (см. рис.10.1). Электрические параметры ИОН приведены в табл.10.1.

Вывод VREFA является входом опорного напряжения для АЦП0 и АЦП1. Также АЦП0 может использовать в качестве опорного напряжения выходной сигнал ЦАП0, а АЦП1 может использовать в качестве опорного напряжения напряжение питания аналоговых модулей (AV+), при этом, благодаря наличию мультиплексоров (см. рис.10.1), не требуется соединения каких-либо внешних выводов.

Регистр управления ИОН REF0CN (см. рис.10.2) позволяет включать/отключать внутренний генератор стабилизированного напряжения и выбирать входы опорного напряжения для АЦП0 и АЦП1. Бит BIASЕ регистра REF0CN включает встроенный генератор стабилизированного напряжения, а бит REFBE регистра REF0CN включает буферный усилитель с $K_{уст} = 2$, напряжение с выхода которого подается на вывод VREF. Если стабилизатор и буферный усилитель отключены, то их ток потребления уменьшается до 1мкА (типичное значение) и менее, а выход буферного усилителя переводится в высокоимпедансное состояние. Если внутренний стабилизатор используется в качестве генератора опорного напряжения, биты BIASЕ и REFBE должны быть установлены в 1 (а также всегда, когда используется ЦАП). Если внутренний ИОН не используется, то бит REFBE можно сбросить в 0. Следует иметь ввиду, что, если используется любой АЦП, то бит BIASЕ должен быть установлен в 1 независимо от того, какой ИОН используется – внутренний или внешний. Если ни АЦП, ни ЦАП не используются, то оба этих бита можно сбросить в 0 с целью уменьшения энергопотребления. Биты AD0VRS и AD1VRS выбирают ИОН для АЦП0 и АЦП1 соответственно. Электрические параметры схемы ИОН приведены в табл.10.1.

Рисунок 10.1. Функциональная схема источника опорного напряжения



Датчик температуры подключен к старшему каналу входного мультиплексора АЦП0 (см. раздел 5.1 для МК C8051F20/1 и раздел 6.1 для МК C8051F22/3). Бит TEMPE регистра REF0CN разрешает или запрещает работу датчика температуры. В случае запрещения датчик температуры по умолчанию переводится в высокоимпедансное состояние. Любые аналого-цифровые измерения показаний запрещенного датчика температуры возвратят незначимые данные.

Рисунок 10.2. REF0CN: Регистр управления ИОН

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|--------|--------|-------|-------|-------|----------------------|
| - | - | - | AD0VRS | AD1VRS | TEMPE | BIASE | REFBE | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xD1 |

Биты 7-5: **Не используются**: читаются как 000b.

Бит 4: AD0VRS: Бит выбора источника опорного напряжения для АЦП0.
 0: В качестве опорного напряжения АЦП0 используется напряжение с вывода VREFA.
 1: В качестве опорного напряжения АЦП0 используется выходной сигнал ЦАП0.

Бит 3: AD1VRS: Бит выбора источника опорного напряжения для АЦП1.
 0: В качестве опорного напряжения АЦП1 используется напряжение с вывода VREFA.
 1: В качестве опорного напряжения АЦП1 используется напряжение AV+.

Бит 2: TEMPE: Бит включения датчика температуры
 0: Внутренний датчик температуры выключен.
 1: Внутренний датчик температуры включен.

Бит 1: BIASE: Бит включения генератора напряжения смещения АЦП/ЦАП (должен быть равен '1', если используются АЦП или ЦАП)
 0: Внутренний генератор напряжения смещения отключен.
 1: Внутренний генератор напряжения смещения включен.

Бит 0: REFBE: Бит управления выходным буфером внутреннего ИОН
 0: Буфер внутреннего ИОН выключен.
 1: Буфер внутреннего ИОН включен. Напряжение от внутреннего ИОН подается на вывод VREF.

Таблица 10.1. Электрические характеристики ИОН

VDD = 3.0В, AV+ = 3.0В, T = от -40°C до +85°C, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|--|--|------|----------------------|--------------|----------|
| Внутренний ИОН (REFBE = 1) | | | | | |
| Выходное напряжение | T _{окр. ср.} = 25°C | 2.36 | 2.43 | 2.50 | В |
| Ток короткого замыкания через вывод VREF | | | | 30 | мА |
| Температурный коэффициент нестабильности напряжения на выводе VREF | | | 0,0015 | | %/°C |
| Нестабильность тока по нагрузке | Ток нагрузки = (0-200мкА) в цепь AGND | | 5 x 10 ⁻⁵ | | %/мкА |
| Время стабилизации напряжения на выводе VREF (1) | Танталовый шунтирующий конденсатор емкостью 4.7мкФ, керамический шунтирующий конденсатор емкостью 0.1мкФ | | 2 | | мс |
| Время стабилизации напряжения на выводе VREF (2) | Керамический шунтирующий конденсатор емкостью 0.1мкФ | | 20 | | мкс |
| Время стабилизации напряжения на выводе VREF (3) | Без шунтирующего конденсатора | | 10 | | мкс |
| Внешний ИОН (REFBE = 0) | | | | | |
| Входное напряжение | | 1.00 | | (AV+) - 0.3В | В |
| Входной ток | | | 0 | 1 | мкА |

11. КОМПАРАТОРЫ

МК C8051F018/19 имеют два встроенных аналоговых компаратора напряжения (см. рис.11.1). Входы каждого компаратора подключены к внешним выводам корпуса. Выход каждого компаратора соединен с выводами корпуса через коммутирующую матрицу. Выход каждого компаратора, соединенный с выводом корпуса, может быть настроен на работу в режиме с открытым стоком или в двунаправленном режиме (см. раздел 17).

Параметры гистерезиса каждого компаратора настраиваются при помощи соответствующих регистров управления компараторами (CPT0CN и CPT1CN для Компаратора 0 и Компаратора 1 соответственно). Пользователь может программировать общую ширину петли гистерезиса (касается входного напряжения), задав по отдельности положительное и отрицательное напряжение этого гистерезиса относительно порогового значения. Выход компаратора может использоваться в режиме программного опроса, либо как источник прерывания. Каждый компаратор можно включить или отключить. Если компаратор отключен, на его выходе (если он соединен с портом ввода/ вывода через матрицу) по умолчанию удерживается напряжение низкого уровня, вызов прерываний от этого компаратора запрещен, а ток потребления становится менее 1мкА. На входы Компаратора 0 можно подавать сигналы с напряжением от $-0.25V$ до $(AV+) + 0.25V$, не опасаясь повреждения МК или сбоя в его работе.

Параметры гистерезиса Компаратора 0 программируются битами 3-0 регистра управления Компаратора 0 CPT0CN (см. рис.11.3). Величина отрицательного напряжения гистерезиса определяется битами CP0HYN. Аналогично величина положительного напряжения гистерезиса определяется битами CP0HYP. Параметры гистерезиса приведены в таблице 11.1.

Прерывания от компараторов могут быть сгенерированы по переднему или заднему фронту выходного сигнала. (Обработка прерываний и управление приоритетами описаны в разделе 12.3). Флаг CP0FIF устанавливается при возникновении прерывания по заднему фронту выходного сигнала Компаратора 0. Флаг CP0RIF устанавливается при возникновении прерывания по переднему фронту выходного сигнала Компаратора 0. Эти флаги остаются установленными до тех пор, пока не будут сброшены программно. Состояние выхода Компаратора 0 можно получить в любой момент опросом бита CP0OUT. Выход компаратора и прерывание от него будут игнорироваться до тех пор, пока компаратор не будет настроен должным образом после включения питания. Компаратор 0 включается установкой в 1 бита CP0EN и отключается сбросом в 0 этого бита. Компаратор 0 может быть настроен как источник сброса (см. раздел 13.6).

Оба компаратора работают одинаково. Компаратор 1 отличается от Компаратора 0 следующим:

- Компаратор 1 управляется регистром управления CPT1CN (см. рис. 11.4);
- Компаратор 1 нельзя запрограммировать как источник сброса.

Электрические параметры компараторов приведены в табл. 11.1.

Рисунок 11.1. Функциональная схема компаратора

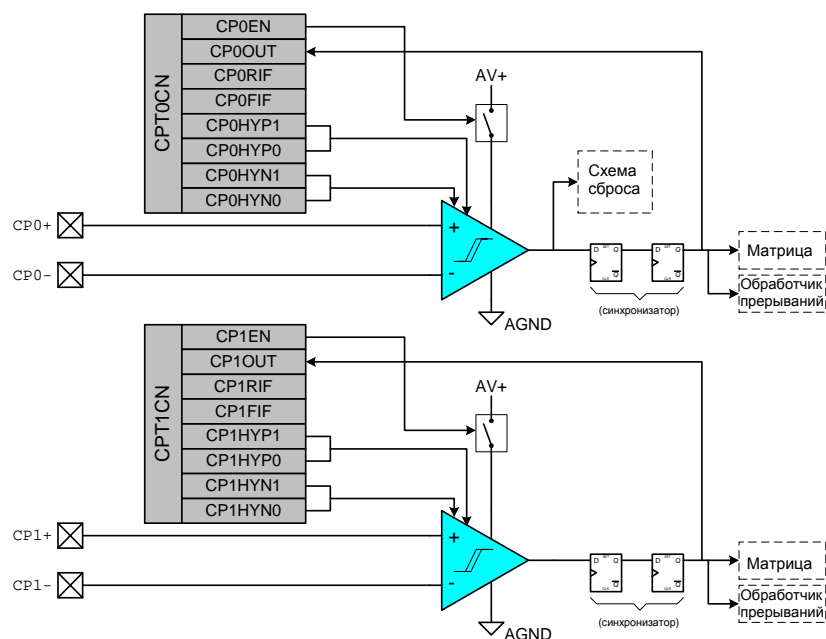


Рисунок 11.2. Гистерезис компаратора

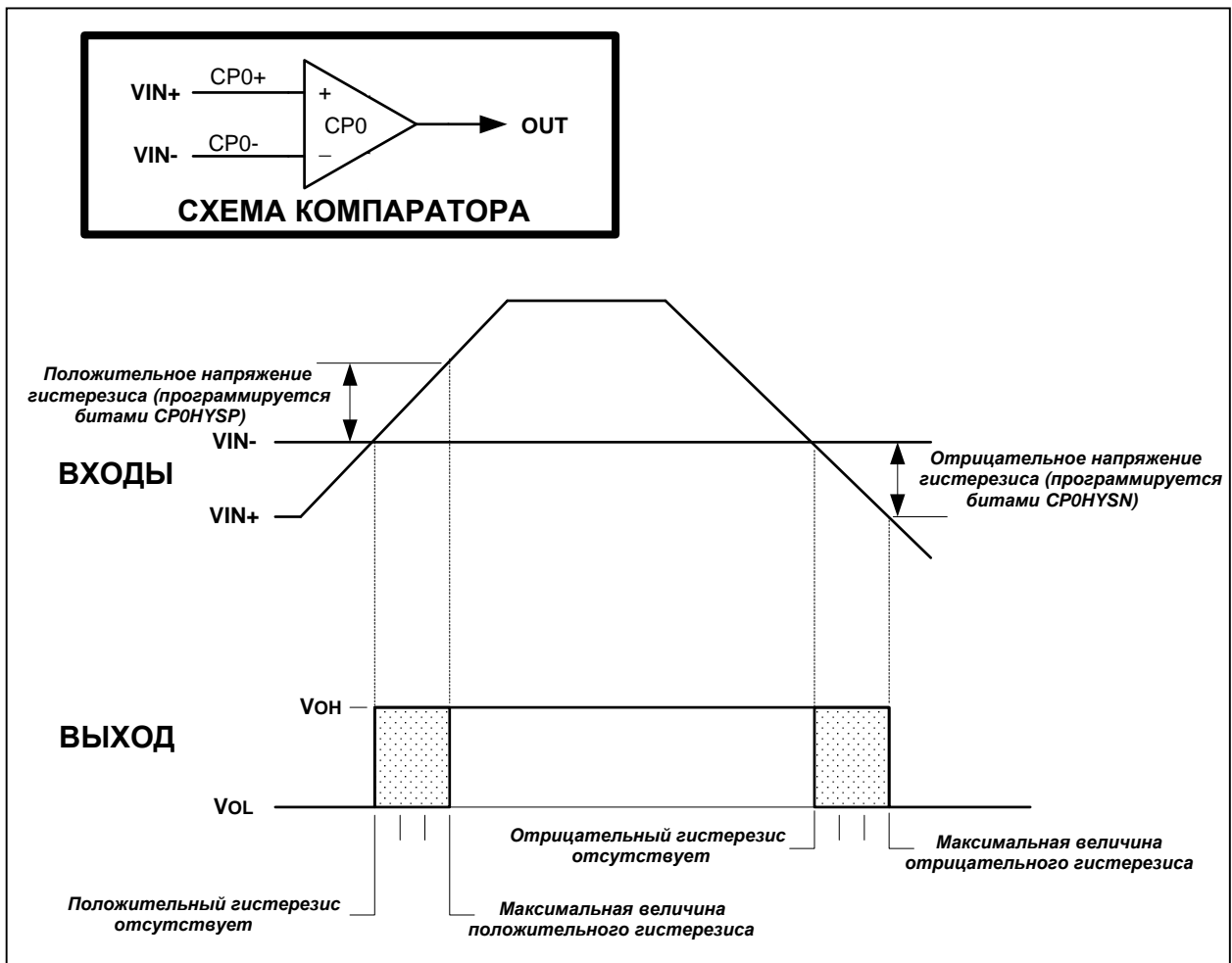


Рисунок 11.3. CPT0CN: Регистр управления Компаратора 0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x9E |
|---|--------|--------|--------|---------|---------|---------|---------|---|
| CP0EN | CP0OUT | CP0RIF | CP0FIF | CP0HYP1 | CP0HYP0 | CP0HYN1 | CP0HYN0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Бит 7: CP0EN: Бит включения Компаратора 0</p> <p>0: Компаратор 0 отключен.</p> <p>1: Компаратор 0 включен.</p> <p>Бит 6: CP0OUT: Флаг состояния выхода Компаратора 0</p> <p>0: Напряжение на вх. CP0+ < CP0-</p> <p>1: Напряжение на вх. CP0+ > CP0-</p> <p>Бит 5: CP0RIF: Флаг прерывания по переднему фронту выходного сигнала Компаратора 0</p> <p>0: Прерывания по переднему фронту выходного сигнала Компаратора 0 с момента последнего обнуления флага CP0RIF не было</p> <p>1: Произошло прерывание по переднему фронту выходного сигнала Компаратора 0</p> <p>Бит 4: CP0FIF: Флаг прерывания по заднему фронту выходного сигнала Компаратора 0</p> <p>0: Прерывания по заднему фронту выходного сигнала Компаратора 0 с момента последнего обнуления флага CP0RIF не было</p> <p>1: Произошло прерывание по заднему фронту выходного сигнала Компаратора 0</p> <p>Биты 3-2: CP0HYP1-0: Биты управления положительным гистерезисом Компаратора 0</p> <p>00: Положительный гистерезис отсутствует</p> <p>01: Положительный гистерезис = 2 мВ</p> <p>10: Положительный гистерезис = 4 мВ</p> <p>11: Положительный гистерезис = 10 мВ</p> <p>Биты 1-0: CP0HYN1-0: Биты управления отрицательным гистерезисом Компаратора 0</p> <p>00: Отрицательный гистерезис отсутствует</p> <p>01: Отрицательный гистерезис = 2 мВ</p> <p>10: Отрицательный гистерезис = 4 мВ</p> <p>11: Отрицательный гистерезис = 10 мВ</p> | | | | | | | | |

Рисунок 11.4. CPT1CN: Регистр управления Компаратора 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x9F |
|---|--------|--------|--------|---------|---------|---------|---------|---|
| CP1EN | CP1OUT | CP1RIF | CP1FIF | CP1HYP1 | CP1HYP0 | CP1HYN1 | CP1HYN0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Бит 7: CP1EN: Бит включения Компаратора 1 0: Компаратор 1 отключен. 1: Компаратор 1 включен.</p> <p>Бит 6: CP1OUT: Флаг состояния выхода Компаратора 1 0: Напряжение на вх. CP1+ < CP1- 1: Напряжение на вх. CP1+ > CP1-</p> <p>Бит 5: CP1RIF: Флаг прерывания по переднему фронту выходного сигнала Компаратора 1 0: Прерывания по переднему фронту выходного сигнала Компаратора 1 с момента последнего обнуления флага CP1RIF не было 1: Произошло прерывание по переднему фронту выходного сигнала Компаратора 1</p> <p>Бит 4: CP1FIF: Флаг прерывания по заднему фронту выходного сигнала Компаратора 1 0: Прерывания по заднему фронту выходного сигнала Компаратора 1 с момента последнего обнуления флага CP1RIF не было 1: Произошло прерывание по заднему фронту выходного сигнала Компаратора 1</p> <p>Биты 3-2: CP1HYP1-0: Биты управления положительным гистерезисом Компаратора 1 00: Положительный гистерезис отсутствует 01: Положительный гистерезис = 2 мВ 10: Положительный гистерезис = 4 мВ 11: Положительный гистерезис = 10 мВ</p> <p>Биты 1-0: CP1HYN1-0: Биты управления отрицательным гистерезисом Компаратора 1 00: Отрицательный гистерезис отсутствует 01: Отрицательный гистерезис = 2 мВ 10: Отрицательный гистерезис = 4 мВ 11: Отрицательный гистерезис = 10 мВ</p> | | | | | | | | |

Таблица 11.1. Электрические характеристики компаратора

VDD = 3.0В, AV+ = 3.0В, T = - 40°C ... +85°C, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|---|---|-------|-------|--------------|----------|
| Время реакции 1 | (CP+) – (CP-) = 100mV (Примечание 1) | | 4 | | мкс |
| Время реакции 2 | (CP+) – (CP-) = 10mV (Примечание 1) | | 12 | | мкс |
| Коэффициент подавления синфазного сигнала | | | 1.5 | 4 | мВ/В |
| Положительный гистерезис 1 | CPnHYP1-0 = 00 | | 0 | 1 | мВ |
| Положительный гистерезис 2 | CPnHYP1-0 = 01 | 2 | 4.5 | 7 | мВ |
| Положительный гистерезис 3 | CPnHYP1-0 = 10 | 4 | 9 | 13 | мВ |
| Положительный гистерезис 4 | CPnHYP1-0 = 11 | 10 | 17 | 25 | мВ |
| Отрицательный гистерезис 1 | CPnHYN1-0 = 00 | | 0 | 1 | мВ |
| Отрицательный гистерезис 2 | CPnHYN1-0 = 01 | 2 | 4.5 | 7 | мВ |
| Отрицательный гистерезис 3 | CPnHYN1-0 = 10 | 4 | 9 | 13 | мВ |
| Отрицательный гистерезис 4 | CPnHYN1-0 = 11 | 10 | 17 | 25 | мВ |
| Напряжение на инвертирующем и неинвертирующем входах | | -0.25 | | (AV+) + 0.25 | В |
| Входная емкость | | | 7 | | пФ |
| Входной ток смещения | | -5 | 0.001 | +5 | нА |
| Входное напряжение смещения | | -10 | | +10 | мВ |
| Параметры питания | | | | | |
| Время включения | При установке в 1 бита CPnEN | | 20 | | мкс |
| Нестабильность напряжения питания | | | 0.1 | 1 | мВ/В |
| Ток потребления | В рабочем режиме (каждый компаратор) | | 1.5 | 10 | мкА |

Примечание 1: CPnHYP1-0 = CPnHYN1-0 = 00.

ПРИМЕЧАНИЯ

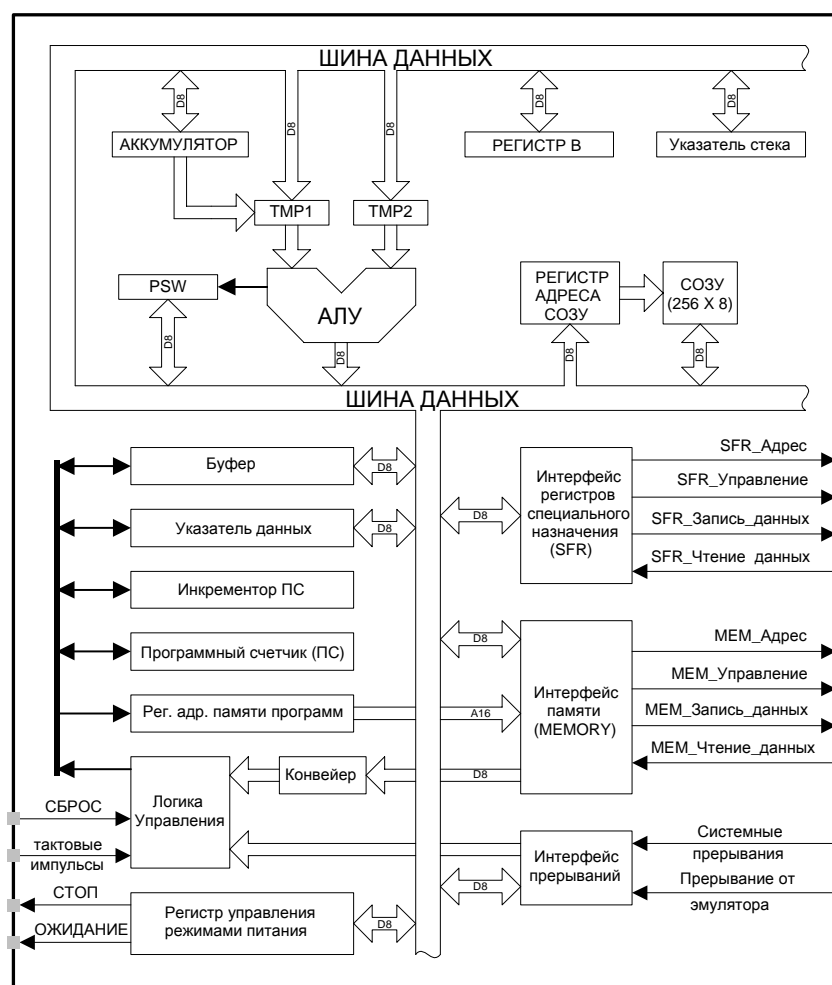
12. ПРОЦЕССОРНОЕ ЯДРО CIP-51

МК C8051F020/1/2/3 используют процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51TM. Для разработки программного обеспечения могут использоваться стандартные (803x/805x) ассемблеры и компиляторы. В состав МК данного семейства входят все периферийные модули, соответствующие стандарту 8051, включая пять 16-разрядных таймеров/счетчиков (см. раздел 22), два полнодуплексных УАПП (см. раздел 20 и раздел 21), 256 байт внутреннего ОЗУ, 128 байт адресного пространства для регистров специального назначения (Special Function Register – SFR)(см. раздел 12.2.6), а также 8/4 8-разрядных порта ввода/вывода (см. раздел 17). Ядро CIP-51 содержит встроенные аппаратные средства отладки (см. раздел 24), а также средства взаимодействия с аналоговыми и цифровыми модулями МК, что позволяет построить на одной микросхеме законченную систему управления или сбора данных.

МК на основе CIP-51 имеют стандартную для архитектуры 8051 структуру и периферию. Кроме этого введены дополнительные специализированные периферийные модули и функции, улучшающие возможности МК (см. рис.12.1). Ниже перечислены основные характеристики ядра CIP-51:

- Полная совместимость с MCS-51 по системе команд
- Пиковая производительность 25 MIPS на частоте 25 МГц
- Тактовая частота от 0 до 25МГц
- 256 байт внутреннего ОЗУ
- 8/4 8-разрядных порта ввода-вывода
- Развитая система прерываний
- Вход сброса
- Различные режимы энергопотребления
- Встроенные средства отладки
- Защита памяти программ и данных

Рисунок 12.1. Структурная схема CIP-51



Производительность

CIP-51 использует конвейерную архитектуру, что существенно повышает скорость исполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 тактовых цикла, а максимальная тактовая частота составляет обычно 12 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два тактовых цикла, и ни одна команда не требует более восьми тактовых циклов.

При работе на максимальной тактовой частоте 25 МГц производительность ядра CIP-51 может достигать 25 MIPS. Система команд CIP-51 состоит из 109 команд, которые требуют от одного до восьми тактовых цикла:

| Количество команд | 26 | 50 | 5 | 14 | 7 | 3 | 1 | 2 | 1 |
|----------------------------|----|----|-----|----|-----|---|-----|---|---|
| Количество тактовых циклов | 1 | 2 | 2/3 | 3 | 3/4 | 4 | 4/5 | 5 | 8 |

Средства поддержки программирования и отладки

Последовательный интерфейс JTAG предназначен для внутрисистемного программирования Flash-памяти программ и взаимодействия со встроенными средствами отладки. Кроме этого перепрограммируемая Flash-память может быть прочитана и изменена прикладной программой в любое время в побайтном режиме, используя команды MOVC и MOVX. Эта возможность позволяет использовать память программ для долговременного хранения данных, а также обновлять программный код под управлением программы.

Встроенные аппаратные средства отладки позволяют осуществлять внутрисхемную отладку в режиме реального времени, при этом возможны расстановка точек останова и временных меток, запуск, остановка и пошаговое исполнение программы (включая процедуры обработки прерываний), проверка программного стека, чтение/запись содержимого регистров и памяти. Это метод отладки является «неразрушающим», не требует вмешательства в структуру отлаживаемой системы и использования внутренних ресурсов МК (например, ОЗУ, стека, памяти и др.).

CIP-51 поддерживается аппаратными и программными средствами разработки от фирмы Silicon Laboratories и других фирм. Фирма Silicon Laboratories предлагает интегрированную среду проектирования (IDE), которая включает в себя редактор, макроассемблер, отладчик и программатор. Отладчик и программатор, входящие в состав IDE, взаимодействуют с CIP-51 посредством JTAG интерфейса, что позволяет осуществлять быстрое и эффективное программирование МК и его отладку. Доступны также макроассемблеры и С-компиляторы независимых фирм-производителей.

12.1. СИСТЕМА КОМАНД

Система команд CIP-51 полностью совместима с системой команд MCS-51™, поэтому разработка программного обеспечения может осуществляться с использованием средств проектирования для стандартной архитектуры 8051. Все команды CIP-51 являются двоичным и функциональным эквивалентом аналогичных команд MCS-51™, включая коды операций, режимы адресации и изменение флагов состояния. Однако, по времени выполнения команды отличаются.

12.1.1. Команды и тактирование

Во многих МК с архитектурой 8051 существует различие между машинным циклом и циклом тактирования, при этом машинный цикл длится от 2 до 12 циклов тактирования. Однако, CIP-51 основан исключительно на синхронизации тактовым сигналом и все временные параметры команд приводятся на основе циклов тактирования.

Благодаря конвейерной архитектуре CIP-51, количество тактовых циклов, требуемых для выполнения большинства команд, равно количеству байтов в команде. Команды условных переходов требуют для завершения на один цикл меньше, если переход не происходит (по сравнению с тем случаем, когда переход происходит). Система команд CIP-51 приведена в таблице 12.1, которая содержит мнемонику, количество байтов и количество тактовых циклов для каждой команды.

12.1.2. Команда MOVX и память программ

В CIP-51 команда MOVX используется для доступа к трем типам памяти: встроенной XRAM, внешней XRAM, встроенной Flash-памяти программ. Возможность доступа к Flash-памяти программ обеспечивает механизм, посредством которого программа пользователя может обновлять программный код и использовать область памяти программ для долговременного хранения данных (см. раздел 15). Интерфейс внешней памяти обеспечивает быстрый доступ к внешней XRAM (или отображенным на память периферийным модулям) с помощью команды MOVX (см. раздел 16).

Таблица 12.1. Система команд CIP-51

| Мнемоника команд | Описание | Байты | Циклы |
|--------------------------------|--|-------|-------|
| АРИФМЕТИЧЕСКИЕ ОПЕРАЦИИ | | | |
| ADD A,Rn | Сложение аккумулятора с регистром ($n = 0 \dots 7$) | 1 | 1 |
| ADD A,direct | Сложение аккумулятора с прямо-адресуемым байтом | 2 | 2 |
| ADD A,@Ri | Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ | 1 | 2 |
| ADD A,#data | Сложение аккумулятора с константой | 2 | 2 |
| ADDC A,Rn | Сложение аккумулятора с регистром и переносом | 1 | 1 |
| ADDC A,direct | Сложение аккумулятора с прямо-адресуемым байтом и переносом | 2 | 2 |
| ADDC A,@Ri | Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ и переносом | 1 | 2 |
| ADDC A,#data | Сложение аккумулятора с константой и переносом | 2 | 2 |
| SUBB A,Rn | Вычитание из аккумулятора регистра и заема | 1 | 1 |
| SUBB A,direct | Вычитание из аккумулятора прямо-адресуемого байта и заема | 2 | 2 |
| SUBB A,@Ri | Вычитание из аккумулятора косвенно-адресуемого байта ОЗУ и заема | 1 | 2 |
| SUBB A,#data | Вычитание из аккумулятора константы и заема | 2 | 2 |
| INC A | Инкремент аккумулятора | 1 | 1 |
| INC Rn | Инкремент регистра | 1 | 1 |
| INC direct | Инкремент прямо-адресуемого байта | 2 | 2 |
| INC @Ri | Инкремент косвенно-адресуемого байта ОЗУ | 1 | 2 |
| DEC A | Декремент аккумулятора | 1 | 1 |
| DEC Rn | Декремент регистра | 1 | 1 |
| DEC direct | Декремент прямо-адресуемого байта | 2 | 2 |
| DEC @Ri | Декремент косвенно-адресуемого байта ОЗУ | 1 | 2 |
| INC DPTR | Инкремент указателя данных | 1 | 1 |
| MUL AB | Умножение аккумулятора на регистр В | 1 | 4 |
| DIV AB | Деление аккумулятора на регистр В | 1 | 8 |
| DA A | Десятичная коррекция аккумулятора | 1 | 1 |
| ЛОГИЧЕСКИЕ ОПЕРАЦИИ | | | |
| ANL A,Rn | Логическое И аккумулятора и регистра | 1 | 1 |
| ANL A,direct | Логическое И аккумулятора и прямо-адресуемого байта | 2 | 2 |
| ANL A,@Ri | Логическое И аккумулятора и косвенно-адресуемого байта ОЗУ | 1 | 2 |
| ANL A,#data | Логическое И аккумулятора и константы | 2 | 2 |
| ANL direct,A | Логическое И прямо-адресуемого байта и аккумулятора | 2 | 2 |
| ANL direct,#data | Логическое И прямо-адресуемого байта и константы | 3 | 3 |
| ORL A,Rn | Логическое ИЛИ аккумулятора и регистра | 1 | 1 |
| ORL A,direct | Логическое ИЛИ аккумулятора и прямо-адресуемого байта | 2 | 2 |
| ORL A,@Ri | Логическое ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ | 1 | 2 |
| ORL A,#data | Логическое ИЛИ аккумулятора и константы | 2 | 2 |
| ORL direct,A | Логическое ИЛИ прямо-адресуемого байта и аккумулятора | 2 | 2 |
| ORL direct,#data | Логическое ИЛИ прямо-адресуемого байта и константы | 3 | 3 |
| XRL A,Rn | Исключающее ИЛИ аккумулятора и регистра | 1 | 1 |
| XRL A,direct | Исключающее ИЛИ аккумулятора и прямо-адресуемого байта | 2 | 2 |
| XRL A,@Ri | Исключающее ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ | 1 | 2 |
| XRL A,#data | Исключающее ИЛИ аккумулятора и константы | 2 | 2 |
| XRL direct,A | Исключающее ИЛИ прямо-адресуемого байта и аккумулятора | 2 | 2 |
| XRL direct,#data | Исключающее ИЛИ прямо-адресуемого байта и константы | 3 | 3 |
| CLR A | Сброс аккумулятора | 1 | 1 |
| CPL A | Инверсия аккумулятора | 1 | 1 |
| RL A | Сдвиг аккумулятора влево циклический | 1 | 1 |
| RLC A | Сдвиг аккумулятора влево через перенос | 1 | 1 |

| Мнемоника команд | Описание | Байты | Циклы |
|--------------------------------|--|-------|-------|
| RR A | Сдвиг аккумулятора вправо циклический | 1 | 1 |
| RRC A | Сдвиг аккумулятора вправо через перенос | 1 | 1 |
| SWAP A | Обмен местами тетрад в аккумуляторе | 1 | 1 |
| КОМАНДЫ ПЕРЕДАЧИ ДАННЫХ | | | |
| MOV A,Rn | Пересылка в аккумулятор из регистра (n = 0...7) | 1 | 1 |
| MOV A,direct | Пересылка в аккумулятор прямо-адресуемого байта | 2 | 2 |
| MOV A,@Ri | Пересылка в аккумулятор косвенно-адресуемого байта ОЗУ | 1 | 2 |
| MOV A,#data | Загрузка в аккумулятор константы | 2 | 2 |
| MOV Rn,A | Пересылка в регистр из аккумулятора | 1 | 1 |
| MOV Rn,direct | Пересылка в регистр прямо-адресуемого байта | 2 | 2 |
| MOV Rn,#data | Загрузка в регистр константы | 2 | 2 |
| MOV direct,A | Пересылка по прямому адресу аккумулятора | 2 | 2 |
| MOV direct,Rn | Пересылка по прямому адресу регистра | 2 | 2 |
| MOV direct,direct | Пересылка прямо-адресуемого байта по прямому адресу | 3 | 3 |
| MOV direct,@Ri | Пересылка косвенно-адресуемого байта ОЗУ по прямому адресу | 2 | 2 |
| MOV direct,#data | Пересылка по прямому адресу константы | 3 | 3 |
| MOV @Ri,A | Пересылка в косвенно-адресуемую ячейку ОЗУ аккумулятора | 1 | 2 |
| MOV @Ri,direct | Пересылка в косвенно-адресуемую ячейку ОЗУ прямо-адресуемого байта | 2 | 2 |
| MOV @Ri,#data | Пересылка в косвенно-адресуемую ячейку ОЗУ константы | 2 | 2 |
| MOV DPTR,#data16 | Загрузка указателя данных | 3 | 3 |
| MOVC A,@A+DPTR | Пересылка в аккумулятор байта из памяти программ | 1 | 3 |
| MOVC A,@A+PC | Пересылка в аккумулятор байта из памяти программ | 1 | 3 |
| MOVX A,@Ri | Пересылка в аккумулятор байта из внешней памяти данных | 1 | 3 |
| MOVX @Ri,A | Пересылка байта из аккумулятора во внешнюю память данных | 1 | 3 |
| MOVX A,@DPTR | Пересылка в аккумулятор из расширенной внешней памяти данных | 1 | 3 |
| MOVX @DPTR,A | Пересылка из аккумулятора в расширенную внешнюю память данных | 1 | 3 |
| PUSH direct | Загрузка в стек | 2 | 2 |
| POP direct | Извлечение из стека | 2 | 2 |
| XCH A,Rn | Обмен аккумулятора с регистром | 1 | 1 |
| XCH A,direct | Обмен аккумулятора с прямо-адресуемым байтом | 2 | 2 |
| XCH A,@Ri | Обмен аккумулятора с косвенно-адресуемым байтом ОЗУ | 1 | 2 |
| XCHD A,@Ri | Обмен младшей тетрады аккумулятора с младшей тетрадой косвенно-адресуемого байта ОЗУ | 1 | 2 |
| ОПЕРАЦИИ С БИТАМИ | | | |
| CLR C | Сброс переноса | 1 | 1 |
| CLR bit | Сброс бита | 2 | 2 |
| SETB C | Установка переноса | 1 | 1 |
| SETB bit | Установка бита | 2 | 2 |
| CPL C | Инверсия переноса | 1 | 1 |
| CPL bit | Инверсия бита | 2 | 2 |
| ANL C,bit | Логическое И бита и переноса | 2 | 2 |
| ANL C,/bit | Логическое И инверсии бита и переноса | 2 | 2 |
| ORL C,bit | Логическое ИЛИ бита и переноса | 2 | 2 |
| ORL C,/bit | Логическое ИЛИ инверсии бита и переноса | 2 | 2 |
| MOV C,bit | Пересылка бита в перенос | 2 | 2 |
| MOV bit,C | Пересылка переноса в бит | 2 | 2 |
| JC rel | Переход, если перенос равен единице | 2 | 2/3 |

| Мнемоника команды | Описание | Байты | Циклы |
|-----------------------------|--|-------|-------|
| JNC rel | Переход, если перенос равен нулю | 2 | 2/3 |
| JB bit,rel | Переход, если бит равен единице | 3 | 3/4 |
| JNB bit,rel | Переход, если бит равен нулю | 3 | 3/4 |
| JBC bit,rel | Переход, если бит установлен, с последующим сбросом бита | 3 | 3/4 |
| ПРОГРАММНЫЕ ПЕРЕХОДЫ | | | |
| ACALL addr11 | Абсолютный вызов подпрограммы в пределах страницы в 2 Кбайта | 2 | 3 |
| LCALL addr16 | Длинный вызов подпрограммы | 3 | 4 |
| RET | Возврат из подпрограммы | 1 | 5 |
| RETI | Возврат из подпрограммы обработки прерывания | 1 | 5 |
| AJMP addr11 | Абсолютный переход внутри страницы в 2 Кбайта | 2 | 3 |
| LJMP addr16 | Длинный переход в полном объеме памяти программ | 3 | 4 |
| SJMP rel | Короткий относительный переход внутри страницы в 256 байт | 2 | 3 |
| JMP @A+DPTR | Косвенный относительный переход | 1 | 3 |
| JZ rel | Переход, если аккумулятор равен нулю | 2 | 2/3 |
| JNZ rel | Переход, если аккумулятор не равен нулю | 2 | 2/3 |
| CJNE A,direct,rel | Сравнение аккумулятора с прямо-адресуемым байтом и переход, если не равно | 3 | 3/4 |
| CJNE A,#data,rel | Сравнение аккумулятора с константой и переход, если не равно | 3 | 3/4 |
| CJNE Rn,#data,rel | Сравнение регистра с константой и переход, если не равно | 3 | 3/4 |
| CJNE @Ri,#data,rel | Сравнение косвенно-адресуемого байта ОЗУ с константой и переход, если не равно | 3 | 4/5 |
| DJNZ Rn,rel | Декремент регистра и переход, если не нуль | 2 | 2/3 |
| DJNZ direct,rel | Декремент прямо-адресуемого байта и переход, если не нуль | 3 | 3/4 |
| NOP | Холостая команда | 1 | 1 |

Условные обозначения:

Rn - Регистр R0-R7 выбранного банка регистров.

@Ri – Ячейка ОЗУ данных, адресуемая косвенно через регистры R0-R1

rel - 8-битное смещение со знаком (в дополнительном коде) относительно первого байта следующей команды. Используется командой SJMP и всеми командами условных переходов.

direct - 8-битный адрес ячейки внутреннего ОЗУ данных. Это может быть ячейка ОЗУ данных прямого доступа (0x00-0x7F) или регистр специального назначения SFR (0x80-0xFF).

#data - 8-битная константа

#data 16 - 16-битная константа

bit – Прямо-адресуемый бит ячейки ОЗУ данных или регистра специального назначения SFR.

addr 11 - 11-битный адрес перехода, используемый командами ACALL и AJMP. Переход должен осуществляться в пределах той 2-Кбайтной страницы памяти программ, в которой расположен первый байт следующей команды.

addr 16 - 16-битный адрес перехода, используемый командами LCALL и LJMP. Переход может осуществляться в пределах всего 64-Кбайтного пространства памяти программ.

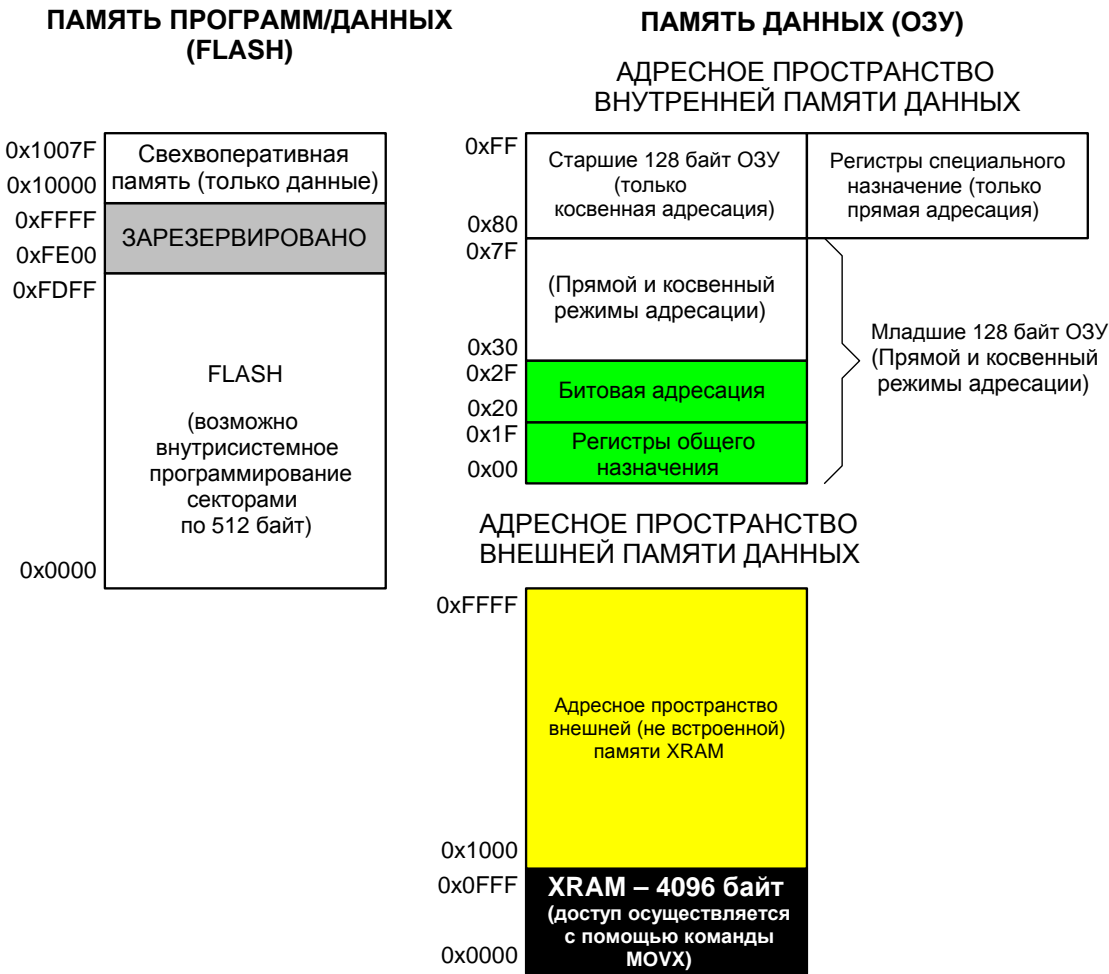
Существует один неиспользуемый код операции (0xA5), который выполняется аналогично команде NOP.

На всю мнемонику распространяется авторское право © Intel Corporation 1980.

12.2. ОРГАНИЗАЦИЯ ПАМЯТИ

Организация памяти МК с ядром CIP-51 соответствует стандарту 8051. Имеется две отдельных области памяти, память программ и память данных, которые разделяют одно и то же адресное пространство, но доступ к ним осуществляется командами различного типа. Имеется 256 байт внутренней памяти данных и 64 Кбайт адресного пространства внутренней памяти программ, реализованных в CIP-51. Организация памяти CIP-51 показана на рис.12.2.

Рисунок 12.2. Карта распределения памяти



12.2.1. Память программ

CIP-51 имеет адресное пространство памяти программ 64 Кбайт. В МК физически реализовано 65536 байт этой памяти программ, которая является внутрисистемной перепрограммируемой Flash-памятью, занимающей непрерывный блок адресов от 0x0000 до 0xFFFF. Следует иметь ввиду, что 512 байт (0xEE00 – 0xFFFF) этой памяти зарезервированы для целей производителя и не доступны для хранения программ пользователя.

По умолчанию память программ настраивается только для чтения. Однако CIP-51 может записывать данные в память программ (с использованием команды MOVX), для чего необходимо установить в 1 бит разрешения записи памяти программ (PSCTL.0). Эта возможность позволяет CIP-51 обновлять программный код и использовать память программ для долговременного хранения данных. Подробная информация о работе с Flash-памятью приведена в разделе 15.

12.2.2. Память данных

Физически реализовано 256 байт внутреннего ОЗУ, отображенного в пространстве памяти данных с адресами от 0x00 до 0xFF. Младшие 128 байт памяти данных используются для регистров общего назначения (РОН) и сверхоперативного ЗУ (СОЗУ). Для доступа к младшим 128 байтам памяти данных можно использовать либо прямую, либо косвенную адресацию. Ячейки с адресами от 0x00 до 0x1F разбиты на четыре банка РОН, каждый банк состоит из восьми однобайтовых регистров. Следующие 16 байт (0x20 - 0x2F) могут адресоваться побайтно или побитно как 128 бит, доступные в режиме прямой битовой адресации.

Старшие 128 байт памяти данных доступны только в режиме косвенной адресации. Эта область памяти занимает то же самое адресное пространство, что и регистры специального назначения (Special Function Registers - SFR), но физически отделена от них. При обращении к ячейкам памяти с адресами 0x7F - 0xFF использующийся в команде режим адресации определяет, к чему осуществляется доступ: к старшим 128 байтам памяти данных или к SFR. Команды, которые используют режим прямой адресации, будут обращаться к SFR. Команды, использующие режим косвенной адресации, будут обращаться к старшим 128 байтам памяти данных. На рис.12.2 показана организация памяти данных CIP-51.

12.2.3. Регистры общего назначения

Младшие 32 байта памяти данных (0x00 - 0x1F) разбиты на четыре банка регистров общего назначения. Каждый банк состоит из восьми однобайтовых регистров, обозначаемых R0-R7. В конкретный момент времени может быть активен лишь один банк, определяемый битами RS0 (PSW.3) и RS1 (PSW.4) в слове состояния программы (program status word) PSW (см. описание PSW на рис.12.6). Это позволяет осуществлять быстрое переключение контекста при вызове подпрограмм и процедур обработки прерываний. Режимы косвенной адресации используют регистры R0 и R1 в качестве индексных регистров.

12.2.4. Ячейки памяти с битовой адресацией

Кроме прямого (побайтного) доступа к памяти данных 16 ячеек этой памяти с адресами 0x20 - 0x2F доступны также как 128 индивидуально адресуемых бит. Каждый бит имеет битовый адрес от 0x00 до 0x7F. Бит 0 байта 0x20 имеет битовый адрес 0x00, а бит 7 байта 0x20 имеет битовый адрес 0x07. Бит 7 байта 0x2F имеет битовый адрес 0x7F. Битовый доступ можно отличить от байтового доступа по типу используемой команды (операнды исходных данных и результата в первом случае являются битами, во втором – байтами).

Ассемблер MCS-51™ допускает альтернативную запись для режима битовой адресации в форме XX.B, где XX – адрес байта, а B – позиция бита внутри этого байта. Например, команда:

```
MOV C, 22h.3
```

присваивает значение бита 0x13 (бит 3 в ячейке с адресом 0x22) флагу переноса.

12.2.5. Стек

Программный стек может быть размещен в любом месте 256-байтной памяти данных. Область стека определяется с использованием указателя стека (Stack Pointer - SP, 0x81). SP будет указывать на последнюю использованную ячейку. Следующее значение, загружаемое в стек, размещается по адресу SP+1, и затем SP инкрементируется. При сбросе SP инициализируется значением 0x07. Поэтому первое значение, загружаемое в стек, размещается по адресу 0x08, которое также является первым регистром (R0) регистрового банка 1. Таким образом, если требуется использовать более одного банка регистров, SP следует инициализировать адресом ячейки ОЗУ, не используемой для хранения данных. Стек может иметь глубину до 256 байт.

МК также имеют встроенный аппаратный регистратор стековых операций, который представляет собой 32-разрядный сдвиговый регистр. Каждая команда PUSH или инкремент SP загружают один регистрационный бит в этот регистр, каждая команда CALL или прерывание загружают два регистрационных бита в этот регистр. (Команда POP или декремент SP извлекают один регистрационный бит, а команда RETURN извлекает два регистрационных бита из этого регистра). Схема регистратора стековых операций способна определять переполнение или опустошение стека и может уведомлять программные средства отладки, даже если МК отлаживается в режиме реального времени.



12.2.6. Регистры специального назначения

Ячейки памяти данных с адресами от 0x80 до 0xFF, доступные в режиме прямой адресации, образуют регистры специального назначения (special function registers - SFR). SFR позволяют управлять ресурсами ядра CIP-51 и периферийными модулями, а также осуществлять обмен данными с ними. CIP-51 дублирует SFR, типичные для архитектуры 8051, и содержит дополнительные SFR, используемые для настройки подсистем, уникальных для данного семейства МК, и доступа к ним. Это позволяет реализовать новые возможности при сохранении совместимости с системой команд MCS-51™. В таблице 12.2 перечислены все SFR МК на основе CIP-51.

Регистры SFR доступны в любое время, когда для доступа к ячейкам памяти с адресами от 0x80 до 0xFF используется режим прямой адресации. SFR с адресами, оканчивающимися на 0x0 или 0x8 (т.е. P0, TCON, P1, SCON, IE, и т.д.), адресуются как побайтно, так и побитно. Все другие SFR адресуются только побайтно. Незанятые адреса в области SFR зарезервированы для дальнейшего использования. Обращение к ячейкам из этой области даст неопределенный результат и должно быть исключено. Подробное описание каждого регистра приведено на соответствующей странице данного руководства (см. табл. 12.3).

Таблица 8.2. Распределение регистров специального назначения в памяти

| | | | | | | | | |
|----|--------|---------|----------|----------|-----------------|---------------------|-----------------|---------|
| F8 | SPI0CN | PCA0H | PCA0CPH0 | PCA0CPH1 | PCA0CPH2 | PCA0CPH3 | PCA0CPH4 | WDTCN |
| F0 | B | SCON1 | SBUF1 | SADDR1 | TL4 | TH4 | EIP1 | EIP2 |
| E8 | ADC0CN | PCA0L | PCA0CPL0 | PCA0CPL1 | PCA0CPL2 | PCA0CPL3 | PCA0CPL4 | RSTSRC |
| E0 | ACC | XBR0 | XBR1 | XBR2 | PCAP4L | PCAP4H | EIE1 | EIE2 |
| D8 | PCA0CN | PCA0MD | PCA0CPM0 | PCA0CPM1 | PCA0CPM2 | PCA0CPM3 | PCA0CPM4 | |
| D0 | PSW | REF0CN | DAC0L | DAC0H | DAC0CN | DAC1L | DAC1H | DAC1CN |
| C8 | T2CON | T4CON | RCAP2L | RCAP2H | TL2 | TH2 | | SMB0CR |
| C0 | SMB0CN | SMB0STA | SMB0DAT | SMB0ADR | ADC0GTL | ADC0GTH | ADC0LTL | ADC0LTH |
| B8 | IP | SADEN0 | AMX0CF | AMX0SL | ADC0CF | P1MDIN | ADC0L | ADC0H |
| B0 | P3 | OSCXCN | OSCICN | | | P74OUT ⁺ | FLSCL | FLACL |
| A8 | IE | SADDR0 | ADC1CN | ADC1CF | AMX1SL | P3IF | SADEN1 | EMI0CN |
| A0 | P2 | EMI0TC | | EMI0CF | P0MDOUT | P1MDOUT | P2MDOUT | P3MDOUT |
| 98 | SCON0 | SBUF0 | SPI0CFG | SPI0DAT | ADC1 | SPI0CKR | CPT0CN | CPT1CN |
| 90 | P1 | TMR3CN | TMR3RLH | TMR3RLH | TMR3L | TMR3H | P7 ⁺ | |
| 88 | TCON | TMOD | TL0 | TL1 | TH0 | TH1 | CKCON | PSCTL |
| 80 | P0 | SP | DPL | DPH | P4 ⁺ | P5 ⁺ | P6 ⁺ | PCON |

↑
0(8) 1(9) 2(A) 3(B) 4(C) 5(D) 6(E) 7(F)

Доступны в режиме побитной адресации

Таблица 12.3. Регистры специального назначения

SFR перечислены в алфавитном порядке. Все неопределенные ячейки в области SFR зарезервированы.

| Адрес | Регистр | Описание | № стр. |
|-------|---------|--|-----------|
| 0xE0 | ACC | Аккумулятор | 115 |
| 0xBC | ADC0CF | Конфигурация АЦП0 | 49*, 65** |
| 0xE8 | ADC0CN | Управление АЦП0 | 50*, 66** |
| 0xC5 | ADC0GTH | Нижняя граница диапазона АЦП0 (старший байт) | 53*, 69** |
| 0xC4 | ADC0GTL | Нижняя граница диапазона АЦП0 (младший байт) | 53*, 69** |
| 0xBF | ADC0H | Слово данных АЦП0 (старший байт) | 51*, 67** |

| Адрес | Регистр | Описание | № стр. |
|-------|---------|---|-----------|
| 0xBE | ADC0L | Слово данных АЦП0 (младший байт) | 51*, 67** |
| 0xC7 | ADC0LTH | Верхняя граница диапазона АЦП0 (старший байт) | 53*, 69** |
| 0xC6 | ADC0LTL | Верхняя граница диапазона АЦП0 (младший байт) | 53*, 69** |
| 0xAB | ADC1CF | Конфигурация АЦП1 | 79 |
| 0xAA | ADC1CN | Управление АЦП1 | 80 |
| 0x9C | ADC1 | Слово данных АЦП1 | 81 |
| 0xBA | AMX0CF | Конфигурация мультиплексора АЦП0 | 51*, 63** |
| 0xBB | AMX0SL | Выбор канала мультиплексора АЦП0 | 48*, 64** |
| 0xAC | AMX1SL | Выбор канала мультиплексора АЦП1 | 79 |
| 0xF0 | B | Регистр B | 115 |
| 0x8E | CKCON | Управление тактированием таймеров 0, 1 и 2 | 226 |
| 0x9E | CPT0CN | Управление компаратором 0 | 97 |
| 0x9F | CPT1CN | Управление компаратором 1 | 98 |
| 0xD4 | DAC0CN | Управление ЦАП0 | 86 |
| 0xD3 | DAC0H | Слово данных ЦАП0 (старший байт) | 85 |
| 0xD2 | DAC0L | Слово данных ЦАП0 (младший байт) | 85 |
| 0xD7 | DAC1CN | Управление ЦАП1 | 88 |
| 0xD6 | DAC1H | Слово данных ЦАП1 (старший байт) | 87 |
| 0xD5 | DAC1L | Слово данных ЦАП1 (младший байт) | 87 |
| 0x83 | DPH | Указатель данных (старший байт) | 113 |
| 0x82 | DPL | Указатель данных (младший байт) | 113 |
| 0xE6 | EIE1 | Дополнительный регистр разрешения прерываний 1 | 121 |
| 0xE7 | EIE2 | Дополнительный регистр разрешения прерываний 2 | 122 |
| 0xF6 | EIP1 | Дополнительный регистр приоритетов прерываний 1 | 123 |
| 0xF7 | EIP2 | Дополнительный регистр приоритетов прерываний 2 | 124 |
| 0xAF | EMI0CN | Управление интерфейсом внешней памяти | 147 |
| 0xA3 | EMI0CF | Конфигурация интерфейса внешней памяти | 147 |
| 0xA1 | EMI0TC | Управление временными параметрами интерфейса внешней памяти | 152 |
| 0xB7 | FLACL | Ограничение доступа к Flash-памяти | 142 |
| 0xB6 | FLSCL | Делитель модуля Flash-памяти | 143 |
| 0xA8 | IE | Разрешение прерываний | 119 |
| 0xB8 | IP | Управление приоритетами прерываний | 120 |
| 0xB2 | OSCICN | Управление внутренним генератором | 136 |
| 0xB1 | OSCXCN | Управление внешним генератором | 137 |
| 0x80 | P0 | Регистр-защелка порта 0 | 173 |
| 0xA4 | P0MDOUT | Регистр настройки выходов порта 0 | 173 |
| 0x90 | P1 | Регистр-защелка порта 1 | 174 |
| 0xBD | P1MDIN | Регистр настройки входов порта 1 | 174 |
| 0xA5 | P1MDOUT | Регистр настройки выходов порта 1 | 175 |
| 0xA0 | P2 | Регистр-защелка порта 2 | 175 |
| 0xA6 | P2MDOUT | Регистр настройки выходов порта 2 | 175 |
| 0xB0 | P3 | Регистр-защелка порта 3 | 176 |



| Адрес | Регистр | Описание | № стр. |
|-------|---------------------|---|------------------------------------|
| 0xAD | P3IF | Регистр флагов прерываний от порта 3 | 177 |
| 0xA7 | P3MDOUT | Регистр настройки выходов порта 3 | 176 |
| 0x84 | P4 ⁺ | Регистр-защелка порта 4 | 180 ⁺ |
| 0x85 | P5 ⁺ | Регистр-защелка порта 5 | 180 ⁺ |
| 0x86 | P6 ⁺ | Регистр-защелка порта 6 | 181 ⁺ |
| 0x96 | P7 ⁺ | Регистр-защелка порта 7 | 181 ⁺ |
| 0xB5 | P74OUT ⁺ | Регистр настройки выходов портов 7 - 4 | 179 ⁺ |
| 0xD8 | PCA0CN | Управление программируемым массивом счетчиков (ПМС) 0 | 259 |
| 0xFA | PCA0CPH0 | Слово данных модуля захвата 0 (старший байт) | 263 |
| 0xFB | PCA0CPH1 | Слово данных модуля захвата 1 (старший байт) | 263 |
| 0xFC | PCA0CPH2 | Слово данных модуля захвата 2 (старший байт) | 263 |
| 0xFD | PCA0CPH3 | Слово данных модуля захвата 3 (старший байт) | 263 |
| 0xFE | PCA0CPH4 | Слово данных модуля захвата 4 (старший байт) | 263 |
| 0xEA | PCA0CPL0 | Слово данных модуля захвата 0 (младший байт) | 263 |
| 0xEB | PCA0CPL1 | Слово данных модуля захвата 1 (младший байт) | 263 |
| 0xEC | PCA0CPL2 | Слово данных модуля захвата 2 (младший байт) | 263 |
| 0xED | PCA0CPL3 | Слово данных модуля захвата 3 (младший байт) | 263 |
| 0xEE | PCA0CPL4 | Слово данных модуля захвата 4 (младший байт) | 263 |
| 0xDA | PCA0CPM0 | Настройка модуля захват/сравнение 0 | 261 |
| 0xDB | PCA0CPM1 | Настройка модуля захват/сравнение 1 | 261 |
| 0xDC | PCA0CPM2 | Настройка модуля захват/сравнение 2 | 261 |
| 0xDD | PCA0CPM3 | Настройка модуля захват/сравнение 3 | 261 |
| 0xDE | PCA0CPM4 | Настройка модуля захват/сравнение 4 | 261 |
| 0xF9 | PCA0H | Слово данных таймера/счетчика ПМС (старший байт) | 262 |
| 0xE9 | PCA0L | Слово данных таймера/счетчика ПМС (младший байт) | 262 |
| 0xD9 | PCA0MD | Режим ПМС 0 | 260 |
| 0x87 | PCON | Управление питанием | 126 |
| 0x8F | PSCTL | Управление режимом чтения/записи памяти программ | 144 |
| 0xD0 | PSW | Слово состояния программы | 114 |
| 0xCB | RCAP2H | Захват таймера/счетчика 2 (старший байт) | 239 |
| 0xCA | RCAP2L | Захват таймера/счетчика 2 (младший байт) | 239 |
| 0xE5 | RCAP4H | Захват таймера/счетчика 4 (старший байт) | 248 |
| 0xE4 | RCAP4L | Захват таймера/счетчика 4 (младший байт) | 248 |
| 0xD1 | REF0CN | Регистр управления ИОН | 92 ⁺ , 94 ⁺⁺ |
| 0xEF | RSTSRC | Регистр источника сброса | 132 |
| 0xA9 | SADDR0 | Адрес ведомого УАППО | 214 |
| 0xF3 | SADDR1 | Адрес ведомого УАППО | 224 |
| 0xB9 | SADEN0 | Разрешение адреса ведомого УАППО | 214 |
| 0xAE | SADEN1 | Разрешение адреса ведомого УАППО | 224 |
| 0x99 | SBUF0 | Буфер данных УАППО | 214 |
| 0xF2 | SBUF1 | Буфер данных УАППО | 224 |

| Адрес | Регистр | Описание | № стр. |
|--|---------|--|--------|
| 0x98 | SCON0 | Управление последовательным портом УАППО | 213 |
| 0xF1 | SCON1 | Управление последовательным портом УАПП1 | 223 |
| 0xC3 | SMB0ADR | Адрес модуля SMBus 0 | 193 |
| 0xC0 | SMB0CN | Управление модулем SMBus 0 | 191 |
| 0xCF | SMB0CR | Установка частоты тактирования модуля SMBus 0 | 192 |
| 0xC2 | SMB0DAT | Регистр данных модуля SMBus 0 | 193 |
| 0xC1 | SMB0STA | Регистр состояния модуля SMBus 0 | 194 |
| 0x81 | SP | Указатель стека | 113 |
| 0x9A | SPI0CFG | Конфигурация модуля SPI | 201 |
| 0x9D | SPI0CKR | Установка частоты тактирования модуля SPI | 203 |
| 0xF8 | SPI0CN | Управление модулем SPI | 202 |
| 0x9B | SPI0DAT | Регистр данных модуля SPI | 203 |
| 0xC8 | T2CON | Управление таймером/счетчиком 2 | 238 |
| 0xC9 | T4CON | Управление таймером/счетчиком 4 | 247 |
| 0x88 | TCON | Управление таймером/счетчиком | 231 |
| 0x8C | TH0 | Слово данных таймера/счетчика 0 (старший байт) | 233 |
| 0x8D | TH1 | Слово данных таймера/счетчика 1 (старший байт) | 233 |
| 0xCD | TH2 | Слово данных таймера/счетчика 2 (старший байт) | 239 |
| 0xF5 | TH4 | Слово данных таймера/счетчика 4 (старший байт) | 248 |
| 0x8A | TL0 | Слово данных таймера/счетчика 0 (младший байт) | 233 |
| 0x8B | TL1 | Слово данных таймера/счетчика 1 (младший байт) | 233 |
| 0xCC | TL2 | Слово данных таймера/счетчика 2 (младший байт) | 239 |
| 0xF4 | TL4 | Слово данных таймера/счетчика 4 (младший байт) | 248 |
| 0x89 | TMOD | Режим таймера/счетчика | 232 |
| 0x91 | TMR3CN | Управление таймером 3 | 241 |
| 0x95 | TMR3H | Старший байт таймера 3 | 242 |
| 0x94 | TMR3L | Младший байт таймера 3 | 242 |
| 0x93 | TMR3RLH | Старший байт регистра перезагрузки таймера 3 | 242 |
| 0x92 | TMR3RLL | Младший байт регистра перезагрузки таймера 3 | 241 |
| 0xFF | WDTCN | Управление сторожевым таймером | 131 |
| 0xE1 | XBR0 | Конфигурация 1 матрицы портов ввода/вывода | 170 |
| 0xE2 | XBR1 | Конфигурация 2 матрицы портов ввода/вывода | 171 |
| 0xE3 | XBR2 | Конфигурация 3 матрицы портов ввода/вывода | 172 |
| 0x97, 0xA2, 0xB3, 0xB4, 0xCE, 0xDF, | | Зарезервированы | |

* - Только для МК C8051F020/1

** - Только для МК C8051F022/3

+ - Только для МК C8051F020/2

++ - Только для МК C8051F021/3

12.2.7. Описания регистров

Ниже приведены описания регистров SFR, связанных с работой ядра CIP-51. Зарезервированные биты не следует устанавливать в логическую 1. Будущие версии МК могут использовать эти биты для реализации новых функций, тогда при сбросе в эти биты будут записаны логические нули, выбирая тем самым состояние по умолчанию для новых функций. Подробные описания остальных SFR включены в разделы настоящего руководства, посвященные описанию связанных с ними системных модулей и функций.

Рисунок 12.3. SP: Указатель стека

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000111 SFR Адрес: 0x81 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SP: Указатель стека.
Указатель стека содержит адрес вершины стека. Указатель стека инкрементируется перед каждой операцией PUSH. После сброса регистр SP содержит значение по умолчанию 0x07.

Рисунок 12.4. DPL: Младший байт указателя данных

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x82 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: DPL: Младший байт указателя данных.
Регистр DPL является младшим байтом 16-разрядного регистра DPTR. DPTR используется для доступа в режиме косвенной адресации к памяти XRAM и Flash-памяти.

Рисунок 12.5. DPH: Старший байт указателя данных

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x83 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: DPH: Старший байт указателя данных.
Регистр DPH является младшим байтом 16-разрядного регистра DPTR. DPTR используется для доступа в режиме косвенной адресации к памяти XRAM и Flash-памяти.

Рисунок 12.6. PSW: Слово состояния программы

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|--|----------------------|
| CY | AC | F0 | RS1 | RS0 | OV | F1 | PARITY | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | SFR Адрес: 0xD0 |

Бит 7: CY: Флаг переноса.
Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) или заем (вычитание). Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 6: AC: Флаг десятичного переноса.
Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) в старший полубайт или заем (вычитание) из старшего полубайта. Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 5: F0: Флаг пользователя 0.
Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.

Биты 4-3: RS1-RS0: Биты выбора банка регистров.
Эти биты определяют активный банк регистров.

| RS1 | RS0 | Банк регистров | Адреса |
|-----|-----|----------------|-----------|
| 0 | 0 | 0 | 0x00-0x07 |
| 0 | 1 | 1 | 0x08-0x0F |
| 1 | 0 | 2 | 0x10-0x17 |
| 1 | 1 | 3 | 0x18-0x1F |

Бит 2: OV: Флаг переполнения.
Этот бит устанавливается в 1, если в результате последней арифметической операции произошел перенос (сложение), заем (вычитание) или переполнение (умножение или деление). Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 1: F1: Флаг пользователя 1.
Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.

Бит 0: PARITY: Флаг четности.
(Только для чтения)
Этот бит устанавливается в 1, если сумма восьми бит в аккумуляторе нечетная и сбрасывается, если сумма четная.

Рисунок 12.7. АСС: Аккумулятор

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|---|-------------------------|
| ACC.7 | ACC.6 | ACC.5 | ACC.4 | ACC.3 | ACC.2 | ACC.1 | ACC.0 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | SFR Адрес: 0xE0 |

Биты 7-0: АСС: Аккумулятор
Этот регистр является аккумулятором для арифметических операций.

Рисунок 12.8. В: Регистр В

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|---|-------------------------|
| B.7 | B.6 | B.5 | B.4 | B.3 | B.2 | B.1 | B.0 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | SFR Адрес: 0xF0 |

Биты 7-0: В: Регистр В
Этот регистр работает в качестве второго аккумулятора для точных арифметических операций.

12.3. ОБРАБОТКА ПРЕРЫВАНИЙ

CIP-51 имеет развитую систему прерываний, поддерживающую в общей сложности 22 источника прерываний с двумя уровнями приоритета. Распределение источников прерываний между встроенными периферийными модулями и внешними входными выводами для каждого типа МК различно. Каждый источник прерываний имеет один или несколько связанных с ним флагов прерываний, размещенных в SFR. Когда периферийный модуль или внешний источник прерываний регистрирует событие, удовлетворяющее условию прерывания, соответствующий флаг прерывания устанавливается в 1.

Если прерывание от источника прерываний разрешено, то при установке флага прерывания генерируется запрос прерывания. Как только выполнение текущей команды завершится, будет сгенерирована команда LCALL перехода по предопределенному адресу, откуда начнется исполнение процедуры обслуживания прерывания (interrupt service routine - ISR). Каждая ISR должна заканчиваться командой RETI, которая возвращает управление прерванной программе и приводит к выполнению той команды, которая исполнилась бы, если бы запроса прерывания не было. Если прерывания не разрешены, флаг прерывания игнорируется и выполнение программы продолжается в нормальном режиме. (Флаг прерывания устанавливается в 1 независимо от того, разрешены прерывания или запрещены).

Прерывание от каждого источника прерываний может быть разрешено или запрещено с помощью соответствующих битов разрешения прерываний в регистрах SFR (IE-EIE2). Однако, сначала прерывания необходимо разрешить глобально установкой в 1 бита EA (IE.7), только после этого состояние индивидуальных флагов разрешения прерываний будет учтено. Сброс в 0 бита EA запрещает прерывания от всех источников прерываний независимо от состояния индивидуальных флагов разрешения прерываний.

Некоторые флаги прерываний сбрасываются автоматически аппаратными средствами при переходе к процедуре ISR. Однако большинство флагов прерываний не сбрасываются аппаратно и должны быть сброшены программно до возвращения из процедуры ISR. Если флаг прерывания остается установленным после завершения выполнения команды возврата из прерывания (RETI), то сразу же будет сгенерирован новый запрос прерывания и после завершения выполнения следующей команды произойдет повторный переход к процедуре ISR.

12.3.1. Источники и векторы прерываний

Данное семейство МК поддерживает 22 источника прерываний. Программа может симулировать прерывание установкой в 1 любого флага прерывания. Если прерывание для этого флага разрешено, будет сгенерирован запрос прерывания и произойдет переход по адресу процедуры ISR, связанной с этим флагом прерывания. Источники прерываний МК, соответствующие им адреса прерываний, уровень приоритета и биты управления перечислены в таблице 12.4. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

12.3.2. Внешние прерывания

Два внешних источника прерываний (/INT0 и /INT1) настраиваются как входы с низким активным уровнем, чувствительные к уровню или к фронту сигнала, в зависимости от состояния битов IT0 (TCON.0) и IT1 (TCON.2). Биты IE0 (TCON.1) и IE1 (TCON.3) служат флагами прерываний для внешних прерываний /INT0 и /INT1 соответственно. Если вход /INT0 или /INT1 настроен как чувствительный к фронту, то соответствующий флаг прерывания автоматически сбрасывается аппаратными средствами при переходе к процедуре ISR. Если вход /INT0 или /INT1 настроен как чувствительный к уровню, то соответствующий флаг прерывания отслеживает состояние входного вывода внешнего прерывания. Внешний источник прерывания должен удерживать на этом входе активный уровень до тех пор, пока запрос прерывания не будет распознан. Затем необходимо деактивировать запрос прерывания до окончания выполнения процедуры ISR, иначе будет сгенерирован другой запрос прерывания.

Остальные два внешних прерывания (внешние прерывания 6-7) являются чувствительными к фронту сигнала входами, которые можно настроить на использование низкого или высокого активного уровня. Соответствующие им флаги прерываний и биты настройки размещены в регистре флагов прерываний от порта 3 (см. рис.17.19).

Таблица 12.4. Источники прерываний

| Источник прерывания | Вектор прерывания | Приоритет | Флаг прерывания | Битовая адресация ? | Аппаратный сброс ? | Бит разрешения | Управление приоритетом |
|---|-------------------|-----------|----------------------------------|---------------------|--------------------|-----------------|------------------------|
| Сброс | 0x0000 | Наивысший | Нет | N/A | N/A | Разрешен всегда | Всегда наивысший |
| Внешнее прерывание 0 (/INT0) | 0x0003 | 0 | IE0 (TCON.1) | Y | Y | EX0 (IE.0) | PX0 (IP.0) |
| Переполнение Таймера 0 | 0x000B | 1 | TF0 (TCON.5) | Y | Y | ET0 (IE.1) | PT0 (IP.1) |
| Внешнее прерывание 1 (/INT1) | 0x0013 | 2 | IE1 (TCON.3) | Y | Y | EX1 (IE.2) | PX1 (IP.2) |
| Переполнение Таймера 1 | 0x001B | 3 | TF1 (TCON.7) | Y | Y | ET1 (IE.3) | PT1 (IP.3) |
| Последовательный порт УАППО | 0x0023 | 4 | RI0 (SCON0.0) TI0 (SCON0.1) | Y | | ES0 (IE.4) | PS0 (IP.4) |
| Переполнение Таймера 2 (или EXF2) | 0x002B | 5 | TF2 (T2CON.7) | Y | | ET2 (IE.5) | PT2 (IP.5) |
| Модуль SPI | 0x0033 | 6 | SPIF (SPI0CN.7) | Y | | ESPI0 (EIE1.0) | PSPI0 (EIP1.0) |
| Модуль SMBus | 0x003B | 7 | SI (SMB0CN.3) | Y | | ESMB0 (EIE1.1) | PSMB0 (EIP1.1) |
| Детектор диапазона АЦПО | 0x0043 | 8 | AD0WINT (ADC0CN.2) | Y | | EWADC0 (EIE1.2) | PWADC0 (EIP1.2) |
| Программируемый массив счетчиков 0 | 0x004B | 9 | CF (PCA0CN.7) CCFn (PCA0CN.n) | Y | | EPCA0 (EIE1.3) | PPCA0 (EIP1.3) |
| Спадающий фронт компаратора 0 | 0x0053 | 10 | CP0FIF (CPT0CN.4) | | | ECP0F (EIE1.4) | PCP0F (EIP1.4) |
| Нарастающий фронт компаратора 0 | 0x005B | 11 | CP0RIF (CPT0CN.5) | | | ECP0R (EIE1.5) | PCP0R (EIP1.5) |
| Спадающий фронт компаратора 1 | 0x0063 | 12 | CP1FIF (CPT1CN.4) | | | ECP1F (EIE1.6) | PCP1F (EIP1.6) |
| Нарастающий фронт компаратора 1 | 0x006B | 13 | CP1RIF (CPT1CN.5) | | | ECP1R (EIE1.7) | PCP1R (EIP1.7) |
| Переполнение Таймера 3 | 0x0073 | 14 | TF3 (TMR3CN.7) | | | ET3 (EIE2.0) | PT3 (EIP2.0) |
| Завершение преобразования АЦПО | 0x007B | 15 | AD0INT (ADC0CN.5) | Y | | EADC0 (EIE2.1) | PADC0 (EIP2.1) |
| Переполнение Таймера 4 | 0x0083 | 16 | TF4 (T4CON.7) | | | ET4 (EIE2.2) | PT4 (EIP2.2) |
| Завершение преобразования АЦП1 | 0x008B | 17 | AD1INT (ADC1CN.5) | | | EADC1 (EIE2.3) | PADC1 (EIP2.3) |
| Внешнее прерывание 6 | 0x0093 | 18 | IE6 (P3IF.5) | | | EX6 (EIE2.4) | PX6 (EIP2.4) |
| Внешнее прерывание 7 | 0x009B | 19 | IE7 (P3IF.6) | | | EX7 (EIE2.5) | PX7 (EIP2.5) |
| Последовательный порт УАПП1 | 0x00A3 | 20 | RI1 (SCON1.0) TI1 (SCON1.1) | | | ES1 | PS1 |
| Готовность внешнего кварцевого генератора | 0x00AB | 21 | XTLVLD (OSCXCN.7) | | | EXVLD (EIE2.7) | PXVLD (EIP2.7) |

12.3.3. Приоритеты прерываний

Каждому источнику прерываний можно программно присвоить один из двух уровней приоритета: низкий или высокий. Процедура ISR с низким приоритетом может быть прервана прерыванием с высоким приоритетом. Прерывание с высоким приоритетом не может быть прервано. Каждое прерывание имеет связанный с ним бит приоритета в регистрах SFR (IP-EIP2), используемый для настройки уровня приоритета. По умолчанию присваивается низкий приоритет. Если два прерывания происходят одновременно, прерывание с более высоким приоритетом обслуживается первым. Если оба прерывания имеют одинаковый приоритет, для арбитража используется фиксированный уровень приоритета, приведенный в табл.12.4.

12.3.4. Задержка обработки прерывания

Время реакции на прерывание зависит от состояния процессорного ядра в момент возникновения прерывания. Опрос флага прерывания и декодирование приоритета осуществляется каждый системный тактовый цикл. Поэтому, наименее возможное время реакции на прерывание составляет 5 тактовых циклов: 1 цикл для определения прерывания и 4 цикла для выполнения команды LCALL перехода к процедуре ISR. Если в момент выполнения команды RETI появляется прерывание, то до выполнения команды LCALL перехода на процедуру обслуживания этого прерывания будет исполнена одна команда основной программы. Поэтому максимальное время реакции на прерывание (если в настоящий момент не обслуживается другое прерывание или если новое прерывание имеет более высокий приоритет) будет тогда, когда выполняется команда RETI, а следом за ней должна выполняться команда DIV. В этом случае время реакции составляет 18 тактовых циклов: 1 цикл для определения прерывания, 5 циклов для выполнения команды RETI, 8 циклов для выполнения команды DIV и 4 цикла для выполнения команды LCALL перехода на процедуру ISR. Если выполняется процедура ISR для прерывания с равным или более высоким приоритетом, новое прерывание не будет обслужено до тех пор, пока не завершится текущая процедура ISR, включая команду RETI и следующую команду.



12.3.5. Описания регистров прерываний

Регистры SFR, используемые для разрешения/запрещения источников прерываний и установки их приоритетов, описаны ниже. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

Рисунок 12.9. IE: Регистр разрешения прерываний

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|---|-------|-------|-------|-------|-------|---------------------------------------|-------|----------------------|
| EA | IEGF0 | ET2 | ES0 | ET1 | EX1 | ET0 | EX0 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xA8 |
| | | | | | | (доступен в битовом режиме адресации) | | |
| <p>Бит 7: EA: Бит разрешения всех прерываний. Это бит глобально разрешает/запрещает все прерывания. Будучи сброшенным в 0, он перекрывает индивидуальные маски прерываний 0: Все источники прерываний запрещены. 1: Каждое прерывание разрешено/запрещено в соответствии с его индивидуальной маской.</p> | | | | | | | | |
| <p>Бит 6: IEGF0: Флаг общего назначения 0. Это флаг общего назначения, предназначенный для использования под управлением программы.</p> | | | | | | | | |
| <p>Бит 5: ET2: Бит разрешения прерывания от Таймера 2. Этот бит устанавливает маскирование прерывания от Таймера 2. 0: Все прерывания от Таймера 2 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF2 (T2CON.7)</p> | | | | | | | | |
| <p>Бит 4: ES0: Бит разрешения прерываний от последовательного порта УАППО. Этот бит устанавливает маскирование прерывания от последовательного порта УАППО. 0: Прерывания от УАППО запрещены. 1: Прерывания от УАППО разрешены.</p> | | | | | | | | |
| <p>Бит 3: ET1: Бит разрешения прерывания от Таймера 1. Этот бит устанавливает маскирование прерывания от Таймера 1. 0: Все прерывания от Таймера 1 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF1 (TCON.7).</p> | | | | | | | | |
| <p>Бит 2: EX1: Бит разрешения внешнего прерывания 1. Этот бит устанавливает маскирование внешнего прерывания 1. 0: Внешнее прерывание 1 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на выводе /INT1.</p> | | | | | | | | |
| <p>Бит 1: ET0: Бит разрешения прерывания от Таймера 0. Этот бит устанавливает маскирование прерывания от Таймера 0. 0: Все прерывания от Таймера 0 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF0 (TCON.5).</p> | | | | | | | | |
| <p>Бит 0: EX0: Бит разрешения внешнего прерывания 0. Этот бит устанавливает маскирование внешнего прерывания 0. 0: Внешнее прерывание 0 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на выводе /INT0.</p> | | | | | | | | |

Рисунок 12.10. IP: Регистр приоритетов прерываний

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 |
|--|-------|-------|-------|-------|-------|-------|---|-------------------------------------|
| - | - | PT2 | PS0 | PT1 | PX1 | PT0 | PX0 | SFR Адрес: 0xB8 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | |
| Биты 7-6: Не используются. Читаются как 11b. | | | | | | | | |
| Бит 5: PT2: Управление приоритетом прерывания от Таймера 2. | | | | | | | | |
| Этот бит устанавливает приоритет прерываний от Таймера 2. | | | | | | | | |
| 0: Приоритет прерывания от Таймера 2 определяется уровнем приоритета по умолчанию. | | | | | | | | |
| 1: Прерываниям от Таймера 2 назначается высокий уровень приоритета. | | | | | | | | |
| Бит 4: PS0: Управление приоритетом прерывания от последовательного порта УАППО. | | | | | | | | |
| Этот бит устанавливает приоритет прерываний от последовательного порта УАППО. | | | | | | | | |
| 0: Приоритет прерывания от УАППО определяется уровнем приоритета по умолчанию. | | | | | | | | |
| 1: Прерываниям от УАППО назначается высокий уровень приоритета. | | | | | | | | |
| Бит 3: PT1: Управление приоритетом прерывания от Таймера 1. | | | | | | | | |
| Этот бит устанавливает приоритет прерываний от Таймера 1. | | | | | | | | |
| 0: Приоритет прерывания от Таймера 1 определяется уровнем приоритета по умолчанию. | | | | | | | | |
| 1: Прерываниям от Таймера 1 назначается высокий уровень приоритета. | | | | | | | | |
| Бит 2: PX1: Управление приоритетом внешнего прерывания 1. | | | | | | | | |
| Этот бит устанавливает приоритет внешнего прерывания 1. | | | | | | | | |
| 0: Приоритет внешнего прерывания 1 определяется уровнем приоритета по умолчанию. | | | | | | | | |
| 1: Внешнему прерыванию 1 назначается высокий уровень приоритета. | | | | | | | | |
| Бит 1: PT0: Управление приоритетом прерывания от Таймера 0. | | | | | | | | |
| Этот бит устанавливает приоритет прерываний от Таймера 0. | | | | | | | | |
| 0: Приоритет прерывания от Таймера 0 определяется уровнем приоритета по умолчанию. | | | | | | | | |
| 1: Прерываниям от Таймера 0 назначается высокий уровень приоритета. | | | | | | | | |
| Бит 0: PX0: Управление приоритетом внешнего прерывания 0. | | | | | | | | |
| Этот бит устанавливает приоритет внешнего прерывания 0. | | | | | | | | |
| 0: Приоритет внешнего прерывания 0 определяется уровнем приоритета по умолчанию. | | | | | | | | |
| 1: Внешнему прерыванию 0 назначается высокий уровень приоритета. | | | | | | | | |

Рисунок 12.11. EIE1: Дополнительный регистр разрешения прерываний 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xE6 |
|---|-------|-------|-------|-------|--------|-------|-------|---|
| ECP1R | ECP1F | ECP0R | ECP0F | ESCA0 | EWADC0 | ESMB0 | ESPI0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Бит 7: ECP1R: Бит разрешения прерываний от нарастающего фронта Компаратора 1 (CP1). Этот бит устанавливает маскирование прерывания от CP1. 0: Прерывание от нарастающего фронта CP1 запрещено. 1: Разрешены запросы прерываний, генерируемые при установке флага CP1RIF (CPT1CN.5).</p> <p>Бит 6: ECP1F: Бит разрешения прерываний от спадающего фронта Компаратора 1 (CP1). Этот бит устанавливает маскирование прерывания от CP1. 0: Прерывание от спадающего фронта CP1 запрещено. 1: Разрешены запросы прерываний, генерируемые при установке флага CP1FIF (CPT1CN.4).</p> <p>Бит 5: ECP0R: Бит разрешения прерываний от нарастающего фронта Компаратора 0 (CP0). Этот бит устанавливает маскирование прерывания от CP0. 0: Прерывание от нарастающего фронта CP0 запрещено. 1: Разрешены запросы прерываний, генерируемые при установке флага CP0RIF (CPT0CN.5).</p> <p>Бит 4: ECP0F: Бит разрешения прерываний от спадающего фронта Компаратора 0 (CP0). Этот бит устанавливает маскирование прерывания от CP0. 0: Прерывание от спадающего фронта CP0 запрещено. 1: Разрешены запросы прерываний, генерируемые при установке флага CP0FIF (CPT0CN.4).</p> <p>Бит 3: ESCA0: Бит разрешения прерываний от программируемого массива счетчиков (PCA0). Этот бит устанавливает маскирование прерывания от PCA0. 0: Все прерывания от PCA0 запрещены. 1: Разрешены запросы прерываний, генерируемые PCA0.</p> <p>Бит 2: EWADC0: Бит разрешения прерываний от детектора диапазона АЦП0. Этот бит устанавливает маскирование прерывания от детектора диапазона АЦП0. 0: Прерывание от детектора диапазона АЦП0 запрещено. 1: Разрешены запросы прерываний, генерируемые детектором диапазона АЦП0.</p> <p>Бит 1: ESMB0: Бит разрешения прерываний от модуля SMBus. Этот бит устанавливает маскирование прерывания от модуля SMBus. 0: Все прерывания от модуля SMBus запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага SI (SMB0CN.3).</p> <p>Бит 0: ESPI0: Бит разрешения прерываний от модуля SPI0. Этот бит устанавливает маскирование прерывания от модуля SPI0. 0: Все прерывания от модуля SPI0 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага SPIF (SPI0CN.7).</p> | | | | | | | | |

Рисунок 12.12. EIE2: Дополнительный регистр разрешения прерываний 2

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xE7 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| EXVLD | ES1 | EX7 | EX6 | EADC1 | ET4 | EADC0 | ET3 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Бит 7: EXVLD: Бит разрешения прерывания от флага готовности внешнего источника тактовых импульсов (XTLVLD).
Этот бит устанавливает маскирование прерывания от XTLVLD.
0: Все прерывания от XTLVLD запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага XTLVLD (OSCXCN.7)

Бит 6: ES1: Бит разрешения прерываний от последовательного порта УАПП1.
Этот бит устанавливает маскирование прерывания от последовательного порта УАПП1.
0: Прерывания от УАПП1 запрещены.
1: Прерывания от УАПП1 разрешены.

Бит 5: EX7: Бит разрешения внешнего прерывания 7.
Этот бит устанавливает маскирование внешнего прерывания 7.
0: Внешнее прерывание 7 запрещено.
1: Разрешены запросы прерываний, генерируемые на входном выводе внешнего прерывания 7.

Бит 4: EX6: Бит разрешения внешнего прерывания 6.
Этот бит устанавливает маскирование внешнего прерывания 6.
0: Внешнее прерывание 6 запрещено.
1: Разрешены запросы прерываний, генерируемые на входном выводе внешнего прерывания 6.

Бит 3: EADC1: Бит разрешения прерываний, возникающих при завершении преобразования АЦП1.
Этот бит устанавливает маскирование прерывания, возникающего при завершении преобразования АЦП1.
0: Прерывание, возникающее при завершении преобразования АЦП1, запрещено.
1: Разрешены запросы прерываний, генерируемые флагом завершения преобразования АЦП1.

Бит 2: ET4: Бит разрешения прерываний от Таймера 4.
Этот бит устанавливает маскирование прерывания от Таймера 4.
0: Все прерывания от Таймера 4 запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага TF4 (T4CON.7)

Бит 1: EADC0: Бит разрешения прерываний, возникающих при завершении преобразования АЦП0.
Этот бит устанавливает маскирование прерывания, возникающего при завершении преобразования АЦП0.
0: Прерывание, возникающее при завершении преобразования АЦП0, запрещено.
1: Разрешены запросы прерываний, генерируемые флагом завершения преобразования АЦП0.

Бит 0: ET3: Бит разрешения прерываний от Таймера 3.
Этот бит устанавливает маскирование прерывания от Таймера 3.
0: Все прерывания от Таймера 3 запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага TF3 (TMR3CN.7)

Рисунок 12.13. EIP1: Дополнительный регистр приоритетов прерываний 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xF6 |
|---|-------|-------|-------|-------|--------|-------|-------|---|
| PCP1R | PCP1F | PCP0R | PCP0F | PPCA0 | PWADC0 | PSMB0 | PSPI0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Бит 7: PCP1R: Управление приоритетом прерывания от нарастающего фронта Компаратора 1 (CP1). Этот бит устанавливает приоритет прерывания от CP1. 0: Прерыванию от нарастающего фронта CP1 назначается низкий уровень приоритета. 1: Прерыванию от нарастающего фронта CP1 назначается высокий уровень приоритета.</p> <p>Бит 6: PCP1F: Управление приоритетом прерывания от спадающего фронта Компаратора 1 (CP1). Этот бит устанавливает приоритет прерывания от CP1. 0: Прерыванию от спадающего фронта CP1 назначается низкий уровень приоритета. 1: Прерыванию от спадающего фронта CP1 назначается высокий уровень приоритета.</p> <p>Бит 5: PCP0R: Управление приоритетом прерывания от нарастающего фронта Компаратора 0 (CP0). Этот бит устанавливает приоритет прерывания от CP0. 0: Прерыванию от нарастающего фронта CP0 назначается низкий уровень приоритета. 1: Прерыванию от нарастающего фронта CP0 назначается высокий уровень приоритета.</p> <p>Бит 4: PCP0F: Управление приоритетом прерывания от спадающего фронта Компаратора 0 (CP0). Этот бит устанавливает приоритет прерывания от CP0. 0: Прерыванию от спадающего фронта CP0 назначается низкий уровень приоритета. 1: Прерыванию от спадающего фронта CP0 назначается высокий уровень приоритета.</p> <p>Бит 3: PPCA0: Управление приоритетом прерывания от программируемого массива счетчиков (PCA0). Этот бит устанавливает приоритет прерывания от PCA0. 0: Прерыванию от PCA0 назначается низкий уровень приоритета. 1: Прерыванию от PCA0 назначается высокий уровень приоритета.</p> <p>Бит 2: PWADC0: Управление приоритетом прерывания от детектора диапазона АЦП0. Этот бит устанавливает приоритет прерывания от детектора диапазона АЦП0. 0: Прерыванию от детектора диапазона АЦП0 назначается низкий уровень приоритета. 1: Прерыванию от детектора диапазона АЦП0 назначается высокий уровень приоритета.</p> <p>Бит 1: PSMB0: Управление приоритетом прерывания от модуля SMBus. Этот бит устанавливает приоритет прерывания от модуля SMBus. 0: Прерыванию от модуля SMBus назначается низкий уровень приоритета. 1: Прерыванию от модуля SMBus назначается высокий уровень приоритета.</p> <p>Бит 0: PSPI0: Управление приоритетом прерывания от модуля SPI0. Этот бит устанавливает приоритет прерывания от модуля SPI0. 0: Прерыванию от модуля SPI0 назначается низкий уровень приоритета. 1: Прерыванию от модуля SPI0 назначается высокий уровень приоритета.</p> | | | | | | | | |

Рисунок 12.14. EIP2: Дополнительный регистр приоритетов прерываний 2

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xF7 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| PXVLD | EP1 | PX7 | PX6 | PADC1 | PT4 | PADC0 | PT3 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Бит 7: PXVLD: Управление приоритетом прерывания от флага готовности внешнего источника тактовых импульсов (XTLVLD).
Этот бит устанавливает приоритет прерывания от XLTVLD.
0: Прерыванию от XLTVLD назначается низкий уровень приоритета.
1: Прерыванию от XLTVLD назначается высокий уровень приоритета.

Бит 6: EP1: Управление приоритетом прерывания от последовательного порта УАПП1.
Этот бит устанавливает приоритет прерываний от последовательного порта УАПП1.
0: Прерываниям от УАПП1 назначается низкий уровень приоритета.
1: Прерываниям от УАПП1 назначается высокий уровень приоритета.

Бит 5: PX7: Управление приоритетом внешнего прерывания 7.
Этот бит устанавливает приоритет внешнего прерывания 7.
0: Внешнему прерыванию 7 назначается низкий уровень приоритета.
1: Внешнему прерыванию 7 назначается высокий уровень приоритета.

Бит 4: PX6: Управление приоритетом внешнего прерывания 6.
Этот бит устанавливает приоритет внешнего прерывания 6.
0: Внешнему прерыванию 6 назначается низкий уровень приоритета.
1: Внешнему прерыванию 6 назначается высокий уровень приоритета.

Бит 3: PADC1: Управление приоритетом прерывания от флага завершения преобразования АЦП1.
Этот бит устанавливает приоритет прерывания от флага завершения преобразования АЦП1.
0: Прерыванию от флага завершения преобразования АЦП1 назначается низкий уровень приоритета.
1: Прерыванию от флага завершения преобразования АЦП1 назначается высокий уровень приоритета.

Бит 2: PT4: Управление приоритетом прерывания от Таймера 4.
Этот бит устанавливает приоритет прерывания от Таймера 4.
0: Прерыванию от Таймера 4 назначается низкий уровень приоритета.
1: Прерыванию от Таймера 4 назначается высокий уровень приоритета.

Бит 1: PADC0: Управление приоритетом прерывания от флага завершения преобразования АЦП0.
Этот бит устанавливает приоритет прерывания от флага завершения преобразования АЦП0.
0: Прерыванию от флага завершения преобразования АЦП0 назначается низкий уровень приоритета.
1: Прерыванию от флага завершения преобразования АЦП0 назначается высокий уровень приоритета.

Бит 0: PT3: Управление приоритетом прерывания от Таймера 3.
Этот бит устанавливает приоритет прерывания от Таймера 3.
0: Приоритет прерывания от Таймера 3 определяется уровнем приоритета по умолчанию.
1: Прерыванию от Таймера 3 назначается высокий уровень приоритета.

12.4. Режимы управления электропитанием

Ядро CIP-51 имеет два программируемых режима управления электропитанием: режим ожидания и режим остановки. В режиме ожидания процессорное ядро останавливается, а внешние периферийные модули и внутренние тактовые генераторы остаются активными. В режиме остановки процессорное ядро и системный тактовый генератор останавливаются, все источники прерываний и таймеры (кроме детектора исчезновения тактовых импульсов) неактивны, системный тактовый генератор останавливается. После того, как тактовые генераторы переведены в режим ожидания, энергопотребление зависит от системной тактовой частоты и количества периферийных модулей, оставленных в активном режиме до входа в режим ожидания. В режиме остановки энергопотребление наименьшее. На рис.12.15 описан регистр управления питанием (PCON), используемый для настройки режимов электропитания CIP-51.

Хотя CIP-51 имеет встроенные режимы ожидания и остановки (как любой МК со стандартной архитектурой 8051), управление питанием всего МК наиболее эффективно осуществляется путем разрешения/запрещения по необходимости индивидуальных периферийных модулей. Каждый аналоговый периферийный модуль, когда он не используется, может быть заблокирован и переведен в режим пониженного энергопотребления. Цифровые периферийные модули, такие как таймеры или последовательные интерфейсы, потребляют мало энергии, когда не используются. Отключение Flash-памяти уменьшает энергопотребление также, как переход в режим ожидания. Отключение генератора хоть и сохраняет много энергии, но требует сброса для запуска МК.

12.4.1. Режим ожидания

Установка в 1 бита выбора режима ожидания (PCON.0) заставит CIP-51 остановить процессорное ядро и перейти в режим ожидания сразу же после завершения команды, которая устанавливает этот бит. Все внутренние регистры и память сохраняют свои данные. Все аналоговые и цифровые периферийные модули могут оставаться активными во время режима ожидания.

Выйти из режима ожидания можно или по сигналу сброса, или по прерыванию. Любой из разрешенных сигналов прерывания приведет к сбросу бита PCON.0 и возобновлению работы процессорного ядра. Прерывание будет обслужено и после выхода из прерывания (RETI) будет исполнена команда, которая следует в программе за командой, установившей бит выбора режима ожидания (PCON.0). Если режим ожидания завершается по внутреннему или внешнему сигналу сброса, то CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если сторожевой таймер включен, то со временем он вызовет сброс от сторожевого таймера, что приведет к выходу из режима ожидания. Эта возможность защищает систему от непреднамеренного постоянного отключения в случае случайной записи регистра PCON. Когда такое поведение нежелательно, сторожевой таймер может быть отключен программно до входа в режим ожидания, если первоначально он был настроен на разрешение такой операции. Это обеспечивает возможность дополнительного уменьшения энергопотребления, т.к. система остается в режиме ожидания неопределенно долгое время, ожидая внешнего сигнала пробуждения системы. Подробная информация об использовании и настройке сторожевого таймера приведена в разделе 13.8.

12.4.2. Режим остановки

Установка в 1 бита выбора режима остановки (PCON.1) заставит CIP-51 перейти в режим остановки сразу же после завершения команды, которая устанавливает этот бит. В режиме остановки процессорное ядро и тактовые генераторы останавливаются, а значит все цифровые модули выключаются. Каждый аналоговый периферийный модуль должен быть отключен индивидуально до перехода в режим остановки. Выйти из режима остановки можно по внутреннему или внешнему сигналу сброса. При сбросе CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если включен детектор исчезновения тактовых импульсов (Missing Clock Detector – MCD), то он вызовет внутренний сброс и тем самым выведет МК из режима остановки. Детектор исчезновения тактовых импульсов следует отключить, если необходимо перевести МК в режим остановки на время, большее времени задержки MCD (100 мкс).

Рисунок 12.15. PCON: Регистр управления электропитанием

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x87 |
|-------|--------|-----------|-------|--------|-----------|-------|-------|---|
| SMOD0 | SSTAT0 | Зарезерв. | SMOD1 | SSTAT1 | Зарезерв. | STOP | IDLE | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Бит 7: SMOD0: Включение удвоения скорости передачи данных последовательного порта УАППО.
 0: Скорости передачи данных последовательного порта УАППО определяется режимом последовательного порта, заданным в регистре SCON0.
 1: Скорости передачи данных последовательного порта в два раза больше, чем та, которая определяется режимом последовательного порта, заданным в регистре SCON0.

Бит 6: SSTAT0: Выбор режима расширенного УАППО.
 Этот бит управляет функционированием битов SM20-SM00 регистра SCON0.
 0: При чтении/записи SM20-SM00 происходит обращение к битам настройки режима УАППО SM20-SM00.
 1: При чтении/записи SM20-SM00 происходит обращение к битам ошибки кадра (FE0), переполнения приемника (RXOV0) и конфликта передачи (TXCOL0).

Бит 5: Зарезервирован. Значение при чтении не определено. Этот бит следует сбросить в 0.

Бит 4: SMOD1: Включение удвоения скорости передачи данных последовательного порта УАПП1.
 0: Скорости передачи данных последовательного порта УАПП1 определяется режимом последовательного порта, заданным в регистре SCON1.
 1: Скорости передачи данных последовательного порта в два раза больше, чем та, которая определяется режимом последовательного порта, заданным в регистре SCON1.

Бит 3: SSTAT1: Выбор режима расширенного УАПП1.
 Этот бит управляет функционированием битов SM21-SM01 регистра SCON1.
 0: При чтении/записи SM21-SM01 происходит обращение к битам настройки режима УАПП1 SM21-SM01.
 1: При чтении/записи SM21-SM01 происходит обращение к битам ошибки кадра (FE1), переполнения приемника (RXOV1) и конфликта передачи (TXCOL1).

Бит 2: Зарезервирован. Значение при чтении не определено. Этот бит следует сбросить в 0.

Бит 1: STOP: Выбор режима остановки.
 Установка в 1 этого бита переведет CIP-51 в режим остановки. Этот бит всегда будет читаться как '0'.
 1: Переход в режим пониженного энергопотребления. (Отключение внутреннего тактового генератора).

Бит 0: IDLE: Выбор режима ожидания.
 Установка в 1 этого бита переведет CIP-51 в режим ожидания. Этот бит всегда будет читаться как '0'.
 1: Переход в режим ожидания. (Отключение тактирования процессорного ядра, однако тактирование таймеров, модулей прерываний, последовательных портов и аналоговых модулей остается включенным)

13. ИСТОЧНИКИ СБРОСА

Схема сброса позволяет легко перевести МК в predetermined по умолчанию состояние. При переходе к этому состоянию сброса происходит следующее:

- CIP-51 останавливает выполнение программы;
- регистры SFR инициализируются значениями по умолчанию;
- выводы внешних портов устанавливаются в известное состояние;
- прерывания и таймеры запрещаются.

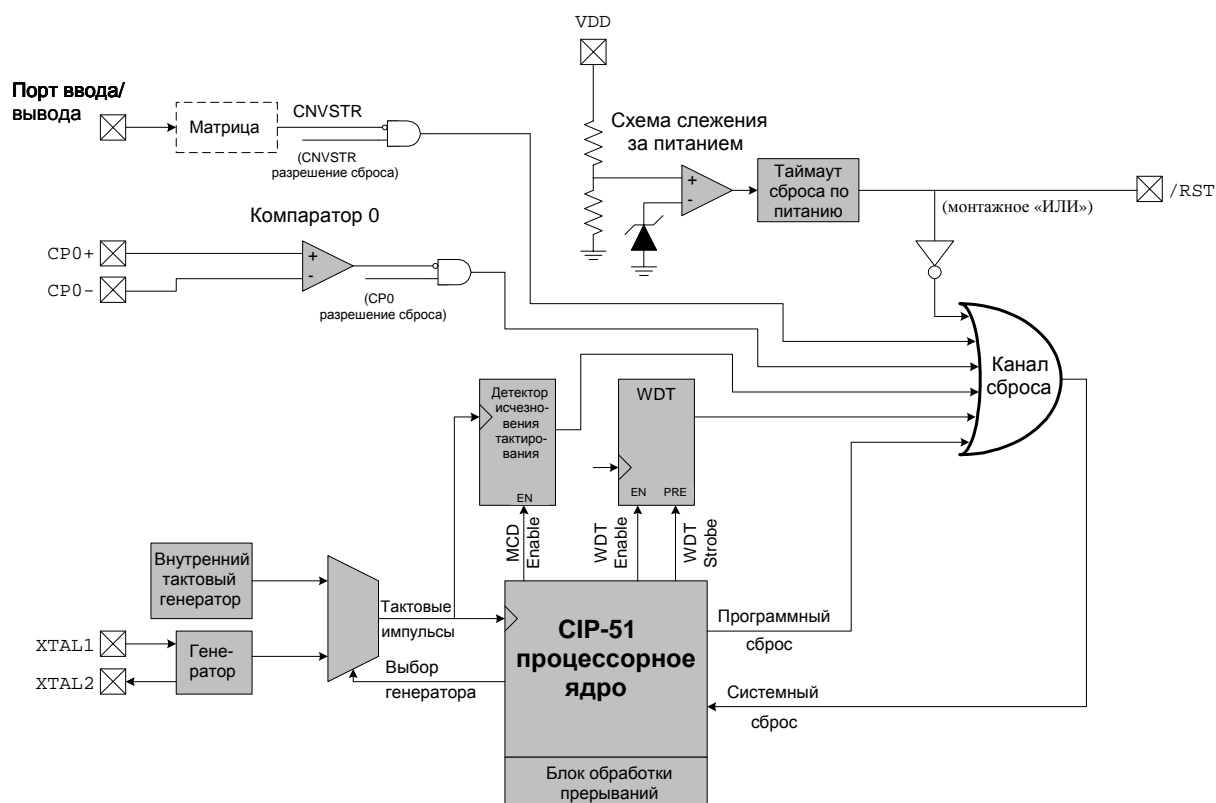
Все регистры SFR принимают значения по умолчанию. В подробном описании каждого регистра SFR приведено значение, загружаемое в этот регистр при сбросе. Содержимое внутренней памяти данных не изменяется при сбросе и ранее сохраненные данные остаются неизменными. Однако, т.к. регистр указателя стека сбрасывается, стек фактически теряется, хотя данные в нем не изменяются.

Защелки портов ввода/вывода сбрасываются в состояние 0xFF (все логические единицы), активируя внутренние слаботочковые подтяжки, которые удерживают на внешних портах ввода/вывода высокий логический уровень. Следует иметь в виду, что слаботочковые подтяжки отключаются во время сброса и включаются, когда МК выходит из состояния сброса. Это позволяет уменьшить энергопотребление, когда МК удерживается в состоянии сброса. Если источником сброса является схема слежения за напряжением питания, то на выводе /RST удерживается низкий логический уровень до истечения таймаута сброса по питанию.

При выходе из состояния сброса МК использует внутренний тактовый генератор, работающий по умолчанию на тактовой частоте 2 МГц. Программный счетчик (PC) сбрасывается и выполнение программы начинается с адреса 0x0000. Информация о выборе и настройке источников системного тактового сигнала приведена в разделе 14. Сторожевой таймер включен и настроен на максимальный таймаут. (Подробное описание сторожевого таймера приведено в разделе 13.8).

Семь источников могут перевести МК в состояние сброса: включение/исчезновение питания, внешний вывод /RST, внешний сигнал CNVSTR, программный сброс, компаратор 0, детектор исчезновения тактирования, сторожевой таймер. Каждый источник сброса описан ниже.

Рисунок 13.1. Структурная схема источников сброса



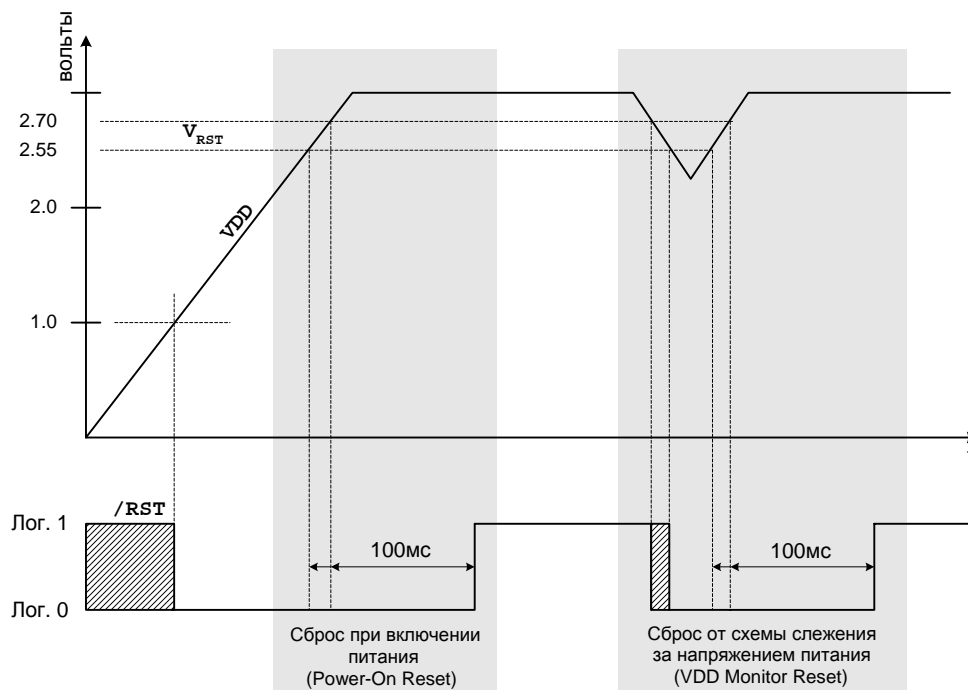
13.1. Сброс при включении питания (Power-on Reset - POR)

МК C8051F020/1/2/3 содержат схему слежения за напряжением питания, которая удерживает МК в состоянии сброса, пока напряжение питания VDD не превысит в процессе включения уровень V_{RST} . (См. временную диаграмму на рис.13.2 и электрические характеристики в табл.13.1). В течение таймаута схемы слежения за напряжением питания (100 мс) на выводе /RST удерживается низкий логический уровень, что позволяет напряжению питания стабилизироваться.

При завершении сброса типа POR флаг PORSF (RSTSRC.1) аппаратно устанавливается в 1. Все другие флаги сброса в регистре RSTSRC являются неопределенными. Флаг PORSF сбрасывается в 0 при сбросе от любого другого источника. Т.к. при сбросе любого типа выполнение программы начинается с одного и того же адреса (0x0000), программа может опросить флаг PORSF, чтобы определить, было ли включение питания причиной сброса. Содержимое внутренней памяти данных после сброса типа POR следует считать неопределенным.

Схема слежения за напряжением питания включается соединением вывода MOVEN непосредственно с шиной питания VDD. Вывод MOVEN рекомендуется использовать именно таким образом.

Рисунок 13.2. Временная диаграмма работы схемы слежения за напряжением питания



13.2. Сброс при исчезновении питания (Power-fail Reset – PFR)

Когда при выключении или сбое питания напряжение питания VDD опускается ниже уровня V_{RST} , схема слежения за напряжением питания установит на выводе /RST низкий логический уровень и переведет CIP-51 в состояние сброса. Когда VDD превысит уровень V_{RST} , CIP-51 выйдет из состояния сброса точно так же, как при сбросе типа POR (см. рис.13.2). Следует иметь в виду, что, хотя содержимое внутренней памяти данных и не изменяется при сбросе типа PFR, невозможно определить, опускалось ли напряжение VDD ниже уровня, необходимого для сохранения данных. Если флаг PORSF установлен в 1, данные нельзя более считать действительными.

13.3. Внешний сброс

Внешний вывод /RST позволяет внешней схеме перевести МК в состояние сброса. Подача на вывод /RST сигнала с низким активным уровнем заставит МК перейти в состояние сброса. Несмотря на наличие внутренних слаботоковых подтяжек, желательно обеспечить на выводе /RST внешние подтягивающие и/или развязывающие цепи, чтобы предотвратить ложные сбросы, вызванные шумом. После снятия сигнала с низким активным уровнем с вывода /RST МК будет оставаться в состоянии сброса еще по крайней мере 12 тактовых циклов. При завершении внешнего сброса устанавливается в 1 флаг PINRSF (RSTSRC.0).

13.4. Программный сброс

Установка в 1 бита SWRSEF вызовет сброс типа POR, который описан в разделе 13.1.

13.5. Сброс от детектора исчезновения тактирования

Детектор исчезновения тактирования (Missing Clock Detector – MCD) фактически представляет собой одновибратор, который управляется системным тактовым сигналом. Если системный тактовый сигнал исчезнет более чем на 100мкс, то одновибратор сработает и сгенерирует сброс. После сброса типа MCD будет установлен в 1 флаг MCDRSF (RSTSRC.2), показывая, что источником сброса был MCD; в иных случаях этот бит читается как 0. Состояние вывода /RST не влияет на сброс этого типа. Работа детектора исчезновения тактирования разрешается установкой в 1 бита MSCLKE в регистре OSCICN (см. раздел 14).

13.6. Сброс от Компаратора 0

Установка в 1 флага CORSEF (RSTSRC.5) настраивает Компаратор 0 как вход сброса с низким активным уровнем. Компаратор 0 следует включить, используя бит CPT0CN.7 (см. раздел 11), как минимум за 20мкс до записи бита CORSEF, чтобы дребезг на выходе не привел к генерации нежелательного сброса. Когда напряжение на неинвертирующем входе (CP0+) меньше, чем напряжение на инвертирующем входе (CP0-), то, если компаратор 0 настроен как источник сброса, МК перейдет в состояние сброса. После сброса от Компаратора 0 флаг CORSEF (RSTSRC.5) будет читаться как 1, показывая, что Компаратор 0 был источником сброса; в иных случаях этот бит читается как 0. Состояние вывода /RST не влияет на сброс этого типа.

13.7. Сброс от внешнего вывода CNVSTR

Установка в 1 флага CNVRSEF (RSTSRC.6) настраивает внешний сигнал CNVSTR как вход сброса с активным низким уровнем. Сигнал CNVSTR может появиться на любых выводах портов ввода/вывода P0, P1, P2 или P3, как описано в разделе 17.1. (Необходимо отметить, что матрица должна быть сконфигурирована таким образом, чтобы сигнал CNVSTR был выведен на соответствующий порт ввода/вывода). Матрицу следует настроить и включить до установки бита CNVRSEF. Когда сигнал CNVSTR настроен как источник сброса, он представляет собой чувствительный к уровню сигнал с активным низким уровнем. После сброса от сигнала CNVSTR флаг CNVRSEF (RSTSRC.6) будет читаться как 1, показывая, что сигнал CNVSTR был источником сброса; в иных случаях этот бит читается как 0. Состояние вывода /RST не влияет на сброс этого типа.

13.8. Сброс от сторожевого таймера

МК содержит программируемый сторожевой таймер (Watchdog Timer - WDT), работающий независимо от системного тактового сигнала. WDT переводит МК в состояние сброса в случае своего переполнения. Чтобы предотвратить сброс, WDT должен перезапускаться из прикладной программы до того, как произойдет его переполнение. Если в системе происходит программный/аппаратный сбой, не позволяющий программе перезапустить WDT, то WDT переполнится и вызовет сброс. Это предотвращает выход системы из под контроля.

При завершении сброса всех типов WDT автоматически включается и запускается по умолчанию с максимальным таймаутом. При необходимости WDT можно программно запретить или заблокировать, чтобы предотвратить его случайное запрещение. После блокирования WDT его нельзя запретить до следующего системного сброса. Состояние вывода /RST не влияет на сброс этого типа.

WDT состоит из 21-разрядного таймера, работающего с программируемой тактовой частотой. Этот таймер измеряет период между операциями записи определенных значений в его регистр управления. Если этот период превышает установленный предел, то генерируется сброс от WDT. WDT может быть программно разрешен или запрещен, кроме этого можно заблокировать функцию отключения WDT. Управление WDT осуществляется посредством регистра управления WDT (WDTCN), показанного на рис.13.3.

13.8.1. Включение/сброс WDT

WDT как включается, так и сбрасывается записью значения 0xA5 в регистр WDTCN. Программа пользователя должна периодически записывать значение 0xA5 в регистр WDTCN, чтобы предотвратить переполнение сторожевого таймера. WDT включается и сбрасывается в результате любого системного сброса.

13.8.2. Отключение WDT

Запись в регистр WDTCN значения 0xAD вслед за значением 0xDE отключает WDT. Следующий сегмент программного кода иллюстрирует операцию отключения WDT:

```
CLR EA          ; запрет всех прерываний
MOV WDTCN, #0DEh ; отключение
MOV WDTCN, #0ADh ; сторожевого таймера
SETB EA        ; разрешение прерываний
```

Между записью значений 0xDE и 0xAD должно пройти не более четырех тактовых циклов, иначе операция отключения игнорируется. На время этой процедуры следует запретить прерывания во избежание задержки между двумя операциями записи.

13.8.3. Блокировка отключения WDT

Запись значения 0xFF в регистр WDTCN заблокирует функцию отключения WDT. Будучи заблокированной, операция отключения игнорируется до следующего системного сброса. Запись значения 0xFF не включает и не сбрасывает сторожевой таймер. Приложения, планирующие использовать WDT постоянно, должны записывать значение 0xFF в регистр WDTCN в процессе начальной инициализации.

13.8.4. Установка временного интервала (таймаута) WDT

Биты WDTCN.[2:0] управляют таймаутом сторожевого таймера. Временной интервал определяется следующим уравнением:

$$4^{3+WDTCN[2:0]} \times T_{SYSCLK}, \text{ где } T_{SYSCLK} - \text{период системного тактового сигнала.}$$

Для системной тактовой частоты 2 МГц таймаут, в соответствии с этим уравнением, может быть от 0,032 мс до 524 мс. При установке этого временного интервала бит WDTCN.7 должен быть равен 0. Операция чтения WDTCN возвратит заданный таймаут. После системного сброса биты WDTCN.[2:0] читаются как 111b.



Рисунок 13.3. WDTCN: Регистр управления WDT

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: xxxxxx111 SFR Адрес: 0xFF |
|--|-------|-------|-------|-------|-------|-------|-------|--|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Биты 7-0: Управление WDT</p> <p>Запись 0xA5 как включает, так и перезагружает WDT.</p> <p>Запись 0xAD в течение 4 тактовых циклов после записи 0xDE отключает WDT.</p> <p>Запись 0xFF блокирует функцию отключения.</p> <p>Бит 4: Бит состояния WDT (при чтении)</p> <p>Чтение бита WDTCN.[4] показывает состояние сторожевого таймера.</p> <p>0: WDT не активен</p> <p>1: WDT активен</p> <p>Биты 2-0: Биты установки таймаута WDT</p> <p>Биты WDTCN.[2:0] задают временной интервал сторожевого таймера. При записи этих битов бит WDTCN.7 должен быть равен 0.</p> | | | | | | | | |

Рисунок 13.4. RSTSRC: Регистр источников сброса

| R | R/W | R/W | R/W | R | R | R/W | R | Значение при сбросе: XXXXXXXX SFR Адрес: 0xEF |
|-------|---------|--------|--------|--------|--------|-------|--------|---|
| - | CNVRSEF | CORSEF | SWRSEF | WDTRSF | MCDRSF | PORSF | PINRSF | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

(Примечание: Нельзя использовать операции типа чтение-модификация-запись по отношению к этому регистру.)

Бит 7: Зарезервирован.

Бит 6: CNVRSEF: Разрешение и флаг сброса от сигнала CNVSTR (Convert Start)

Запись:

0: CNVSTR не является источником сброса

1: CNVSTR является источником сброса (активный уровень - низкий)

Чтение:

0: CNVSTR не был источником предыдущего сброса

1: CNVSTR был источником предыдущего сброса

Бит 5: CORSEF: Разрешение и флаг сброса от Компаратора 0

Запись:

0: Компаратор 0 не является источником сброса

1: Компаратор 0 является источником сброса (активный уровень - низкий)

Чтение:

0: Компаратор 0 не был источником предыдущего сброса

1: Компаратор 0 был источником предыдущего сброса

Бит 4: SWRSF: Бит инициации и флаг программного сброса

Запись:

0: Не вызывает никаких действий

1: Вызывает внутренний сброс. Состояние вывода /RST не влияет на этот сброс.

Чтение:

0: Предыдущий сброс не был вызван установкой в 1 бита SWRSF.

1: Предыдущий сброс был вызван установкой в 1 бита SWRSF.

Бит 3: WDTRSF: Флаг сброса от сторожевого таймера

0: WDT не был источником предыдущего сброса.

1: WDT был источником предыдущего сброса.

Бит 2: MCDRSF: Флаг сброса от детектора исчезновения тактирования (MCD)

0: MCD не был источником предыдущего сброса.

1: MCD был источником предыдущего сброса.

Бит 1: PORSF: Бит инициации и флаг сброса типа POR (сброс при включении питания)

Запись:

0: Не вызывает никаких действий

1: Вызывает сброс типа POR. На выводе /RST устанавливается напряжение низкого логического уровня.

Чтение:

0: Предыдущий сброс не был сбросом типа POR.

1: Предыдущий сброс был сбросом типа POR.

Бит 0: PINRSF: Флаг сброса от вывода /RST

0: Предыдущий сброс не был сбросом от вывода /RST.

1: Предыдущий сброс был сбросом от вывода /RST.



Таблица 13.1. Электрические параметры источников сброса

T = от -40°C до +85°C, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|---|--|------------------|------|------------------|----------|
| Выходное напряжение высокого уровня на выводе /RST | $I_{OH} = -3\text{mA}$ | $VDD - 0.7$ | | | В |
| Выходное напряжение низкого уровня на выводе /RST | $I_{OL} = 8.5\text{mA}$, $VDD = 2.7 \dots 3.6\text{V}$ | | | 0.6 | В |
| Входное напряжение высокого уровня на выводе /RST | | $0.7 \times VDD$ | | | В |
| Входное напряжение низкого уровня на выводе /RST | | | | $0.3 \times VDD$ | В |
| Входной ток утечки вывода /RST | $/RST = 0.0\text{V}$ | | 50 | | мкА |
| Напряжение VDD, необходимое для функционирования выхода /RST | | 1.0 | | | В |
| Напряжение AV+, необходимое для функционирования выхода /RST | | 1.0 | | | В |
| Пороговое значение напряжения VDD для сброса типа POR (V_{RST}) | | 2.40 | 2.55 | 2.80 | В |
| Минимальная длительность низкого уровня сигнала на выводе /RST, необходимая для генерации системного сброса | | 10 | | | нс |
| Время задержки сброса | Задержка нарастающего фронта на выв. /RST после превышения порога сброса V_{RST} | 80 | 100 | 120 | мс |
| Таймаут детектора исчезновения тактирования | Время от последнего тактового импульса до генерации сброса | 100 | 220 | 500 | мкс |

ПРИМЕЧАНИЯ

14. ГЕНЕРАТОРЫ

Каждый МК содержит внутренний генератор и схему возбуждения внешнего генератора, каждый из которых может генерировать системный тактовый сигнал. После любого сброса МК загружаются от внутреннего генератора. Внутренний генератор запускается немедленно. Используя регистр управления OSCICN (см. рис.14.2), можно включить/отключить внутренний генератор, а также изменить его частоту. В табл.14.1 приведены электрические параметры внутреннего генератора.

Оба генератора выключены, когда на выводе /RST удерживается сигнал низкого уровня. Микроконтроллеры могут постоянно работать от внутреннего генератора, а также переключиться при необходимости на внешний генератор, используя для этого бит CLKSL в регистре OSCICN. Внешний генератор требует внешних керамического резонатора, кварцевого резонатора с параллельным резонансом, конденсатора или RC-цепи, подключенных к выводам XTAL1/XTAL2 (см. рис.14.1). Схема генератора должна быть настроена в регистре OSCXCN для работы с одним из этих источников. Кроме этого, системный тактовый сигнал может подаваться от внешнего КМОП-счетчика через вывод XTAL1. Допустимое напряжение на выводах XTAL1 и XTAL2 составляет 3,6В (не 5В).

Рисунок 14.1. Структурная схема генератора

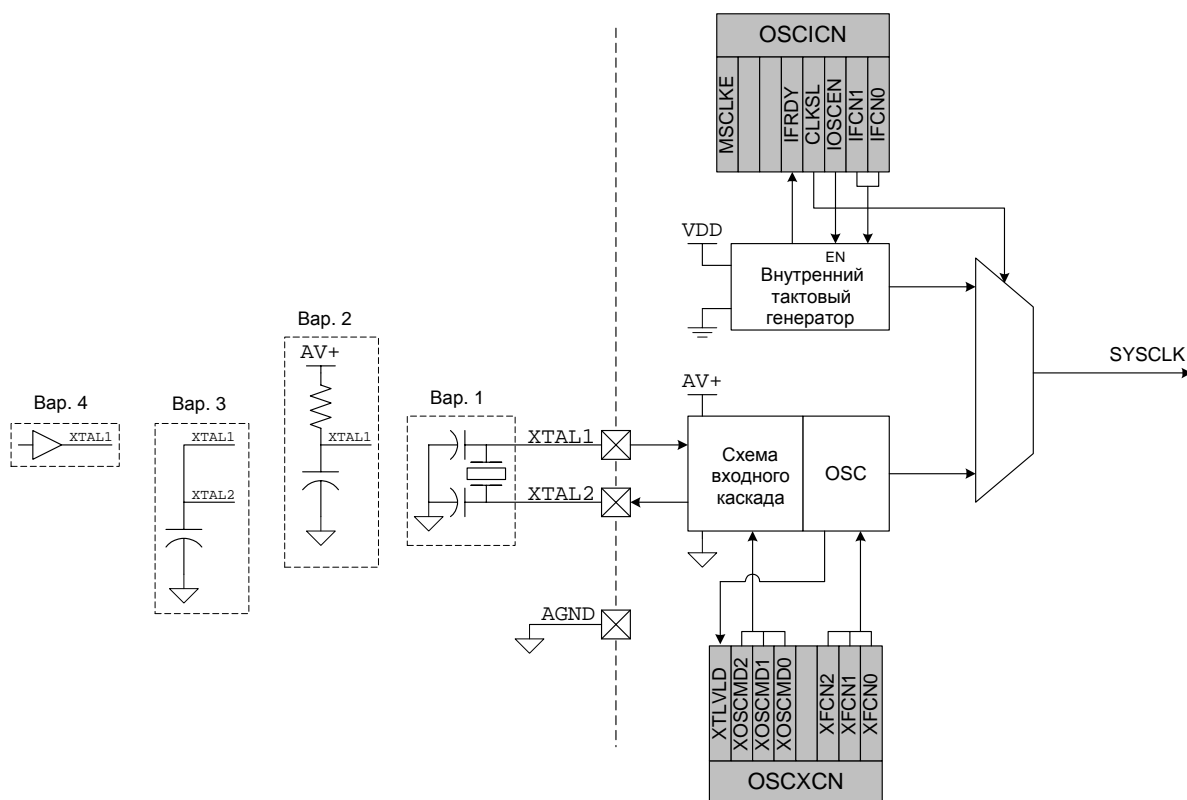


Рисунок 14.2. OSCICN: Регистр управления внутренним генератором

| R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | Значение при сбросе: 00010100 SFR Адрес: 0xB2 |
|--------|-------|-------|-------|-------|--------|-------|-------|---|
| MSCLKE | - | - | IFRDY | CLKSL | IOSCEN | IFCN1 | IFCN0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Бит 7: MSCLKE: Бит включения детектора исчезновения тактирования.
 0: Детектор исчезновения тактирования выключен
 1: Детектор исчезновения тактирования включен; инициирует сброс при обнаружении исчезновения тактовых импульсов на время более 100мкс.

Биты 6-5: Не используются. Читаются как 00b.

Бит 4: IFRDY: Флаг стабилизации частоты внутреннего генератора
 0: Частота внутреннего генератора не соответствует частоте, задаваемой битами IFCN.
 1: Частота внутреннего генератора соответствует частоте, задаваемой битами IFCN.

Бит3: CLKSL: Бит выбора источника системных тактовых импульсов
 0: В качестве источника системных тактовых импульсов используется внутренний генератор
 1: В качестве источника системных тактовых импульсов используется внешний генератор

Бит 2: IOSCEN: Бит включения внутреннего генератора
 0: Внутренний генератор выключен
 1: Внутренний генератор включен

Биты 1-0: IFCN1-0: Биты управления частотой внутреннего генератора
 00: Частота внутреннего генератора равна 2MHz.
 01: Частота внутреннего генератора равна 4MHz.
 10: Частота внутреннего генератора равна 8MHz.
 11: Частота внутреннего генератора равна 16MHz.

Таблица 14.1. Электрические параметры внутреннего генератора

VDD = 2.7...3.6В; T = от -40°C до +85°C, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|--|-------------------|------|------|-------|----------|
| Частота внутреннего генератора | OSCICN.[1:0] = 00 | 1.5 | 2 | 2.4 | МГц |
| | OSCICN.[1:0] = 01 | 3.1 | 4 | 4.8 | |
| | OSCICN.[1:0] = 10 | 6.2 | 8 | 9.6 | |
| | OSCICN.[1:0] = 11 | 12.3 | 16 | 19.2 | |
| Ток потребления внутреннего генератора (от VDD) | OSCICN.2 = 1 | | 200 | | мкА |

Рисунок 14.3. OSCXCN: Регистр управления внешним генератором

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|--------|---------|---------|---------|-------|-------|-------|-------|-------------------------|
| XTLVLD | XOSCMD2 | XOSCMD1 | XOSCMD0 | - | XFCN2 | XFCN1 | XFCN0 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xB1 |

Бит 7: XTLVLD: Флаг стабилизации кварцевого генератора.

(Действителен, только если XOSCMD = 11х.)

0: Кварцевый генератор не используется или еще нестабилен.

1: Кварцевый генератор работает и стабилен.

Биты 6-4: XOSCMD2-0: Биты выбора режима внешнего генератора.

00х: Генератор выключен. Вывод XTAL1 внутренне заземлен.

010: Тактовые импульсы поступают от внешнего КМОП-счетчика через вывод XTAL1.

011: Тактовые импульсы поступают от внешнего КМОП-счетчика через вывод XTAL1 и внутренний делитель на 2.

10х: Режим RC/C-генератора с делением тактовой частоты на 2.

110: Режим кварцевого генератора

111: Режим кварцевого генератора с делением тактовой частоты на 2.

Бит 3: Зарезервирован. Значение при чтении неопределенное.

Биты 2-0: XFCN2-0: Биты управления частотой внешнего генератора

000-111: см. таблицу:

| XFCN | Резонатор (XOSCMD = 11х) | RC (XOSCMD = 10х) | C (XOSCMD = 10х) |
|------|--|--|------------------|
| 000 | $f \leq 12 \text{ кГц}$ | $f \leq 25 \text{ кГц}$ | KF = 0.44 |
| 001 | $12 \text{ кГц} < f \leq 30 \text{ кГц}$ | $25 \text{ кГц} < f \leq 50 \text{ кГц}$ | KF = 1.4 |
| 010 | $30 \text{ кГц} < f \leq 95 \text{ кГц}$ | $50 \text{ кГц} < f \leq 100 \text{ кГц}$ | KF = 4.4 |
| 011 | $95 \text{ кГц} < f \leq 270 \text{ кГц}$ | $100 \text{ кГц} < f \leq 200 \text{ кГц}$ | KF = 13 |
| 100 | $270 \text{ кГц} < f \leq 720 \text{ кГц}$ | $200 \text{ кГц} < f \leq 400 \text{ кГц}$ | KF = 38 |
| 101 | $720 \text{ кГц} < f \leq 2.2 \text{ МГц}$ | $400 \text{ кГц} < f \leq 800 \text{ кГц}$ | KF = 100 |
| 110 | $2.2 \text{ МГц} < f \leq 6.7 \text{ МГц}$ | $800 \text{ кГц} < f \leq 1.6 \text{ МГц}$ | KF = 420 |
| 111 | $f > 6.7 \text{ МГц}$ | $1.6 \text{ МГц} < f \leq 3.2 \text{ МГц}$ | KF = 1400 |

Режим генератора с кварцевым или керамическим резонатором

(Схема на рис.14.1, Вариант 1; XOSCMD = 11х)

Выберите значение XFCN, соответствующее частоте кварцевого или керамического резонатора.

Режим RC-генератора

(Схема на рис.14.1, Вариант 2; XOSCMD = 10х)

Выберите диапазон генерируемых частот, где:

$$f = 1.23(10^3) / (R * C), \text{ где}$$

f = генерируемая частота в [МГц]

C = емкость конденсатора в [пФ]

R = сопротивление подтягивающего резистора в [кОм]

Режим генератора с конденсатором

(Схема на рис.14.1, Вариант 3; XOSCMD = 10х)

Выберите коэффициент K (KF) для требуемой частоты:

$$f = KF / (C * AV+), \text{ где}$$

f = генерируемая частота в [МГц]

C = емкость конденсатора, подключенного к выводам XTAL1 и XTAL2, в [пФ]

AV+ = Напряжение питания аналоговых модулей МК в [В]

14.1. Пример использования внешнего резонатора

Если бы для генерации системной тактовой частоты МК использовался кварцевый или керамический резонатор, то схема была бы такой, как показано на рис.14.1, вариант 1. При выборе значения битов управления частотой внешнего генератора (XFCN) следует использовать столбец «Резонатор» таблицы, приведенной на рис.14.3. Например, для резонатора с частотой 11.0592 МГц значение битов XFCN должно быть 111b.

Как только внешний кварцевый генератор выходит на стабильный режим работы, устанавливается в 1 флаг стабилизации кварцевого генератора (XTLVLD в регистре OSCXCN). Схеме определения готовности генератора требуется как минимум 1мс между включением генератора и проверкой бита XTLVLD. Переключение на работу от внешнего генератора до выхода его в устойчивый режим работы может привести к непредсказуемому поведению МК. Рекомендуется следующая последовательность действий:

1. Включить внешний генератор.
2. Выдержать паузу длительностью как минимум 1мс.
3. Опрашивать бит XTLVLD до обнаружения перехода его состояния из '0' в '1'.
4. Переключиться на работу от внешнего генератора.

ПРИМЕЧАНИЕ: Схемы кварцевых генераторов достаточно чувствительны к разводке печатной платы. Кварцевый резонатор следует размещать как можно ближе к выводам XTAL микроконтроллера, добиваясь минимальной длины проводников, а также экранировать слоем «земли» от любых других проводников, которые могли бы быть причиной шумов и помех.

14.2. Пример использования RC-генератора

Если бы для генерации системной тактовой частоты МК использовалась RC-цепочка, то схема была бы такой, как показано на рис.14.1, вариант 2. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью (менее 20пФ) приведет к увеличению частотного дрейфа вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала нужно выбрать значения компонентов RC-цепи, необходимые для получения требуемой частоты генерации. Например, если требуется частота 100кГц, то можно взять $R = 246\text{кОм}$ и $C = 50\text{пФ}$:

$$f = 1.23(10^3)/RC = 1.23(10^3) / [246 * 50] = 0.1\text{МГц} = 100\text{кГц}$$

$$XFCN \geq \log_2(f/25\text{кГц})$$

$$XFCN \geq \log_2(100\text{кГц}/25\text{кГц}) = \log_2(4)$$

$$XFCN \geq 2, \text{ или код } 010$$

14.3. Пример использования внешнего генератора с конденсатором

Если бы для генерации системной тактовой частоты МК использовался внешний конденсатор, то схема была бы такой, как показано на рис.14.1, вариант 3. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью (менее 20пФ) приведет к увеличению погрешности установки частоты вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала необходимо выбрать емкость используемого конденсатора и вычислить частоту генерации из уравнения, приведенного ниже. Например, для $AV+ = 3.0\text{В}$ и $C = 50\text{пФ}$ получим:

$$f = KF / (C * AV+) = KF / (50 * 3)$$

$$f = KF / 150$$

Если требуется получить частоту около 90кГц, то из таблицы на рис.14.3 необходимо выбрать $KF = 13$:

$$f = 13 / 150 = 0.087\text{МГц}, \text{ или } 87\text{кГц}$$

Поэтому, значение битов XFCN для этого примера составляет 011b.

15. FLASH-ПАМЯТЬ

МК C8051F020/1/2/3 содержат 64k + 128 байт встроенной перепрограммируемой Flash-памяти для хранения программного кода и долговременного хранения данных. Flash-память может программироваться внутрисистемно по одному байту за раз посредством JTAG-интерфейса или из программы. Если Flash-бит сброшен в 0, то для того, чтобы установить его в 1, его необходимо стереть. Байты перед программированием обычно стираются (устанавливаются в 0xFF). Временные интервалы операций записи и стирания, необходимые для корректной работы, устанавливаются автоматически аппаратными средствами. Опрос данных для определения завершения операции записи/стирания не требуется. Электрические параметры Flash-памяти приведены в таблице 15.1.

15.1. Программирование Flash-памяти

Самый простой способ программирования Flash-памяти заключается в использовании JTAG-интерфейса и средств программирования, предлагаемых фирмой Silicon Labs или независимыми производителями. Это единственный способ программирования неинициализированного МК. Подробная информация об использовании JTAG команд для программирования Flash-памяти приведена в разделе 24.2.

Flash-память можно программировать программным путем, используя команду MOVX с адресом и байтом данных в качестве обычных операндов. Перед записью во Flash-память с использованием команды MOVX операции записи Flash-памяти необходимо разрешить установкой в 1 бита разрешения записи памяти программ PSWE (PSCTL.0). Это приведет к тому, что операции записи с помощью команды MOVX будут относиться не к памяти XRAM, а к Flash-памяти. Бит PSWE остается установленным в 1 до сброса его программным путем. Чтобы предотвратить случайную запись во Flash-память, рекомендуется запрещать прерывания на все время, пока бит PSWE установлен в 1.

Для чтения Flash-памяти можно использовать команду MOVC. Чтение с использованием команды MOVX всегда относится к памяти XRAM, независимо от состояния бита PSWE.

Чтобы гарантировать целостность содержимого Flash-памяти, строго рекомендуется включить схему слежения за напряжением питания, соединив вывод MOVEN с шиной питания VDD. Это касается любых систем, которые содержат код, осуществляющий запись/стирание Flash-памяти программным путем.

Запись во Flash-память может сбросить в 0 биты, но не может установить их в 1. Только операция стирания может установить в 1 биты во Flash-памяти. **Поэтому ячейку памяти, которую требуется запрограммировать, необходимо предварительно стереть, чтобы можно было записать новое значение.** 64-Кбайтная Flash-память организована секторами по 512 байт. Операция стирания применяется ко всему сектору целиком (все байты в секторе устанавливаются в 0xFF). Ниже приведен алгоритм программирования Flash-памяти программным путем:

1. Запретить прерывания.
2. Установить в 1 бит FLWE (FLSCL.0) для разрешения записи/стирания Flash-памяти программным путем.
3. Установить в 1 бит PSEE (PSCTL.1) для разрешения стирания Flash-памяти.
4. Установить в 1 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на запись Flash-памяти.
5. Использовать команду MOVX для записи байта данных в любую ячейку внутри 512-байтного сектора, который таким образом будет стерт.
6. Сбросить в 0 бит PSEE (PSCTL.1) для запрещения стирания Flash-сектора
7. Использовать команду MOVX для записи байта данных по нужному адресу внутри стертого 512-байтного сектора. Повторять этот байт до тех пор, пока все необходимые байты не будут записаны (внутри данного сектора).
8. Сбросить в 0 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на пространство памяти данных XRAM.
9. Разрешить прерывания.

Управление временными интервалами операций записи и стирания осуществляется автоматически аппаратными средствами. Следует иметь в виду, что во время программирования или стирания Flash-памяти выполнение программы приостанавливается. Прерывания, возникающие во время записи/стирания Flash-памяти, будут обработаны после окончания операций с Flash-памятью в порядке, определяемым их уровнями приоритета.

Таблица 15.1. Электрические параметры FLASH-памяти

VDD = 2.7 - 3.6В, T = -40°C ... +85°C, если не указано иное.

| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|-------------------------------|---------|-------|--------|-------|-----------------|
| Число циклов программирования | | 20000 | 100000 | | Стирание/Запись |
| Время цикла стирания | | 10 | 12 | 14 | мс |
| Время цикла записи | | 40 | 50 | 60 | мкс |

15.2. Долговременное хранение данных

Flash-память может использоваться не только для программного кода, но и для долговременного хранения данных. Это позволяет рассчитывать и сохранять во время выполнения программы такие данные, как калибровочные коэффициенты. Данные записываются с использованием команды MOVX (как описано в предыдущем разделе) и считываются с использованием команды MOVС.

МК данного семейства содержат дополнительный 128-байтный сектор Flash-памяти, предназначенный для долговременного хранения данных. По причине небольшого размера этого сектора его особенно выгодно использовать в качестве долговременной сверхбыстродействующей памяти общего назначения. Несмотря на то, что во Flash-память можно записывать по одному байту за раз, сначала необходимо стереть весь сектор. Чтобы изменить один байт в многобайтном наборе данных, необходимо поместить данные на временное хранение в какую-либо память. После того, как сектор стерт, данные обновляются и возвращаются в исходный сектор. 128-байтный размер сектора позволяет организовать процесс обновления данных без расходования пространства памяти программ или ОЗУ. Этот 128-байтный сектор отображен (в режиме дублирования) на 64-Кбайтную Flash-память и занимает диапазон адресов 0x00 - 0x7F (см. рис.15.1). Доступ к этому 128-байтному сектору возможен только тогда, когда бит SFLE регистра PSCTL установлен в 1. Выполнение программного кода из этого 128-байтного сектора сверхоперативной памяти не допускается.

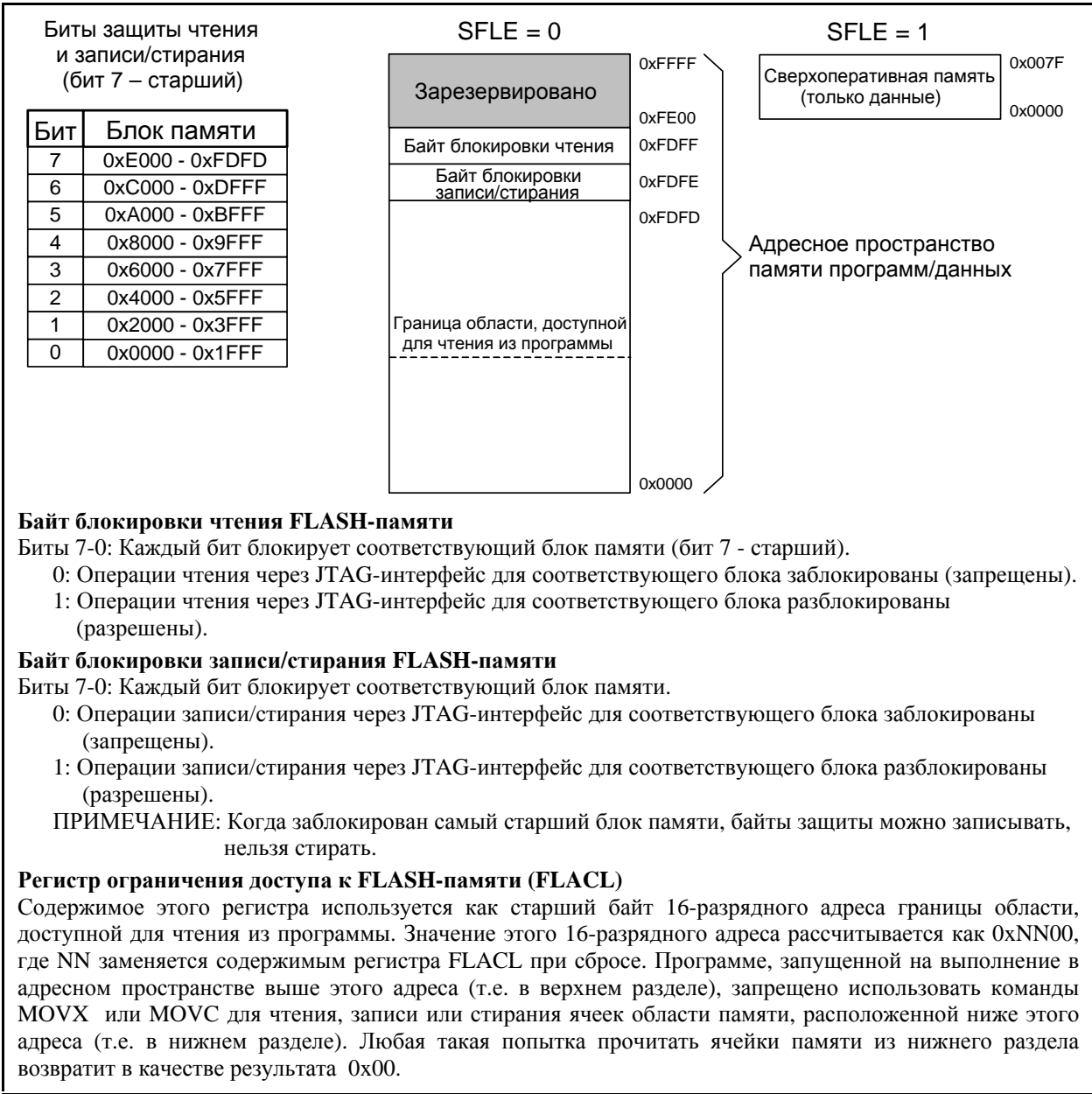
15.3. Защита FLASH-памяти

CIP-51 имеет опции защиты, позволяющие защитить Flash-память от случайной модификации со стороны программы и исключить возможность просмотра патентованного программного кода и констант. Биты разрешения записи памяти программ (PSCTL.0) и разрешения стирания памяти программ (PSCTL.1) защищают Flash-память от случайной модификации со стороны программы. Эти биты должны быть явно установлены в 1, чтобы программа могла модифицировать Flash-память. Дополнительные функции защиты предотвращают чтение и изменение патентованного программного кода и констант посредством JTAG-интерфейса или программы, запущенной на системном контроллере.

Установка байтов блокировки защиты по адресам 0xFDFE и 0xFDFE защищает Flash-память от чтения и изменения посредством JTAG-интерфейса. Каждый бит в байте блокировки защиты защищает один 8Кбайтный блок памяти. Сброс бита в 0 в байте блокировки чтения защищает соответствующий блок Flash-памяти от чтения посредством JTAG-интерфейса. Сброс бита в 0 в байте блокировки записи/стирания защищает блок от записи и/или стирания посредством JTAG-интерфейса. 128-байтный сектор сверхоперативной памяти блокируется только тогда, когда заблокированы все другие секторы.

Байт блокировки чтения находится по адресу 0xFDFE. Байт блокировки записи/стирания находится по адресу 0xFDFE. На рис.15.1 показано, какую область памяти защищает каждый бит байтов защиты. 512-байтный сектор, содержащий байты защиты, можно программно записывать, но нельзя программно стирать. Операция чтения заблокированных для чтения байт возвратит в качестве результата неопределенные данные. Отладка кода в заблокированном для чтения секторе с помощью JTAG-интерфейса невозможна.

Рисунок 15.1. Карта распределения Flash-памяти программ и байты защиты



Биты блокировки всегда могут быть прочитаны и сброшены в 0 независимо от параметров защиты блока, содержащего байты защиты. Это позволяет защитить дополнительные блоки уже после того, как был защищен блок, содержащий байты защиты. **Примечание:** Однако, единственный способ удалить однажды установленную защиту – стереть все пространство памяти программ, используя операцию стирания JTAG-интерфейса (т.е. нельзя сделать этого из программы пользователя). Обращение к любому байту защиты во время выполнения операции JTAG-стирания автоматически инициирует стирание всего пространства памяти программ (за исключением зарезервированной области). Эта операция стирания может быть выполнена только через JTAG-интерфейс. Если в процессе операции стирания происходит обращение к байту на странице 0xFBFF-0xFDFF, который не является байтом защиты, то будет стерта лишь эта страница (включая байты защиты).

Ограничение доступа к Flash-памяти (см. рис. 9.3) представляет собой функцию защиты, которая защищает патентованный программный код и данные от прочтения программой, запущенной на МК C8051F020/1/2/3. Эта функция обеспечивает поддержку OEM-производителей, которые перед распространением МК желают запрограммировать их дополнительным программным обеспечением, являющимся собственностью фирмы. При этом фирменное программное обеспечение будет защищено, а в оставшееся пространство памяти программ можно позднее запрограммировать дополнительный код.

Граница области, доступной для программного чтения (Software Read Limit - SRL), представляет собой 16-битный адрес, который делит пространство памяти программ на два логических раздела. Первый из них является верхним разделом и состоит из всех ячеек памяти программ, находящихся выше адреса SRL (включая и сам адрес SRL). Второй является нижним разделом и состоит из всех ячеек памяти программ с адресами от 0x0000 до SRL адреса (не включая сам адрес SRL). Программа, запущенная в верхнем разделе, может исполнять код из нижнего раздела, но ей запрещено читать ячейки из нижнего раздела, используя команду MOVC. (Выполнение команды MOVC из верхнего раздела с адресом источника, указывающим на нижний раздел, всегда в качестве результата будет возвращать значение 0x00.) Программа, запущенная в нижнем разделе, может обращаться к ячейкам памяти как из верхнего, так и из нижнего разделов без ограничений.

Дополнительные встроенные фирменные программы следует размещать в нижнем разделе. При сбросе управление передается этим программам через вектор сброса. Как только завершится процесс начальной инициализации, произойдет переход по предопределенному адресу в верхнем разделе. Программа, запущенная в верхнем разделе, может выполнять программный код из нижнего раздела, если известны точки входа, но не может прочесть содержимое нижнего раздела. Программному коду, запущенному в нижнем разделе, параметры могут передаваться следующим образом:

- параметры размещаются в стеке до вызова программного кода из нижнего раздела;
- параметры размещаются в регистрах внутреннего ОЗУ до вызова программного кода из нижнего раздела;
- параметры размещаются в определенных ячейках памяти в верхнем разделе.

Адрес SRL задается в регистре ограничения доступа к Flash-памяти (FLACL). 16-разрядный SRL адрес вычисляется как 0xNN00, где NN представляет собой содержимое регистра FLACL. Таким образом, адрес SRL можно задать в любом месте пространства памяти программ на границах 256-байтных секторов. Однако, 512-байтный размер сектора стирания требует использовать в качестве адреса SRL границы 512-байтных секторов. При сбросе в регистр FLACL по умолчанию записывается 0x00, устанавливая тем самым адрес SRL 0x0000 и разрешая доступ по чтению ко всем ячейкам памяти программ.

Рисунок 15.2. FLACL: Регистр ограничения доступа к Flash-памяти

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| | | | | | | | | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xB7 |

Биты 7-0: FLACL: Адрес границы программно-доступной области Flash-памяти.

Этот регистр содержит старший байт 16-разрядного адреса границы области памяти программ, доступной для операций чтения/записи/стирания. Значение полного 16-разрядного адреса ограничения доступа рассчитывается как 0xNN00, где NN заменяется содержимым регистра FLACL. Запись в этот регистр устанавливает адрес границы программно-доступной области Flash-памяти. **Этот регистр может быть записан только один раз после сброса. Все последующие попытки записать этот регистр игнорируются до следующего сброса.**

Рисунок 15.3. FLSCL: Регистр управления контроллером Flash-памяти

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 10000000 SFR Адрес: 0xB6 |
|--|-------|-----------|-----------|-----------|-----------|-----------|-------|---|
| FOSE | FRAE | Зарезерв. | Зарезерв. | Зарезерв. | Зарезерв. | Зарезерв. | FLWE | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Бит 7: FOSE: Включение ждущего таймера модуля Flash-памяти Это таймер, который отключает усилитель считывания после операций чтения Flash-памяти. 0: Ждущий таймер модуля Flash-памяти выключен. 1: Ждущий таймер модуля Flash-памяти включен.</p> <p>Бит 6: FRAE: Разрешение постоянного чтения Flash-памяти 0: Чтением Flash-памяти управляет ждущий таймер. 1: Flash-память всегда в режиме чтения.</p> <p>Биты 5-1: Зарезервированы. Читаются как 00000b. В эти биты следует записать значение 00000b.</p> <p>Бит 0: FLWE: Разрешение чтения/записи Flash-памяти. Чтобы разрешить запись из программы пользователя во Flash-память, необходимо установить этот бит в 1. 0: Запись во Flash-память запрещена. 1: Запись во Flash-память разрешена.</p> | | | | | | | | |

Рисунок 15.4. PSCTL: Регистр управления записью/стиранием памяти программ

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 |
|-------|-------|-------|-------|-------|-------|-------|-------|-------------------------------------|
| - | - | - | - | - | SFLE | PSEE | PSWE | SFR Адрес: 0x8F |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-3: Не используются. Читаются как 00000b.

Бит 2: SFLE: Разрешение доступа к сверхоперативному сектору Flash-памяти.
 Когда этот бит установлен в 1, операции чтения и записи Flash-памяти, выполняемые из программы пользователя, относятся к 128-байтному сверхоперативному сектору Flash-памяти. Если SFLE = 1, то не следует пытаться обращаться по адресам Flash-памяти за пределами диапазона 0x00 – 0x7F. Чтение/запись ячеек памяти за пределами этого диапазона приведет к неопределенному результату.
 0: При обращении к Flash-памяти из программы пользователя происходит обращение к 64-Кбайтному сектору Flash-памяти программ/данных.
 1: При обращении к Flash-памяти из программы пользователя происходит обращение к 128-байтному сверхоперативному сектору Flash-памяти.

Бит 1: PSEE: Разрешение стирания памяти программ.
 Установка этого бита разрешает стереть целую страницу Flash-памяти программ при условии, что бит PSWE также установлен. После установки этого бита запись во Flash-память с использованием команды MOVX сотрет целую страницу, которая содержит ячейку, адресуемую командой MOVX (значение записываемого байта данных не важно).
 0: Стирание Flash-памяти программ запрещено.
 1: Стирание Flash-памяти программ разрешено.

Бит 0: PSWE: Разрешение записи памяти программ.
 Установка этого бита разрешает запись байта данных во Flash-память программ, используя команду MOVX. Адресуемая в команде MOVX ячейка памяти должна быть стертой.
 0: Запись во Flash-память программ запрещена.
 1: Запись во Flash-память программ разрешена.

16. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ И ВСТРОЕННАЯ ПАМЯТЬ XRAM.

МК C8051F020/1/2/3 включают 4 Кбайт встроенного ОЗУ, отображенные в пространстве внешней памяти данных, а также интерфейс внешней памяти данных (external memory interface – EMIF), который может использоваться для доступа к внешней памяти и отображенным на память устройствам, подсоединенным к портам GPIO. Доступ к пространству внешней памяти осуществляется либо с использованием команды MOVX и указателя данных DPTR, либо с использованием команды MOVX с косвенным режимом адресации (используя регистры R0 и R1). Если команда MOVX используется с 8-битным операндом адреса (например, @R1), то старший байт 16-битного адреса берется из регистра управления интерфейсом внешней памяти EMI0CN (см. рис.16.1). **Примечание: команда MOVX также используется для записи во Flash-память (см. раздел 15). По умолчанию команда MOVX обращается к памяти XRAM.** EMIF можно настроить таким образом, чтобы сигналы адреса/данных/управления появлялись либо на младших портах ввода/вывода (P0 – P3), либо на старших портах ввода/вывода (P4 – P7).

16.1. Доступ к памяти XRAM

Для доступа к пространству памяти XRAM используется команда MOVX. Команда MOVX имеет две формы, причем обе используют косвенный режим адресации. В первой форме используется 16-разрядный указатель данных (DPTR), содержащий полный адрес ячейки памяти XRAM, которую требуется прочитать или записать. Во второй форме для получения полного адреса ячейки памяти XRAM используются регистры R0 или R1 в комбинации с регистром EMI0CN. Ниже приведены примеры использования команды MOVX в обоих формах.

16.1.1. Пример использования команды MOVX с 16-разрядным адресом

Команда MOVX в 16-разрядной форме обращается к ячейке памяти, на которую указывает содержимое регистра DPTR. Следующая последовательность команд осуществляет чтение байта по адресу 0x1234 в аккумулятор A:

```
MOV    DPTR, #1234h ; загрузка в DPTR 16-разрядного адреса 0x1234
MOVX   A, @DPTR     ; загрузка содержимого ячейки памяти с адресом 0x1234 в аккумулятор A
```

В приведенном выше примере регистр DPTR загружается сразу 16-разрядным значением адреса (используя команду MOV). Кроме этого, к регистру DPTR можно обращаться через SFR регистры DPH, который содержит старшие 8 бит DPTR, и DPL, который содержит младшие 8 бит DPTR.

16.1.2. Пример использования команды MOVX с 8-разрядным адресом

Команда MOVX в 8-разрядной форме использует содержимое регистра EMI0CN, чтобы определить старшие 8 бит полного адреса, по которому происходит обращение, и содержимое регистров R0 или R1, чтобы определить младшие 8 бит полного адреса. Следующая последовательность команд осуществляет чтение байта по адресу 0x1234 в аккумулятор A:

```
MOV    EMI0CN, #12h ; загрузка старшего байта адреса в регистр EMI0CN
MOV    R0, #34h     ; загрузка младшего байта адреса в регистр R0 (или R1)
MOVX   A, @R0        ; загрузка содержимого ячейки памяти с адресом 0x1234 в аккумулятор A
```

16.2. Настройка интерфейса внешней памяти

Настройка интерфейса внешней памяти состоит из следующих этапов:

1. Выбор связанных с EMIF портов: младшие (P3, P2, P1 и P0) или старшие (P7, P6, P5 и P4) порты.
2. Выбор режима работы EMIF: мультиплексированный или немultipлексированный.
3. Выбор режима доступа к памяти:
 - 1) доступ только ко внутренней памяти;
 - 2) отдельный доступ без выбора банка;
 - 3) отдельный доступ с выбором банка;
 - 4) доступ только к внешней памяти.
4. Настройка временных параметров EMIF в соответствии с динамическими характеристиками внешней памяти или внешних периферийных модулей.
5. Настройка выходов связанных портов (регистры PnMDOUT, P74OUT).

Каждый из этих этапов подробно описывается в следующих разделах. Биты выбора связанных с EMIF портов, биты выбора режима работы и режима доступа к памяти находятся в регистре EMI0CF (см. рис.16.2).

16.3. Выбор и настройка портов

Для сигналов адреса/данных/управления EMIF могут использоваться порты P0 – P3 (C8051F020/1/2/3) или порты P4 - P7 (только C8051F020/2) , в зависимости от состояния бита PRTSEL (EMI0CF.5). Если выбраны младшие порты, то бит EMIFLE (XBR2.1) должен быть установлен в 1, тогда коммутирующая матрица будет «пропускать» сигналы P0.7 (/WR), P0.6 (/RD) и, если выбран мультиплексированный режим работы, P0.5 (/ALE). Подробная информация о настройке коммутирующей матрицы приведена в разделе 17.

Интерфейсу внешней памяти требуются выводы связанных с ним портов только в течение выполнения команды MOVX, обращающейся к внешней памяти. Как только команда MOVX завершается, управление возвращается защелкам портов или матрице (P3, P2, P1 и P0). Подробная информация о работе и настройке матрицы и портов приведена в разделе 17. **Защелки портов следует явно настроить, чтобы перевести выводы EMIF в состояние простоя. В большинстве случаев для этого необходимо установить их в 1.**

Во время выполнения команды MOVX интерфейс внешней памяти явным образом отключит драйверы на всех выводах портов, которые работают как входы (например, Data[7:0] во время операции чтения). Функционирование EMIF не влияет на режим работы выходных драйверов выводов портов (являются ли они выходами с открытым стоком или двухтактными), который управляется регистрами PnMDOUT. Подробная информация о настройке выходов портов приведена в разделе 17.

Рисунок 16.1. EMI0CN: Регистр управления интерфейсом внешней памяти

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|--------|--------|--------|--------|--------|--------|--------|--------|----------------------|
| PGSEL7 | PGSEL6 | PGSEL5 | PGSEL4 | PGSEL3 | PGSEL2 | PGSEL1 | PGSEL0 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xAF |

Биты 7-0: PGSEL[7:0]: Биты выбора страницы XRAM
 Биты выбора страницы XRAM образуют старший байт 16-битного адреса внешней памяти данных при использовании команды MOVX с 8-битным адресом, задавая таким образом необходимую 256-байтную страницу ОЗУ.
 0x00: 0x0000 – 0x00FF
 0x01: 0x0100 – 0x01FF
 ...
 0xFE: 0xFE00 – 0xFEFF
 0xFF: 0xFF00 – 0xFFFF

Рисунок 16.2. EMI0CF: Регистр конфигурации внешней памяти

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|--------|-------|-------|-------|-------|-------|----------------------|
| - | - | PRTSEL | EMD2 | EMD1 | EMD0 | EAL1 | EAL0 | 00000011 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xA3 |

Биты 7-6: Не используются. Читаются как 00b.

Бит 5: PRTSEL: Бит выбора портов, связанных с EMIF.
 0: Сигналы EMIF появляются на портах P3 – P0.
 1: Сигналы EMIF появляются на портах P7 – P4.

Бит 4: EMD2: Бит выбора режима работы EMIF (мультиплексированный/немультиплексированный).
 0: EMIF работает в мультиплексированном режиме адреса/данных.
 1: EMIF работает в немultipлексированном режиме (отдельные выводы для адресов и данных).

Биты 3-2: EMD1-0: Биты выбора режима доступа к памяти.
 Эти биты определяют, какая память будет доступна через интерфейс внешней памяти.
 00: Доступ только ко внутренней памяти: команда MOVX обращается только к встроенной памяти XRAM. Все действительные адреса указывают на пространство встроенной памяти.
 01: Раздельный доступ без выбора банка: Адреса до 4-Кбайтной границы указывают на пространство встроенной памяти. Адреса свыше 4-Кбайтной границы указывают на пространство внешней памяти. Команда MOVX в 8-разрядной форме, обращающаяся к внешней памяти, использует содержимое защелок старшего порта адреса в качестве старшего байта адреса. Следует иметь в виду, что для доступа к внешнему пространству памяти регистр EMI0CN должен указывать на страницу, которая не содержится в пространстве встроенной памяти.
 10: Раздельный доступ с выбором банка: Адреса до 4-Кбайтной границы указывают на пространство встроенной памяти. Адреса свыше 4-Кбайтной границы указывают на пространство внешней памяти. Команда MOVX в 8-разрядной форме, обращающаяся к внешней памяти, использует содержимое регистра EMI0CN, чтобы определить старший байт адреса.
 11: Доступ только к внешней памяти: команда MOVX обращается только к внешней памяти XRAM. Встроенная память XRAM не видима для процессорного ядра.

Биты 1-0: EAL1-0: Биты выбора ширины импульса ALE (действуют только тогда, когда EMD2 = 0).
 00: TALEH = TALEL = 1 SYSCLK
 01: TALEH = TALEL = 2 SYSCLK
 10: TALEH = TALEL = 3 SYSCLK
 11: TALEH = TALEL = 4 SYSCLK

16.4. Мультиплексированный и не мультиплексированный режимы работы

EMIF может работать в мультиплексированном или немultipлексированном режимах работы, в зависимости от состояния бита EMD2 (EMI0CF.4).

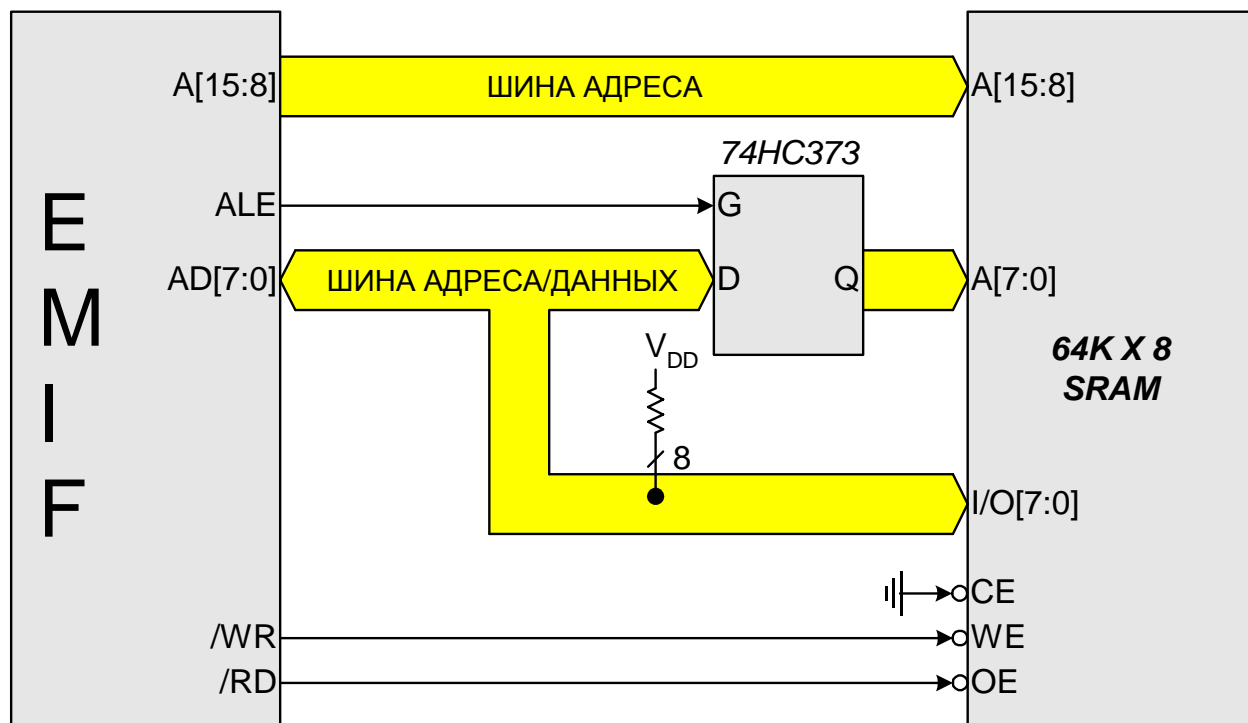
16.4.1. Мультиплексированный режим

В мультиплексированном режиме шина данных и младшие 8 бит шины адреса разделяют одни и те же выводы порта: AD[7:0]. В этом режиме для хранения младших 8 разрядов адреса ОЗУ используется внешний регистр-защелка (74HC373 или подобный). Этот внешний регистр-защелка управляется сигналом ALE, который обеспечивает логика интерфейса внешней памяти. Пример конфигурации с мультиплексированной шиной адреса/данных приведен на рис.16.3.

В мультиплексированном режиме выполнение команды MOVX, обращающейся к внешней памяти, разбивается на две фазы, определяемые состоянием сигнала ALE. В течение первой фазы сигнал ALE имеет высокий уровень, а на выводы AD[7:0] выведены 8 младших разрядов шины адреса. В течение этой фазы регистр-защелка адреса функционирует таким образом, что выходы 'Q' отражают состояние входов 'D'. Когда сигнал ALE приобретает значение 0, что сигнализирует о начале второй фазы, выходы регистра-защелки адреса фиксируются и более не зависят от уровней сигналов на входах регистра-защелки. Позднее во время второй фазы, когда на выводах AD[7:0] присутствуют сигналы шины данных, появляются сигналы /RD или /WR.

Более подробная информация приведена в разделе 16.6.2.

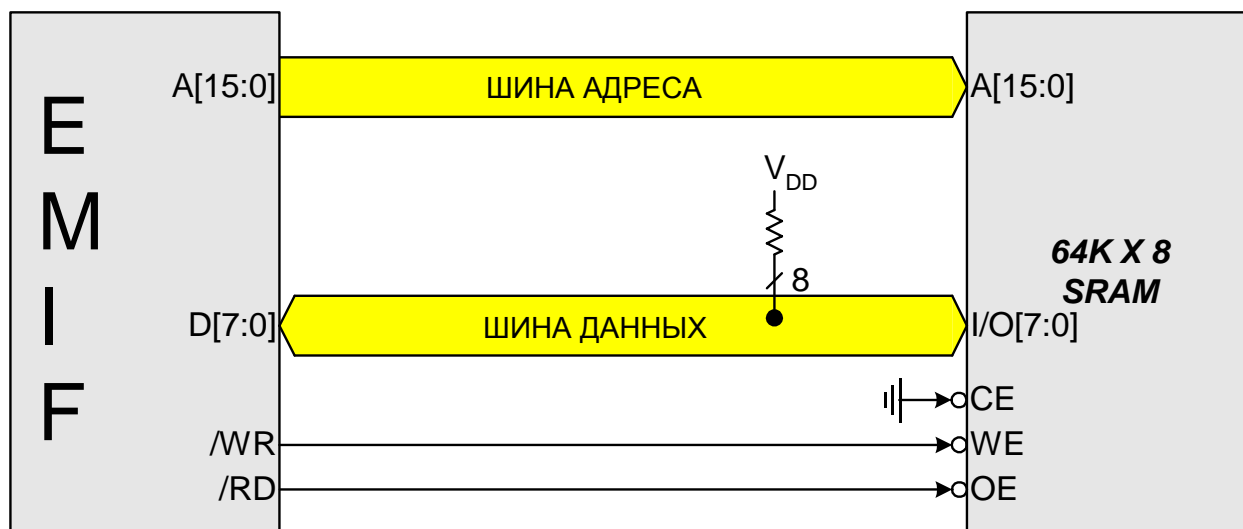
Рисунок 16.3. Пример конфигурации с мультиплексированной шиной адреса/данных



16.4.2. Немультимплексированный режим

В немультимплексированном режиме для шины адреса и шины данных используются отдельные выводы. Пример конфигурации с немультимплексированной шиной адреса/данных приведен на рис.16.4. Более подробная информация о немультимплексированном режиме приведена в разделе 16.6.1.

Рисунок 16.4. Пример конфигурации с немультимплексированной шиной адреса/данных



16.5. Выбор режима доступа к памяти

Пространство внешней памяти данных можно настроить на один из четырех режимов доступа (см. рис.16.5), для чего используются биты EMD1-0 (EMI0CF.[3:2]). Описание этих режимов приводится ниже.

16.5.1. Режим доступа только к внутренней памяти XRAM

Когда EMI0CF.[3:2] = '00', все команды MOVX будут обращаться к адресному пространству внутренней памяти XRAM микроконтроллера. Все адреса за пределами занятого адресного пространства будут указывать на ячейки из первой 4-Кбайтной области памяти. Например, адреса 0x1000 и 0x2000 указывают на ячейку с адресом 0x0000 встроенной памяти XRAM.

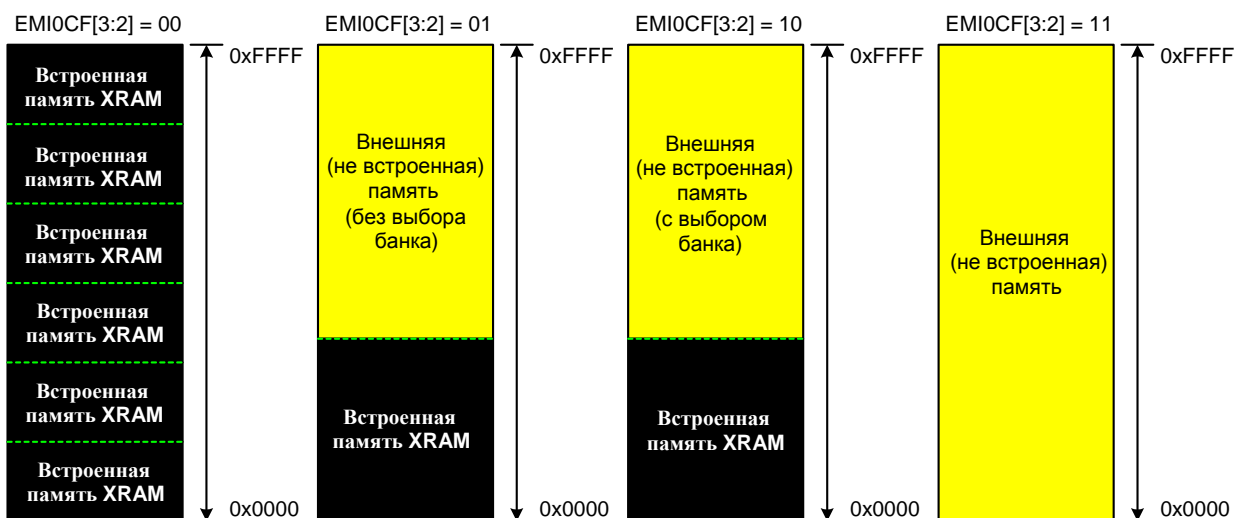
- Команда MOVX в 8-разрядной форме использует содержимое регистра EMI0CN для определения старшего байта полного адреса и регистры R0 или R1 для определения младшего байта полного адреса.
- Команда MOVX в 16-разрядной форме для определения полного адреса использует содержимое 16-разрядного указателя данных DPTR.

16.5.2. Режим раздельного доступа без выбора банка

Когда EMI0CF.[3:2] = '01', пространство памяти XRAM делится на две области: пространство встроенной памяти и пространство внешней памяти.

- Адреса, расположенные ниже 4-Кбайтной границы, будут указывать на пространство встроенной памяти XRAM.
- Адреса, расположенные выше 4-Кбайтной границы будут, указывать на пространство внешней памяти.
- При использовании команды MOVX в 8-разрядной форме содержимое регистра EMI0CN определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. Значения младших 8 разрядов шины адреса определяются содержимым регистров R0 или R1. Однако, в режиме «без выбора банка», при обращении к внешней памяти посредством команды MOVX в 8-разрядной форме старшие 8 разрядов A[15:8] шины адреса не будут выдаваться на внешние выводы. Это позволяет пользователю манипулировать старшими битами адреса как угодно, непосредственно устанавливая состояние порта. Такое поведение отличает данный режим от описанного ниже режима раздельного доступа с выбором банка.
- При использовании команды MOVX в 16-разрядной форме содержимое регистра указателя данных DPTR определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. В этом случае, в отличие от команды MOVX в 8-разрядной форме, при обращении к внешней памяти на внешние выводы выдаются все 16 разрядов A[15:0] шины адреса.

Рисунок 16.5. Режимы работы интерфейса внешней памяти



16.5.3. Режим раздельного доступа с выбором банка

Когда $EMI0CF.[3:2] = '10'$, пространство памяти XRAM делится на две области: пространство встроенной памяти и пространство внешней памяти.

- Адреса, расположенные ниже 4-Кбайтной границы, будут указывать на пространство встроенной памяти XRAM.
- Адреса, расположенные выше 4-Кбайтной границы будут, указывать на пространство внешней памяти.
- При использовании команды MOVX в 8-разрядной форме содержимое регистра EMI0CN определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. Значения старших 8 разрядов $A[15:8]$ шины адреса определяются содержимым регистра EMI0CN, а значения младших 8 разрядов $A[7:0]$ шины адреса определяются содержимым регистров R0 или R1. В режиме «с выбором банка» все 16 разрядов $A[15:0]$ шины адреса выдаются на внешние выводы.
- При использовании команды MOVX в 16-разрядной форме содержимое регистра указателя данных DPTR определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. В этом случае, в отличие от команды MOVX в 8-разрядной форме, при обращении к внешней памяти на внешние выводы выдаются все 16 разрядов $A[15:0]$ шины адреса.

16.5.4. Режим доступа только к внешней памяти XRAM

Когда $EMI0CF.[3:2] = '11'$, все команды MOVX будут обращаться к адресному пространству внешней памяти XRAM микроконтроллера. Встроенная память XRAM не видима для процессорного ядра. Этот режим полезен при обращении к внешней памяти, расположенной в первой 4-Кбайтной области адресного пространства ($0x0000 - 0x0FFF$).

- Команды MOVX в 8-разрядной форме игнорируют содержимое регистра EMI0CN. Старшие биты адреса $A[15:8]$ не выдаются на внешние выводы (так же, как при обращении к внешней памяти в режиме раздельного доступа без выбора банка, описанном выше). Это позволяет пользователю манипулировать старшими битами адреса как угодно, непосредственно устанавливая состояние порта. Значения младших 8 разрядов $A[7:0]$ полного адреса определяются содержимым регистров R0 или R1.
- Команда MOVX в 16-разрядной форме для определения полного адреса $A[15:0]$ использует содержимое 16-разрядного указателя данных DPTR. При обращении к внешней памяти на внешние выводы выдаются все 16 разрядов $A[15:0]$ шины адреса.

16.6. Тактирование и динамические параметры

Временные параметры интерфейса внешней памяти можно настраивать, что позволяет подключаться к устройствам, предъявляющим различные требования ко времени установки и удержания сигналов. Время установки адреса, время удержания адреса, ширина импульсов стробирования /RD и /WR, а также (в мультиплексированном режиме) ширина импульса ALE являются программируемыми. Длительность всех этих параметров задается в периодах системного тактового сигнала SYSCLK. Для настройки используются регистр EMI0TC и биты EALE1-0 регистра EMI0CF.

Время выполнения команды MOVX, обращающейся к внешней памяти, можно вычислить, добавив 4 цикла SYSCLK к значениям временных параметров, определяемым в регистре EMI0TC. Для немultipлексированного режима работы минимальное время выполнения операции обращения к внешней памяти XRAM составляет 5 циклов SYSCLK (1 SYSCLK для импульса /RD или /WR + 4 SYSCLKs). Для мультиплексированного режима работы сигнал ALE будет требовать как минимум 2 дополнительных цикла SYSCLK. Поэтому, для мультиплексированного режима работы минимальное время выполнения операции обращения к внешней памяти XRAM составляет 7 циклов SYSCLK (2 SYSCLK для ALE + 1 SYSCLK для импульса /RD или /WR + 4 SYSCLKs). После сброса для программируемых временных параметров устанавливаются по умолчанию максимальные задержки.

В таблице 16.1 приведены временные параметры интерфейса внешней памяти, на рисунках 16.7 – 16.11 приведены временные диаграммы для различных режимов работы EMIF и различных форм команды MOVX.

**Рисунок 16.6. EMI0TC: Регистр управления временными параметрами
интерфейса внешней памяти**

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|-------------------------|
| EAS1 | EAS0 | EWR3 | EWR2 | EWR1 | EWR0 | EAN1 | EAN0 | 11111111 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xA1 |

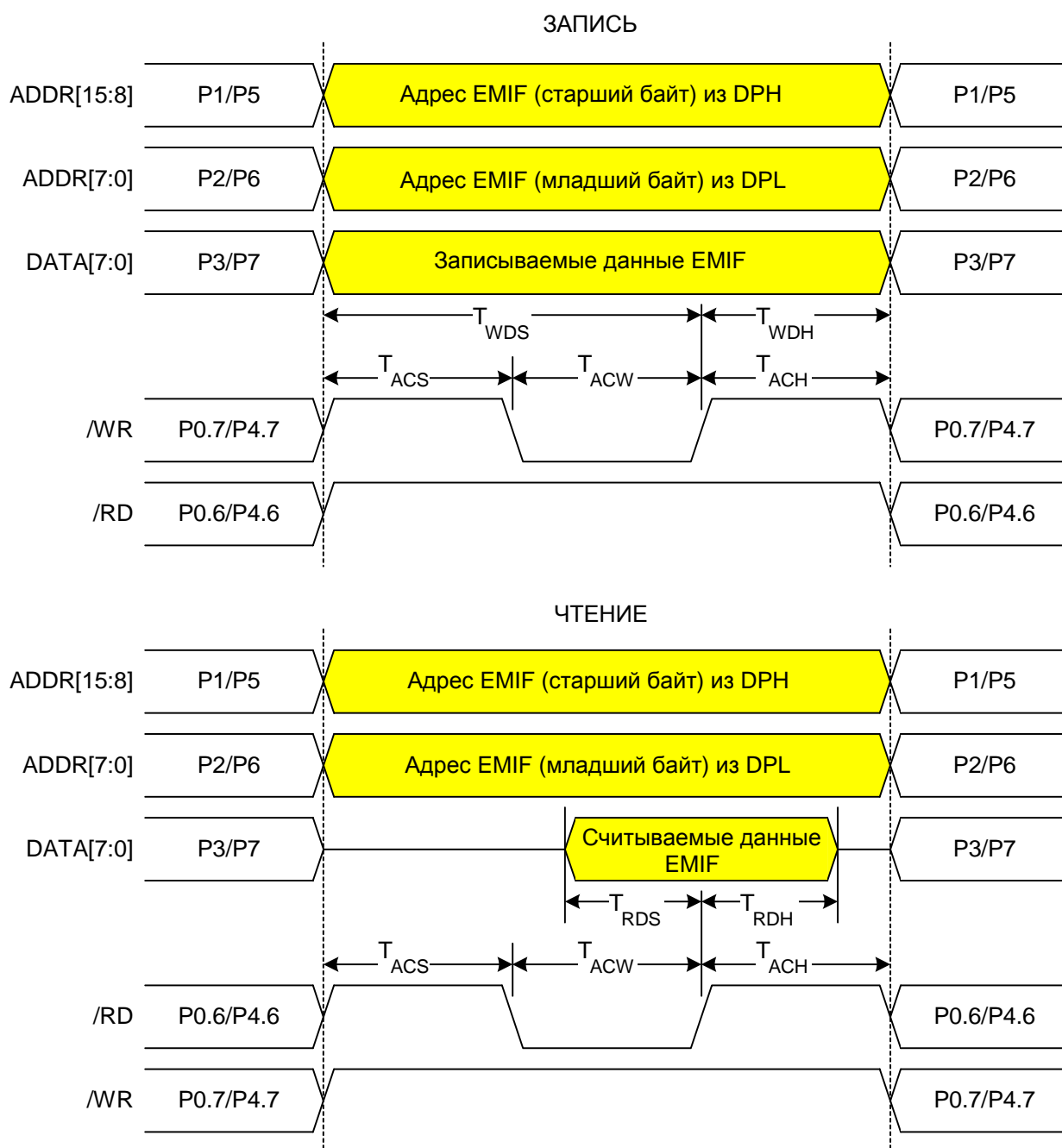
Биты 7-6: EAS1-0: Биты настройки времени установки адреса EMIF.
 00: Время установки адреса = 0 циклов SYSCLK
 01: Время установки адреса = 1 цикл SYSCLK
 10: Время установки адреса = 2 цикла SYSCLK
 11: Время установки адреса = 3 цикла SYSCLK

Биты 5-2: EWR3-0: Биты управления шириной импульсов /RD и /WR EMIF.
 0000: Ширина импульсов /RD и /WR = 1 цикл SYSCLK
 0001: Ширина импульсов /RD и /WR = 2 цикла SYSCLK
 0010: Ширина импульсов /RD и /WR = 3 цикла SYSCLK
 0011: Ширина импульсов /RD и /WR = 4 цикла SYSCLK
 0100: Ширина импульсов /RD и /WR = 5 циклов SYSCLK
 0101: Ширина импульсов /RD и /WR = 6 циклов SYSCLK
 0110: Ширина импульсов /RD и /WR = 7 циклов SYSCLK
 0111: Ширина импульсов /RD и /WR = 8 циклов SYSCLK
 1000: Ширина импульсов /RD и /WR = 9 циклов SYSCLK
 1001: Ширина импульсов /RD и /WR = 10 циклов SYSCLK
 1010: Ширина импульсов /RD и /WR = 11 циклов SYSCLK
 1011: Ширина импульсов /RD и /WR = 12 циклов SYSCLK
 1100: Ширина импульсов /RD и /WR = 13 циклов SYSCLK
 1101: Ширина импульсов /RD и /WR = 14 циклов SYSCLK
 1110: Ширина импульсов /RD и /WR = 15 циклов SYSCLK
 1111: Ширина импульсов /RD и /WR = 16 циклов SYSCLK

Биты 1-0: EAN1-0: Биты настройки времени удержания адреса EMIF.
 00: Время удержания адреса = 0 циклов SYSCLK
 01: Время удержания адреса = 1 цикл SYSCLK
 10: Время удержания адреса = 2 цикла SYSCLK
 11: Время удержания адреса = 3 цикла SYSCLK

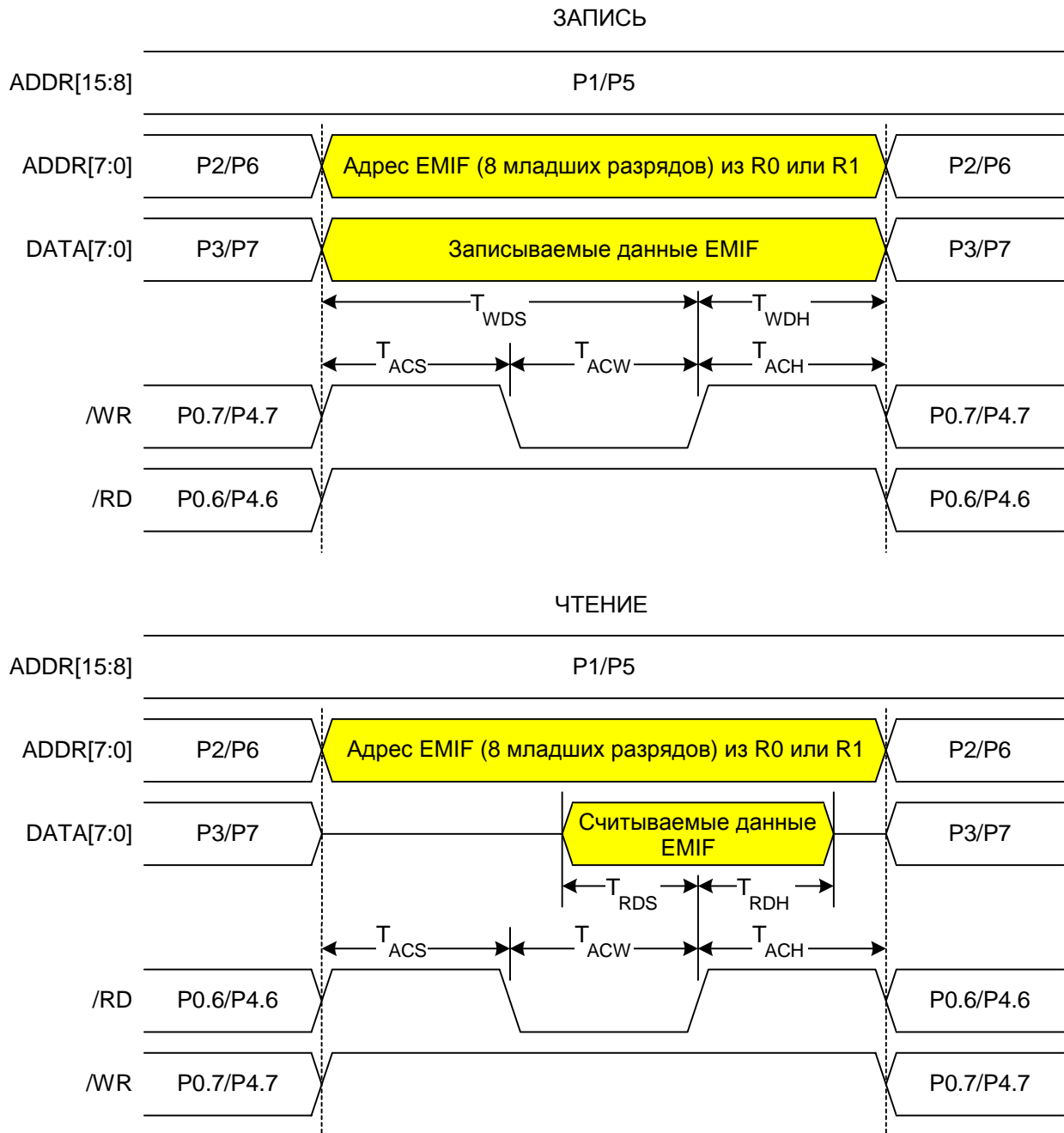
16.6.1. Не мультиплексированный режим

16.6.1.1. 16-разр. MOVX: EMIOCF[4:2] = '101', '110', или '111'

Рисунок 16.7. Временные параметры интерфейса внешней памяти
(не мультиплексированный режим, 16-разр. MOVX)

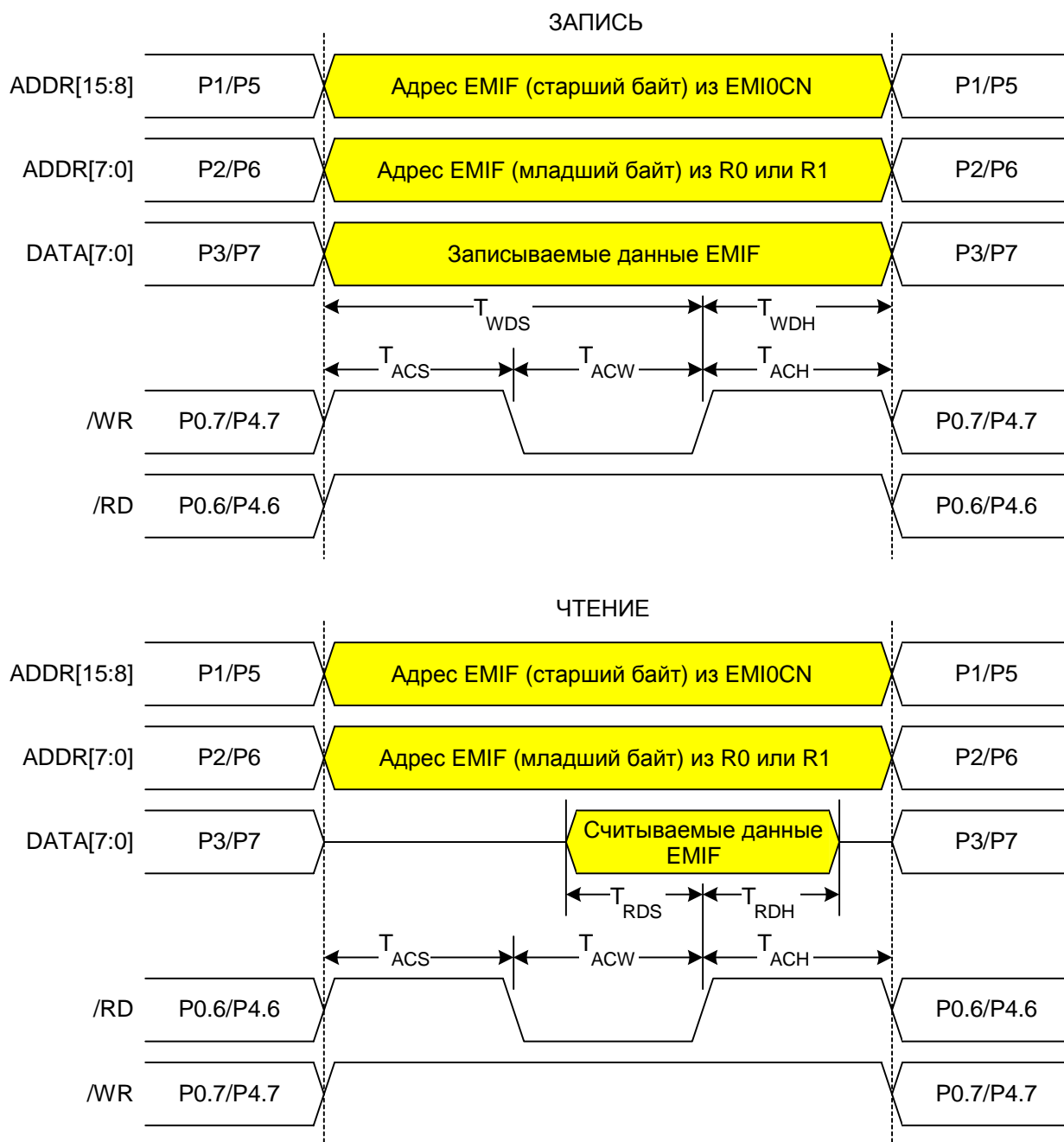
16.6.1.2. 8-разр. MOVX без выбора банка: EMI0CF[4:2] = '101' или '111'

Рисунок 16.8. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 8-разр. MOVX без выбора банка)



16.6.1.3. 8-разр. MOVX с выбором банка: EMI0CF[4:2] = '110'

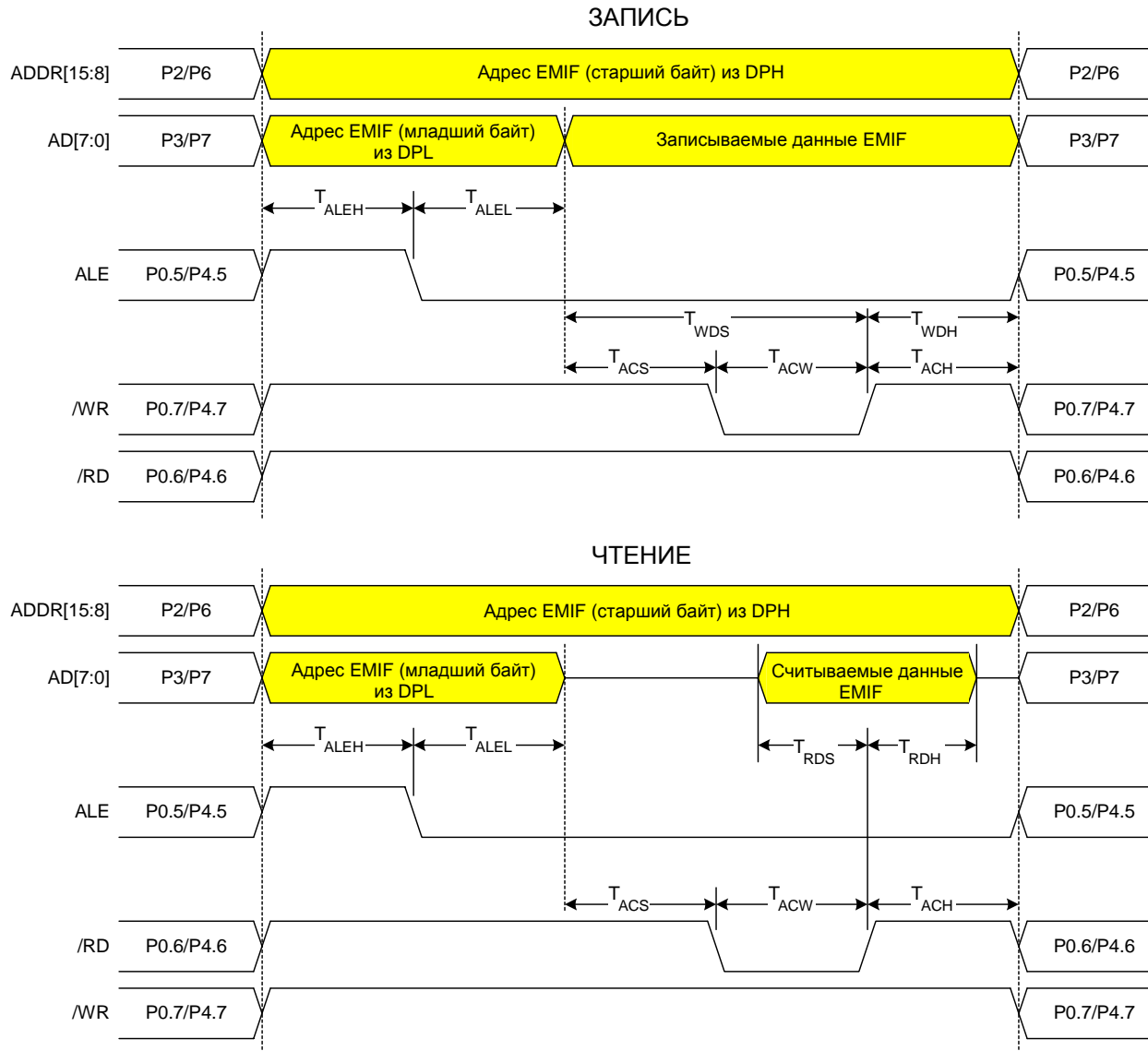
**Рисунок 16.9. Временные параметры интерфейса внешней памяти
(не мультиплексированный режим, 8-разр. MOVX с выбором банка)**



16.6.2. Мультиплексированный режим

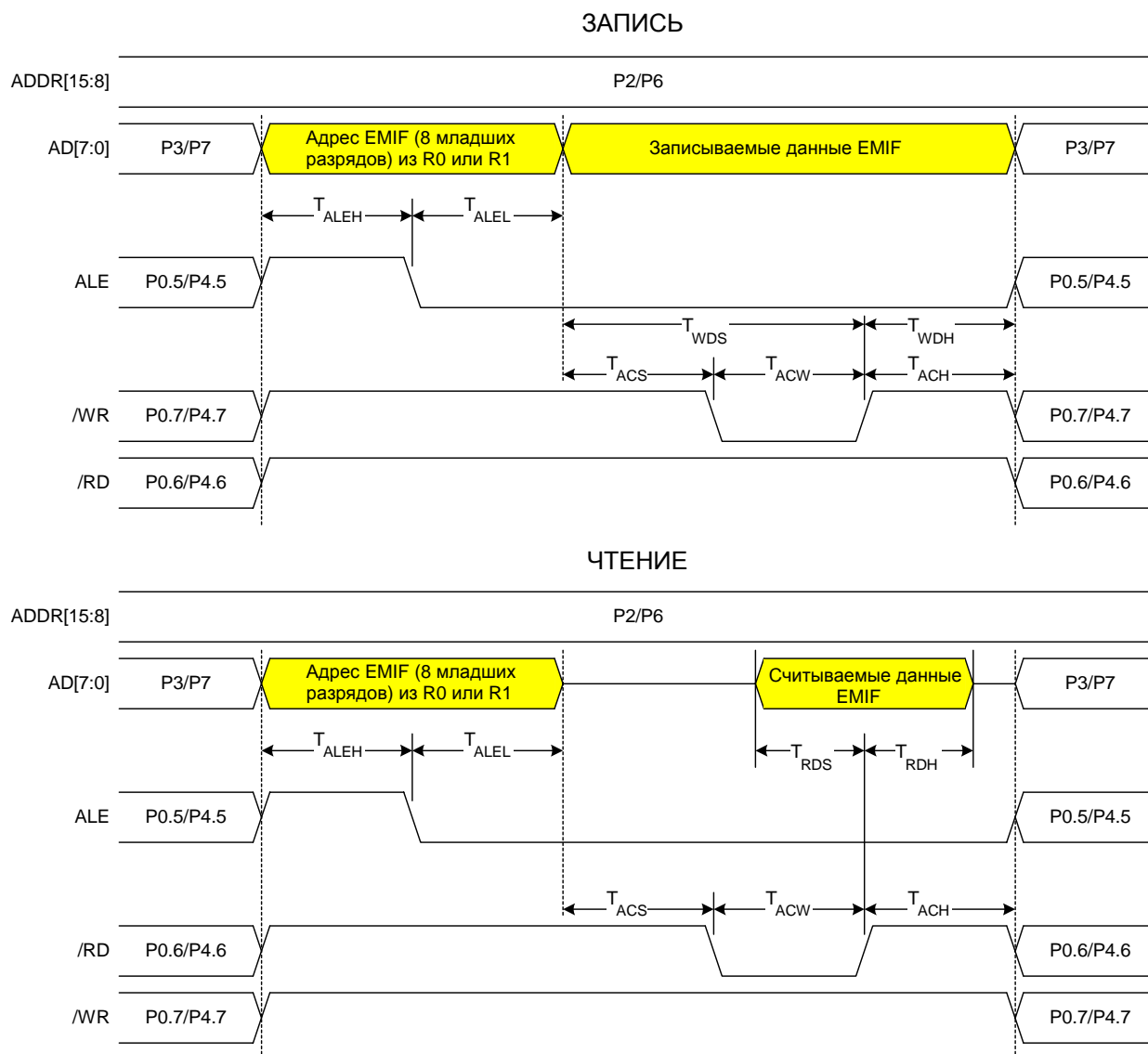
16.6.2.1. 16-разр. MOVX: EMIOCF[4:2] = '001', '010', или '011'

Рисунок 16.10. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 16-разр. MOVX)



16.6.2.2. 8-разр. MOVX без выбора банка: EMIOCF[4:2] = '001' или '011'

Рисунок 16.11. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX без выбора банка)



16.6.2.3. 8-разр. MOVX с выбором банка: EMI0CF[4:2] = '010'

Рисунок 16.12. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX с выбором банка)

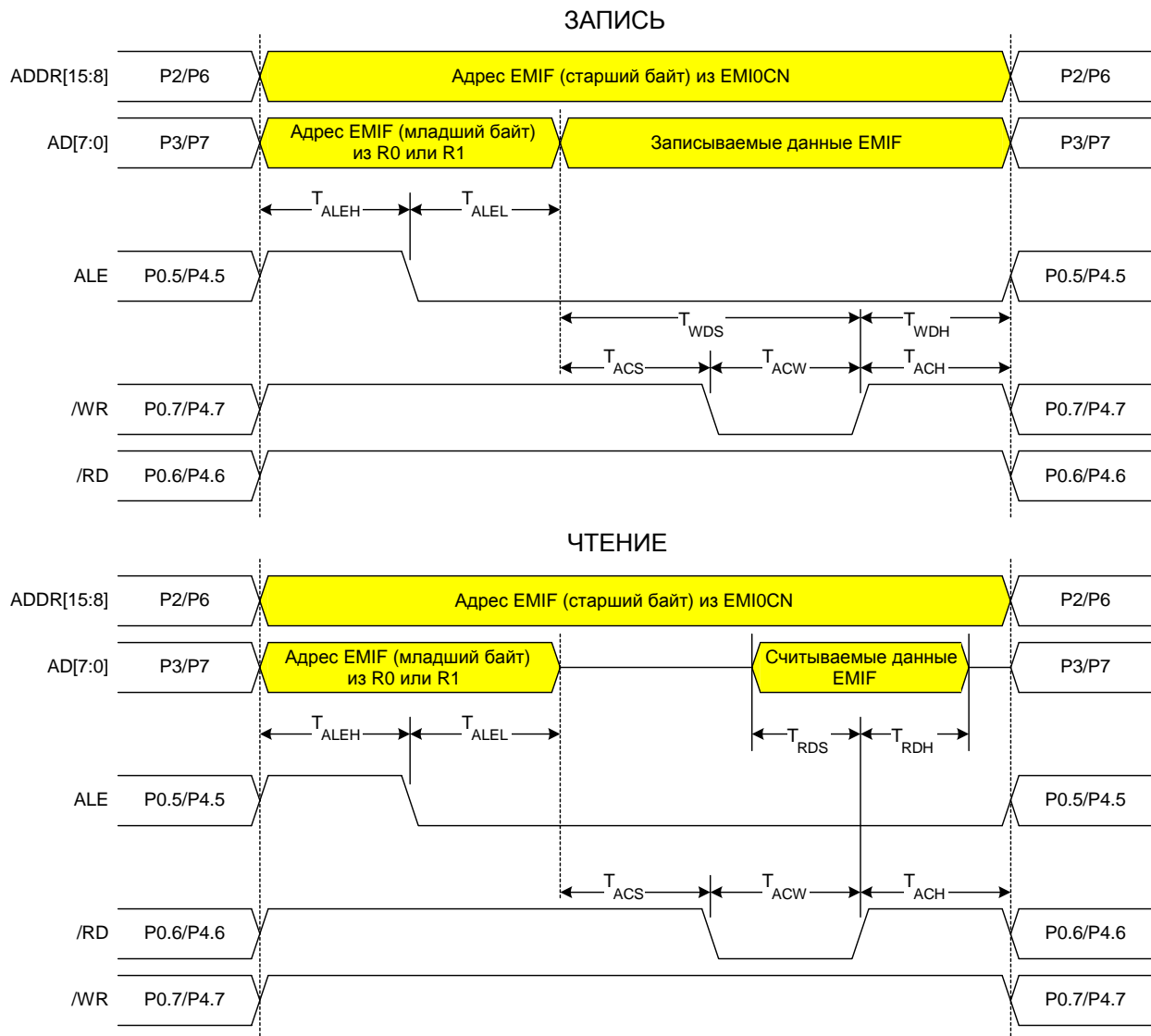


Таблица 16.1. Временные параметры интерфейса внешней памяти

| ПАРАМЕТР | ОПИСАНИЕ | Мин. | Макс. | Ед. изм. |
|--------------------------|--|----------------------|-----------------------|----------|
| T_{SYCLK} | Период системного тактового сигнала | 40 | | нс |
| T_{ACS} | Задержка сигнала управления относительно адреса (Address / Control Setup Time) | 0 | 3*T _{SYCLK} | нс |
| T_{ACW} | Ширина импульса управления (Address / Control Pulse Width) | 1*T _{SYCLK} | 16*T _{SYCLK} | нс |
| T_{ACH} | Время удержания адреса (Address / Control Hold Time) | 0 | 3*T _{SYCLK} | нс |
| T_{ALEH} | Длительность высокого уровня сигнала ALE (Address Latch Enable High Time) | 1*T _{SYCLK} | 4*T _{SYCLK} | нс |
| T_{ALEL} | Длительность низкого уровня сигнала ALE (Address Latch Enable Low Time) | 1*T _{SYCLK} | 4*T _{SYCLK} | нс |
| T_{WDS} | Установка данных перед нарастающим фронтом сигнала /WR (Write Data Setup Time) | 1*T _{SYCLK} | 19*T _{SYCLK} | нс |
| T_{WDH} | Удержание данных после нарастающего фронта сигнала /WR (Write Data Hold Time) | 0 | 3*T _{SYCLK} | нс |
| T_{RDS} | Установка данных перед нарастающим фронтом сигнала /RD (Read Data Setup Time) | 20 | | нс |
| T_{RDH} | Удержание данных после нарастающего фронта сигнала /RD (Read Data Hold Time) | 0 | | нс |

ПРИМЕЧАНИЯ

17. ПОРТЫ ВВОДА/ВЫВОДА

Микроконтроллеры C8051F020/1/2/3 представляют собой полностью интегрированные на одном кристалле системы для обработки смешанных сигналов, которые имеют 64 (C8051F020/2) или 32 (C8051F021/3) цифровых входа/выхода, организованные в 8-разрядные порты. Младшие порты (P0, P1, P2 и P3) доступны в режиме как побитной, так и побайтной адресации через соответствующие регистры данных портов. Старшие порты (P4, P5, P6 и P7) могут адресоваться только побайтно. Допустимое напряжение на всех выводах портов ввода/вывода составляет 5В. Каждый из них имеет слаботочковые подтягивающие резисторы и может быть настроен как выход с открытым стоком или цифровой выход. Структурная схема ячейки порта ввода/вывода показана на рис.17.1. Электрические характеристики портов ввода/вывода приведены в табл. 17.1.

Рисунок 17.1. Структурная схема ячейки порта ввода/вывода

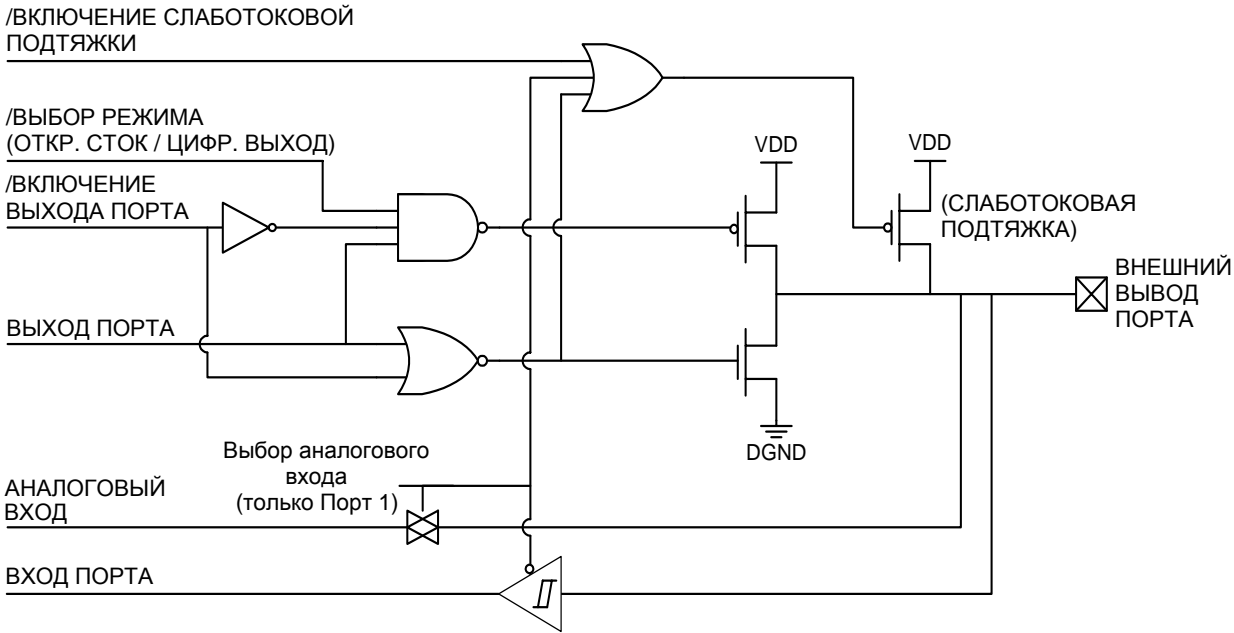


Таблица 17.1. Электрические характеристики портов ввода/вывода

VDD = 2.7 ... 3.6В, T = от -40°C до +85°C, если не указано иное.

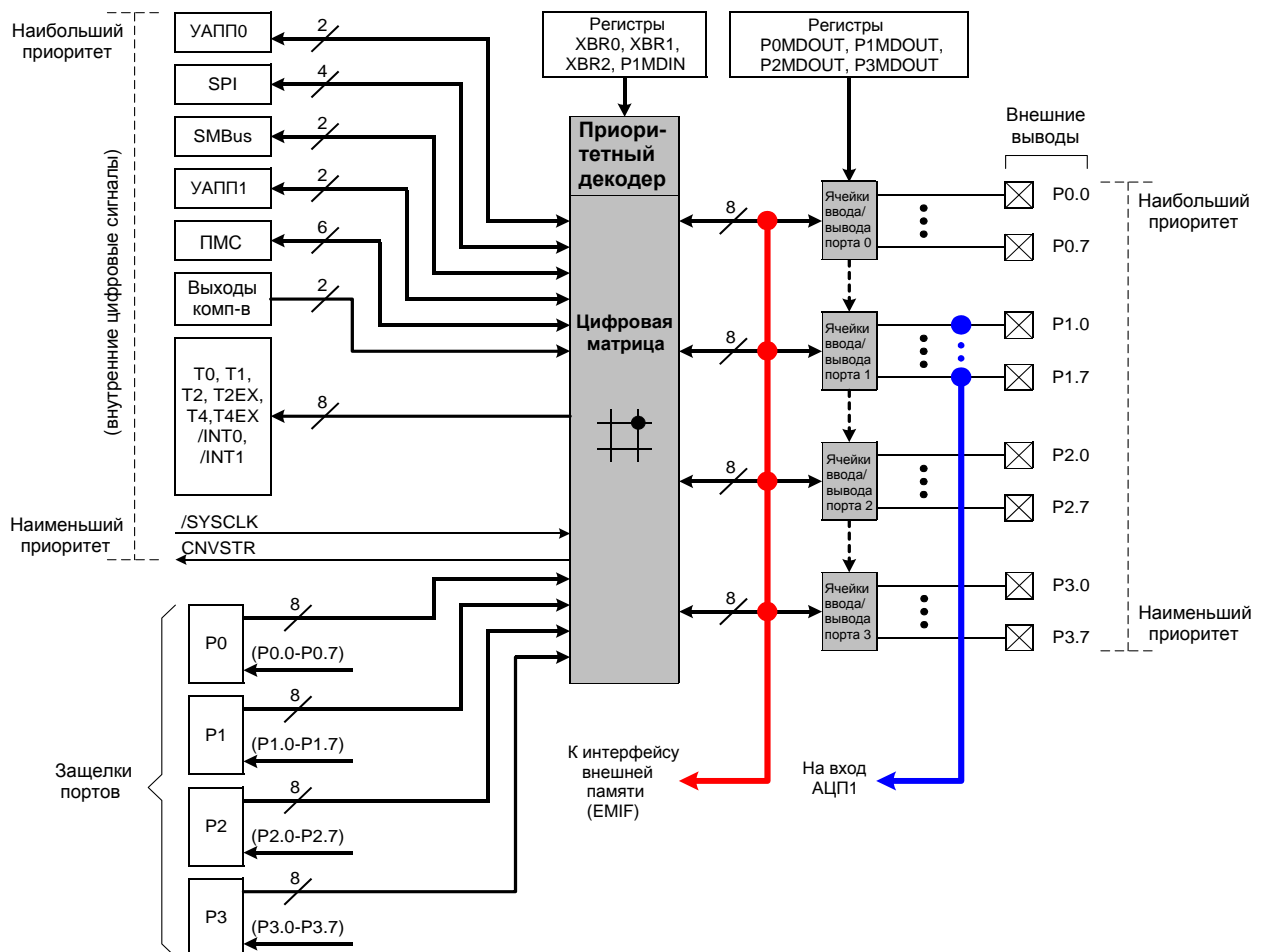
| ПАРАМЕТР | УСЛОВИЯ | Мин. | Тип. | Макс. | Ед. изм. |
|--|---|-----------|-----------|-----------|----------|
| Выходное напряжение высокого уровня (V _{OH}) | I _{OH} = -10мкА, порт ввода/вывода – цифровой вход/выход | VDD – 0.1 | | | В |
| | I _{OH} = -3мА, порт ввода/вывода – цифровой вход/выход | VDD – 0.7 | | | |
| | I _{OH} = -10мА, порт ввода/вывода – цифровой вход/выход | | VDD – 0.8 | | |
| Выходное напряжение низкого уровня (V _{OL}) | I _{OL} = 10мкА | | | 0.1 | В |
| | I _{OL} = 8.5мА | | | 0.6 | |
| | I _{OL} = 25мА | | 1.0 | | |
| Входное напряжение высокого уровня (V _{IH}) | | 0.7 x VDD | | | В |
| Входное напряжение низкого уровня (V _{IL}) | | | | 0.3 x VDD | В |
| Ток утечки входа | DGND < Вывод порта < VDD, вывод в высокоимпедансном состоянии, слаботочковая подтяжка отключена | | | ±1 | мкА |
| | слаботочковая подтяжка включена | | 10 | | |
| Входная емкость | | | 5 | | пФ |

Микроконтроллеры имеют различные цифровые ресурсы, которые доступны через четыре младших порта ввода/вывода: P0, P1, P2 и P3. Каждый из выводов портов P0, P1, P2 и P3 может быть определен либо как вывод ввода/вывода общего назначения, либо как вывод, управляемый внутренними цифровыми ресурсами (например, УАППО или /INT1), как показано на рис.17.2. Разработчик системы определяет, какие цифровые ресурсы будут назначены внешним выводам, ограничиваясь только количеством доступных выводов. Гибкость при распределении ресурсов достигается благодаря использованию приоритетного декодера матрицы. Следует иметь в виду, что состояние вывода порта ввода/вывода всегда можно прочитать из соответствующего регистра данных независимо от того, как функционирует этот вывод: как вывод ввода/вывода общего назначения или как вывод, назначенный какому-либо внутреннему цифровому ресурсу. Выводы Портов 1 могут использоваться как аналоговые входы АЦП1.

Как младшие, так и старшие порты могут использоваться для интерфейса внешней памяти, сигналы которого активны во время выполнения команды MOVX, обращающейся по адресу, расположенному во внешней (не встроенной) памяти. Подробная информация об интерфейсе внешней памяти приведена в разделе 16.

Старшие порты (имеющиеся в МК C8051F020/2) доступны в побайтном режиме как выходы ввода/вывода общего назначения.

Рисунок 17.2. Функциональная схема младших портов ввода/вывода



17.1. Порты 3 – 0 и приоритетный декодер матрицы

Приоритетный декодер матрицы, или “матрица”, распределяет и назначает выводы портов P3 – P0 цифровым периферийным модулям (УАПП, SMBus, ПМС, таймеры и т.д.) микроконтроллера, используя для этого приоритеты. Выводы портов распределяются, начиная с порта P0.0 и (если необходимо) до порта P3.7. Цифровые периферийные модули назначаются выводам портов в соответствии с их приоритетом (см. рис. 17.3). УАПП0 имеет наивысший приоритет, CNVSTR имеет самый низкий приоритет.

17.1.1. Назначение и распределение выводов при помощи матрицы

Матрица назначает выводы портов периферийным модулям, если соответствующие биты подключения в регистрах конфигурации матрицы XBR0, XBR1 и XBR2 установлены в 1 (см. рис.17.7, рис.17.8 и рис.17.9).

**Рисунок 17.3. Таблица декодирования приоритетов матрицы
(EMIFLE = 0; P1MDIN = 0xFF)**

| | P0 | | | | | | | P1 | | | | | | | P2 | | | | | | | P3 | | | | | | | Биты регистров матрицы | | | | |
|----------|----|---|---|---|---|---|---|----|---|---|---|---|---|---|----|---|---|---|---|---|---|----|---|---|---|---|---|---|------------------------|---|---|---|-----------------|
| Выв. /IO | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | |
| TX0 | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | UART0EN: XBR0.2 |
| RX0 | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SCK | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | SPI0EN: XBR0.1 |
| MISO | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| MOSI | | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| NSS | | | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SDA | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | SMB0EN: XBR0.0 |
| SCL | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | |
| TX1 | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | UART1EN: XBR2.2 |
| RX1 | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | |
| CEX0 | ● | | ● | | ● | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | |
| CEX1 | | ● | | ● | | ● | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | |
| CEX2 | | | ● | | ● | | ● | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | |
| CEX3 | | | | ● | | ● | | ● | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | |
| CEX4 | | | | | ● | | ● | | ● | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | |
| ECI | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | | | | | ECI0E: XBR0.6 |
| CP0 | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | | | | CP0E: XBR0.7 |
| CP1 | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | | | CP1E: XBR1.0 |
| T0 | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | | T0E: XBR1.1 |
| /INT0 | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | INT0E: XBR1.2 |
| T1 | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | T1E: XBR1.3 |
| /INT1 | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | INT1E: XBR1.4 |
| T2 | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | T2E: XBR1.5 |
| T2EX | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | T2EXE: XBR1.6 |
| T4 | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | T4E: XBR2.3 |
| T4EX | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | T4EXE: XBR2.4 |
| /SYSCLK | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | SYSCKE: XBR1.7 |
| CNVSTR | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | CNVSTE: XBR2.0 |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

Например, если бит UART0EN (XBR0.2) установлен в 1, то выводы TX0 и RX0 будут отображены на порты P0.0 и P0.1 соответственно. Т.к. УАППО имеет наивысший приоритет, то его выводы всегда будут отображаться на порты P0.0 и P0.1, когда бит UART0EN установлен в 1. Если биты подключения цифровых модулей не установлены в 1, то их порты не доступны на выводах портов микроконтроллера. Важно также иметь в виду, что, если выбраны последовательные порты (т.е. SMBus, SPI, УАПП), то матрица распределяет все выводы, ассоциированные с ними. Нельзя, например, назначить вывод RX0 модуля УАППО и не назначить вывод TX0 этого же модуля. Назначение внешних выводов микроконтроллера для каждой комбинации подключенных периферийных модулей будет уникальным.

Все выводы портов P0 – P3, не распределенные при помощи матрицы, могут быть доступны как выводы ввода/вывода общего назначения путем чтения и записи соответствующих регистров данных портов (см. рис.17.10, рис.17.12, рис.17.15 и рис.17.17), которые доступны как в побитном, так и в побайтном режимах адресации. Состояния выходных драйверов выводов портов, которые распределены матрицей и управляются цифровыми периферийными модулями, определяются этими модулями. Запись регистров данных этих портов (или распределенных матрицей битов портов) не будет влиять на состояние этих выводов.

Чтение регистра данных порта (или бита порта) всегда возвратит в качестве результата логическое состояние на выводе порта независимо от того, распределен данный порт матрицей или нет. Исключением являются команды типа *чтение-модификация-запись* (ANL, ORL, XRL, JBC, CPL, INC, DEC, DJNZ и MOV, CLR, SET и битовые команды MOV). В течение цикла *чтения* команд типа *чтение-модификация-запись* считывается содержимое регистра данных порта, а не логическое состояние самих выводов портов.

Т.к. регистры матрицы влияют на подключение внутренних периферийных модулей к внешним выводам МК, то они обычно настраиваются в процессе инициализации системы до настройки самих периферийных модулей. После первоначальной настройки регистры матрицы обычно не перенастраиваются.

После правильной настройки регистров матрицы она включается установкой в 1 бита XBARE (XBR2.6). **Пока бит XBARE не установлен в 1, выходные драйверы портов P0 – P3 явным образом отключаются, чтобы предотвратить возможные конфликты на выводах портов во время записи регистров матрицы и других регистров, которые могут влиять на внешние выводы МК.**

Выходные драйверы выводов, распределенных матрицей для входных сигналов (например, RX0 и т.п.), явным образом отключаются; таким образом значения регистров данных портов и регистров PnMDOUT не влияют на состояние этих выводов.

17.1.2. Настройка выходных драйверов портов

Выходные драйверы портов P0 – P3 остаются отключенными до тех пор, пока матрица не будет включена установкой в 1 бита XBARE (XBR2.6).

Выходной драйвер каждого порта можно настроить либо как цифровой выход, либо как выход с открытым стоком. По умолчанию выбирается режим выхода с открытым стоком. При работе в режиме цифрового выхода запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к земляной шине GND, а запись лог. '1' приведет к «притягиванию» данного вывода порта к шине питания VDD. При работе в режиме выхода с открытым стоком запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к земляной шине GND, а при записи лог. '1' данный вывод порта будет переведен в высокоимпедансное состояние. Режим выхода с открытым стоком полезен в том случае, если требуется предотвратить конфликты между различными устройствами в системе, когда вывод порта участвует в коллективном взаимодействии, при котором несколько выходов подключаются к одной и той же физической линии (например, сигнал SDA шины SMBus).

Режимы выхода портов P0 – P3 определяются битами соответствующих регистров PnMDOUT (см. рис.17.11, рис.17.14, рис.17.16, рис.17.18). Например, при установке в 1 бита P3MDOUT.7 выходной драйвер порта P3.7 будет настроен как цифровой выход, при сбросе в 0 бита P3MDOUT.7 выходной драйвер порта P3.7 будет настроен как выход с открытым стоком. по умолчанию выходные драйверы всех портов настраиваются как выходы с открытым стоком.

Регистры PnMDOUT управляют режимами выхода выводов портов независимо от того, назначает ли их матрица цифровым ресурсам или нет. Исключением являются только выводы модуля SMBus (SDA, SCL), вывод приемника УАППО (RX0, в режиме 0) и вывод приемника УАПП1 (RX1, в режиме 0), которые всегда настроены как выходы с открытым стоком независимо от настроек соответствующих бит регистров PnMDOUT.

17.1.3. Настройка выводов портов как цифровых входов

Вывод порта настраивается как цифровой вход переводом его выходного драйвера в режим выхода с открытым стоком и записью лог. '1' в соответствующий бит регистра данных порта. Например, P3.7 настраивается как цифровой вход сбросом в 0 бита P3MDOUT.7 и установкой в 1 бита P3.7.

Если вывод порта назначен посредством матрицы цифровому периферийному модулю и этот вывод функционирует как вход (например, RX0, вывод приемника УАПЧ0), то выходной драйвер этого вывода автоматически отключается.

17.1.4. Внешние прерывания (IE6 и IE7)

В дополнение ко внешним прерываниям /INT0 и /INT1, которые распределяются и назначаются матрицей, P3.6 и P3.7 можно настроить таким образом, чтобы они генерировали чувствительные к фронту прерывания. Биты IE6CF (P3IF.2) и IE7CF (P3IF.3) определяют, по какому фронту будут генерироваться прерывания: по спадающему или по нарастающему. Когда на портах P3.6 и P3.7 появляется активный фронт сигнала, в регистре P3IF (см. рис.17.19) будет установлен в 1 соответствующий флаг внешнего прерывания (IE6 или IE7). Если прерывание разрешено, то будет сгенерирован запрос прерывания и произойдет переход на соответствующую процедуру обработки прерывания. Подробная информация относительно обработки прерываний приведена в разделе 12.3.

17.1.5. Слаботоковые подтяжки

Каждый вывод порта имеет внутреннюю слаботокую подтяжку, которая по умолчанию включена. Она обеспечивает соединение данного вывода с шиной питания VDD через резистор с высоким сопротивлением (около 100кОм). Слаботоковые подтяжки можно глобально отключить, установив в 1 бит отключения слаботоковых подтяжек WEAKPUD (XBR2.7). Слаботоковые подтяжки автоматически отключаются у любого вывода, на который выдается лог. '0', т.е. выход вывода не будет конфликтовать с собственной слаботоковой подтяжкой. Слаботоковые подтяжки выводов порта 1 можно также явно отключить, настроив эти выводы как аналоговые входы.

17.1.6. Настройка выводов Порты 1 как аналоговых входов (AIN1.[7:0])

Выводы порта 1 могут функционировать в качестве аналоговых входов мультиплексора АЦП1. Вывод порта настраивается как аналоговый вход сбросом в 0 соответствующего бита в регистре P1MDIN (см. рис.17.13). По умолчанию все порты настраиваются как цифровые входы. Настройка вывода порта как аналогового входа:

1. Разрывает цепь тока цифрового входа от этого вывода. Это исключает увеличение тока потребления при напряжении на этом выводе, близком к значению VDD/2. Чтение бита данных порта возвратит лог. '0' независимо от напряжения на выводе порта.
2. Отключает слаботокую подтяжку от этого вывода.
3. Заставляет матрицу «пропускать» этот вывод, если выводы порта назначены цифровым периферийным модулям.

Следует иметь в виду, что выходные драйверы выводов, настроенных как аналоговые входы, не отключаются явным образом. Поэтому биты регистра P1MDOUT, соответствующие выводам, настроенным как аналоговые входы, следует явно сбросить в 0 (режим выхода с открытым стоком), а соответствующие биты данных порта следует установить в 1 (высокоимпедансное состояние). Также следует иметь в виду, что не требуется настраивать вывод порта как аналоговый вход, чтобы использовать его в качестве входа мультиплексора АЦП1; однако, строго рекомендуется так делать. Подробная информация относительно АЦП1 приведена в разделе 7.

17.1.7. Распределение выводов интерфейса внешней памяти

Если для сигналов интерфейса внешней памяти используются младшие порты (P0 – P3), то следует установить в 1 бит EMIFLE (XBR2.1), тогда матрица не будет назначать периферийным модулям порты P0.7 (/WR), P0.6 (/RD) и, если интерфейс внешней памяти функционирует в мультиплексированном режиме, P0.5 (ALE). Пример таблицы декодирования приоритетов матрицы для EMIFLE = 1 и мультиплексированного режима показан на рис.17.4. Пример таблицы декодирования приоритетов матрицы для EMIFLE = 1 и немультимплексированного режима показан на рис.17.5.

Если для сигналов интерфейса внешней памяти используются младшие порты и происходит обращение к внешней (не встроенной) памяти с помощью команды MOVX, то в течение фазы выполнения команды MOVX интерфейс внешней памяти будет управлять состоянием выхода находящихся под его влиянием выводов портов независимо от состояния регистров матрицы или состояния регистров данных портов. Работа интерфейса внешней памяти не влияет на конфигурацию выходных драйверов выводов портов, за исключением операций чтения, при которых явным образом отключаются выходные драйверы шины данных. Подробная информация относительно интерфейса внешней памяти приведена в разделе 16.

**Рисунок 17.4. Таблица декодирования приоритетов матрицы
(EMIFLE = 0; EMIF в мультиплексированном режиме; P1MDIN = 0xFF)**

| | P0 | | | | | | | | P1 | | | | | | | | P2 | | | | | | | | P3 | | | | | | | | Биты регистров матрицы | | |
|----------|----|---|---|---|---|---|---|---|----|---|---|---|---|---|---|---|----|---|---|---|---|---|---|---|----|---|---|---|---|---|---|---|------------------------|--------------------|----------------|
| Вых. I/O | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | | | |
| TX0 | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | UART0EN: XBR0.2 | |
| RX0 | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SCK | ● | | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| MISO | | ● | | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| MOSI | | | ● | | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| NSS | | | | | ● | | | | ● | | | | | | | | | | | | | | | | | | | | | | | | | SPI0EN: XBR0.1 | |
| SDA | ● | | | ● | | ● | | | | ● | | | | | | | | | | | | | | | | | | | | | | | | | |
| SCL | | ● | | | ● | | | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | |
| TX1 | ● | | | ● | | | | | | ● | | | ● | | | | | | | | | | | | | | | | | | | | | | |
| RX1 | | ● | | | ● | | | | ● | | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | | |
| CEX0 | ● | | | ● | | | | | | ● | | | ● | | ● | | | | | | | | | | | | | | | | | | | PCA0ME: XBR0.[5:3] | |
| CEX1 | | ● | | | ● | | | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | | | |
| CEX2 | | | ● | | | ● | | | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | | |
| CEX3 | | | | ● | | | | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | |
| CEX4 | | | | | ● | | | | ● | | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | |
| ECI | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | | | ECIOE: XBR0.6 | |
| CP0 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | | CP0E: XBR0.7 | |
| CP1 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | CP1E: XBR1.0 | |
| T0 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | | T0E: XBR1.1 | |
| /INT0 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | INT0E: XBR1.2 | |
| T1 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | | T1E: XBR1.3 | |
| /INT1 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | INT1E: XBR1.4 | |
| T2 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | | T2E: XBR1.5 | |
| T2EX | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | T2EXE: XBR1.6 | |
| T4 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | T4E: XBR2.3 | |
| T4EX | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | T4EXE: XBR2.4 | |
| /SYSCLK | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | SYSCKE: XBR1.7 |
| CNVSTR | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | CNVSTE: XBR2.0 |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

Рисунок 17.5. Таблица декодирования приоритетов матрицы
(EMIFLE = 0; EMIF в немультимплексированном режиме; P1MDIN = 0xFF)

| | P0 | | | | | | | | P1 | | | | | | | | P2 | | | | | | | | P3 | | | | | | | | Биты регистров матрицы |
|----------|----|---|---|---|---|-----|---|----------------------------------|-----------|-----------|------------|------------|------------|------------|------------|---|--------|--------|---------|---------|---------|---------|---------|-----------------------------------|--------|--------|--------|--------|--------|--------|--------|--------|------------------------|
| Выб. I/O | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | |
| TX0 | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | UART0EN: XBR0.2 |
| RX0 | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SCK | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| MISO | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| MOSI | | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| NSS | | | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SDA | ● | | ● | | ● | | | | ● | | | | | | | | | | | | | | | | | | | | | | | | |
| SCL | | ● | | ● | | ● | | | | ● | | | | | | | | | | | | | | | | | | | | | | | |
| TX1 | ● | | ● | | ● | | | | ● | | ● | | | | | | | | | | | | | | | | | | | | | | |
| RX1 | | ● | | ● | | ● | | | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | | |
| CEX0 | ● | | ● | | ● | | | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | | |
| CEX1 | | ● | | ● | | ● | | | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | | |
| CEX2 | | | ● | | ● | | | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | | |
| CEX3 | | | | ● | | ● | | | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | | |
| CEX4 | | | | | ● | | | | ● | | ● | | ● | | ● | | ● | | ● | | | | | | | | | | | | | | |
| ECI | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | ECI0E: XBR0.6 |
| CP0 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | CP0E: XBR0.7 |
| CP1 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | CP1E: XBR1.0 |
| T0 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | T0E: XBR1.1 |
| /INT0 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | INT0E: XBR1.2 |
| T1 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | T1E: XBR1.3 |
| /INT1 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | INT1E: XBR1.4 |
| T2 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | | T2E: XBR1.5 |
| T2EX | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | ● | ● | | | | | | | T2EXE: XBR1.6 |
| T4 | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | ● | ● | ● | | | | | | T4E: XBR2.3 |
| T4EX | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | ● | ● | ● | ● | | | | | T4EXE: XBR2.4 |
| /SYSCLK | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | ● | ● | ● | ● | ● | | | | SYSCKE: XBR1.7 |
| CNVSTR | ● | ● | ● | ● | ● | ● | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | ● | ● | ● | ● | ● | ● | | | CNVSTE: XBR2.0 |
| | | | | | | ALE | | WR | AIN1.0/A8 | AIN1.1/A9 | AIN1.2/A10 | AIN1.3/A11 | AIN1.4/A12 | AIN1.5/A13 | AIN1.6/A14 | AIN1.7/A15 | A8m/A0 | A9m/A1 | A10m/A2 | A11m/A3 | A12m/A4 | A13m/A5 | A14m/A6 | A15m/A7 | AD0/D0 | AD1/D1 | AD2/D2 | AD3/D3 | AD4/D4 | AD5/D5 | AD6/D6 | AD7/D7 | |
| | | | | | | | | Входы AIN1/Немульт-й адрес (C3P) | | | | | | | | Мульт-й адр. (ст.)/Немульт-й адр. (мл.) | | | | | | | | Мульт-ые данные/Немульт-ые данные | | | | | | | | | |

17.1.8. Пример назначения выводов при помощи матрицы

В этом примере (см. рис.17.6) мы настроим матрицу таким образом, чтобы назначить выводы портов для УАППО, SMBus, УАПП1, /INT0 и /INT1 (всего 8 выводов). Дополнительно мы настроим интерфейс внешней памяти таким образом, чтобы он работал в мультиплексированном режиме, а для его сигналов использовались младшие порты. Затем мы настроим P1.2, P1.3 и P1.4 как аналоговые входы, что позволит измерять напряжение на этих выводах с помощью АЦП1. Описание настройки (по «шагам») приведено ниже:

1. XBR0, XBR1 и XBR2 настраиваются так, чтобы UART0EN = 1, SMB0EN = 1, INT0E = 1, INT1E = 1, и EMIFLE = 1. Таким образом: XBR0 = 0x05, XBR1 = 0x14 и XBR2 = 0x02.
2. Настраиваем интерфейс внешней памяти на использование младших портов и на работу в мультиплексированном режиме. PRTSEL = 0, EMD2 = 0.
3. Настраиваем выбранные выводы Порта 1 как аналоговые входы записью значения 0xE3 в регистр P1MDIN (P1.2, P1.3 и P1.4 являются аналоговыми входами, т.е. соответствующие им биты регистра P1MDIN сброшены в 0).
4. Включаем матрицу установкой XBARE = 1: XBR2 = 0x46.
 - УАППО имеет наивысший приоритет, т.е. P0.0 назначается сигналу TX0, а P0.1 назначается сигналу RX0.
 - SMBus имеет следующий по порядку приоритет, т.е. P0.2 назначается сигналу SDA, а P0.3 назначается сигналу SCL.
 - УАПП1 имеет следующий по порядку приоритет, т.е. P0.4 назначается сигналу TX1. Т.к. для сигналов интерфейса внешней памяти используются младшие порты, EMIFLE = 1, то матрица будет пропускать P0.6 (/RD) и P0.7 (/WR). Т.к. интерфейс внешней памяти работает в мультиплексированном режиме, то матрица будет также пропускать P0.5 (ALE). Сигналу RX1 назначается следующий «не пропускаемый» вывод, которым в этом случае будет P1.0.
 - /INT0 имеет следующий по порядку приоритет, т.е. назначается выводу P1.1.
 - Т.к. регистр P1MDIN содержит значение 0xE3, которое настраивает P1.2, P1.3 и P1.4 как аналоговые входы, то матрица будет пропускать эти выводы.
 - /INT1 имеет следующий по порядку приоритет, т.е. назначается следующему «не пропускаемому» выводу, которым является P1.5.
 - Интерфейс внешней памяти будет использовать порты P2 и P3 (обозначенные красными точками на рис.17.6) во время выполнения команды MOVX, обращающейся к внешней (не встроенной) памяти.
5. Настраиваем выходные драйверы вывода TX УАППО (TX0, P0.0), вывода TX УАПП1 (TX1, P0.4), ALE, /RD, /WR (P0.[7:3]) как цифровые выходы, для чего записываем значение 0xF1 в регистр P0MDOUT.
6. Настраиваем выходные драйверы портов интерфейса внешней памяти (P2, P3) как цифровые выходы, для чего записываем значение 0xFF в регистры P2MDOUT и P3MDOUT.
7. Явным образом отключаем выходные драйверы трех выводов аналоговых входов, для чего устанавливаем P1MDOUT = 0x00 (выбираем режим выходов с открытым стоком) и P1 = 0xFF (лог. '1' переводит выход в высокоимпедансное состояние).

Рисунок 17.6. Пример использования матрицы
(EMIFLE = 1; EMIF в мультиплексированном режиме; P1MDIN = 0xE3;
XBR0 = 0x05; XBR1 = 0x14; XBR2 = 0x46)

| | P0 | | | | | | | | P1 | | | | | | | | P2 | | | | | | | | P3 | | | | | | | | Биты регистров матрицы |
|------------|----|---|---|---|---|---|---|-----------------------------------|-----------|------------|------------|------------|------------|------------|------------|---|--------|---------|---------|---------|---------|---------|---------|-------------------------------------|--------|--------|--------|--------|--------|--------|--------|--------------------|------------------------|
| Выв. / I/O | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | |
| TX0 | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | UART0EN: XBR0.2 |
| RX0 | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SCK | ● | | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| MISO | | | ● | | | | ● | | | | | | | | | | | | | | | | | | | | | | | | | | |
| MOSI | | | | | ● | | | ● | | | | | | | | | | | | | | | | | | | | | | | | | SPI0EN: XBR0.1 |
| NSS | | | | | | | | | ● | | | | | | | | | | | | | | | | | | | | | | | | |
| SDA | ● | | | ● | | | | | | ● | | | | | | | | | | | | | | | | | | | | | | | |
| SCL | | | ● | | | | | | | ● | | | | | | ● | | | | | | | | | | | | | | | | | |
| TX1 | ● | | | ● | | | | | | ● | | | | | | | | | | | | | | | | | | | | | | | UART1EN: XBR2.2 |
| RX1 | | | ● | | | | | | | ● | | | | | | ● | ● | ● | | | | | | | | | | | | | | | |
| CEX0 | ● | | | ● | | | | | | ● | | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | PCA0ME: XBR0.[5:3] | |
| CEX1 | | | ● | | | | | | | ● | | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | |
| CEX2 | | | | ● | | | | | | ● | | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | |
| CEX3 | | | | | ● | | | | | ● | | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | |
| CEX4 | | | | | | ● | | | | ● | | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | | |
| ECI | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | ECI0E: XBR0.6 | |
| CP0 | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | CP0E: XBR0.7 | |
| CP1 | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | | CP1E: XBR1.0 | |
| T0 | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | | T0E: XBR1.1 | |
| /INT0 | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | INT0E: XBR1.2 | |
| T1 | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | | T1E: XBR1.3 |
| /INT1 | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | ● | | | | | | | | | ● | ● | ● | ● | | | | | INT1E: XBR1.4 |
| T2 | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | | T2E: XBR1.5 |
| T2EX | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | | T2EXE: XBR1.6 |
| T4 | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | | T4E: XBR2.3 |
| T4EX | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | T4EXE: XBR2.4 |
| /SYSCLK | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | SYSCKE: XBR1.7 |
| CNVSTR | ● | ● | ● | ● | ● | | | | | ● | ● | | | | | | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | ● | | CNVSTE: XBR2.0 |
| ALE | | | | | | | | AIN1.0/A8 | AIN1.1/A9 | AIN1.2/A10 | AIN1.3/A11 | AIN1.4/A12 | AIN1.5/A13 | AIN1.6/A14 | AIN1.7/A15 | A8m/A0 | A9m/A1 | A10m/A2 | A11m/A3 | A12m/A4 | A13m/A5 | A14m/A6 | A15m/A7 | AD0/D0 | AD1/D1 | AD2/D2 | AD3/D3 | AD4/D4 | AD5/D5 | AD6/D6 | AD7/D7 | | |
| /RD | | | | | | | | Входы AIN1/Немульти-й адрес (C3P) | | | | | | | | Мульти-й адр. (ст.)/Немульти-й адр. (мл.) | | | | | | | | Мульти-ые данные/Немульти-ые данные | | | | | | | | | |
| /WR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

Рисунок 17.7. XBR0: Регистр 0 матрицы портов ввода/вывода

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xE1 |
|--|-------|--------|-------|-------|---------|--------|--------|---|
| CP0E | ECI0E | PCA0ME | | | UART0EN | SPI0EN | SMB0EN | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| | | | | | | | | |
| Бит 7: CP0E: Бит подключения выхода Компаратора 0 0: CP0 не соединен с выводом порта. 1: CP0 соединен с выводом порта. | | | | | | | | |
| Бит 6: ECI0E: Бит подключения входа ECI ПМС0 0: ECI не соединен с выводом порта. 1: ECI соединен с выводом порта. | | | | | | | | |
| Биты 3-5: PCA0ME: Биты подключения входов/выходов модуля ПМС0 000: Все входы/выходы модуля ПМС не соединены с выводами порта. 001: CEX0 соединен с выводом порта. 010: CEX0, CEX1 соединены с двумя выводами порта. 011: CEX0, CEX1, CEX2 соединены с тремя выводами порта. 100: CEX0, CEX1, CEX2, CEX3 соединены с четырьмя выводами порта. 101: CEX0, CEX1, CEX2, CEX3, CEX4 соединены с пятью выводами порта. 110: Зарезервировано 111: Зарезервировано | | | | | | | | |
| Бит 2: UART0EN: Бит подключения входов/выходов УАППО 0: Входы/выходы УАППО не соединены с выводами порта. 1: TX0 и RX0 соединены с выводами P0.0 и P0.1 соответственно. | | | | | | | | |
| Бит 1: SPI0EN: Бит подключения входов/выходов модуля SPI0 0: Входы/выходы модуля SPI0 не соединены с выводами порта. 1: MISO, MOSI, SCK и NSS соединены с четырьмя выводами порта. | | | | | | | | |
| Бит 0: SMB0EN: Бит подключения входов/выходов модуля SMBus0 0: Входы/выходы модуля SMBus0 не соединены с выводами порта. 1: SDA и SCL соединены с двумя выводами порта. | | | | | | | | |

Рисунок 17.8. XBR1: Регистр 1 матрицы портов ввода/вывода

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|--|-------|-------|-------|-------|-------|-------|-------|-------------------------|
| SYSCKE | T2EXE | T2E | INT1E | T1E | INT0E | T0E | CP1E | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xE2 |
| <p>Бит 7: SYSCKE: Бит подключения выхода SYSCLK 0: Выход SYSCLK не соединен с выводом порта. 1: Выход SYSCLK соединен с выводом порта.</p> <p>Бит 6: T2EXE: Бит подключения входа T2EX 0: T2EX не соединен с выводом порта. 1: T2EX соединен с выводом порта.</p> <p>Бит 5: T2E: Бит подключения входа T2 0: T2 не соединен с выводом порта. 1: T2 соединен с выводом порта.</p> <p>Бит 4: INT1E: Бит подключения входа /INT1 0: /INT1 не соединен с выводом порта. 1: /INT1 соединен с выводом порта.</p> <p>Бит 3: T1E: Бит подключения входа T1 0: T1 не соединен с выводом порта. 1: T1 соединен с выводом порта.</p> <p>Бит 2: INT0E: Бит подключения входа /INT0 0: /INT0 не соединен с выводом порта. 1: /INT0 соединен с выводом порта.</p> <p>Бит 1: T0E: Бит подключения входа T0 0: T0 не соединен с выводом порта. 1: T0 соединен с выводом порта.</p> <p>Бит 0: CP1E: Бит подключения выхода Компаратора 1 0: CP1 не соединен с выводом порта. 1: CP1 соединен с выводом порта.</p> | | | | | | | | |

Рисунок 17.9. XBR2: Регистр 2 матрицы портов ввода/вывода

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 |
|---|-------|-------|-------|-------|--------|--------|--------|-------------------------------------|
| WEAKPUD | XBARE | - | T2EXE | T4E | UART0E | EMIFLE | CNVSTE | SFR Адрес: 0xE3 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Бит 7: WEAKPUD: Бит отключения слаботочковых подтяжек портов ввода/вывода 0: Слаботочковые подтяжки включены 1: Слаботочковые подтяжки отключены</p> <p>Бит 6: XBARE: Бит включения матрицы 0: Матрица отключена. Все выводы портов P1, P2, P3 и P4 настроены на вход. 1: Матрица включена</p> <p>Бит 5: Не используются. Читается как 0b.</p> <p>Бит 4: T4EXE: Бит подключения входа T4EX 0: T4EX не соединен с выводом порта. 1: T4EX соединен с выводом порта.</p> <p>Бит 3: T4E: Бит подключения входа T4 0: T4 не соединен с выводом порта. 1: T4 соединен с выводом порта.</p> <p>Бит 2: UART0E: Бит подключения входов/выходов УАПП1 0: Входы/выходы УАПП1 не соединены с выводами порта. 1: TX1 и RX1 соединены с двумя выводами порта.</p> <p>Бит 1: EMIFLE: Бит подключения младших портов интерфейса внешней памяти. 0: Функционирование P0.7, P0.6 и P0.5 определяется матрицей или защелками порта. 1: Если EMI0CF.4 = '0' (интерфейс внешней памяти работает в мультиплексированном режиме), то P0.7 (/WR), P0.6 (/RD) и P0.5 (ALE) «пропускаются» матрицей и состояние их выхода определяется защелками порта или интерфейсом внешней памяти. 1: Если EMI0CF.4 = '1' (интерфейс внешней памяти работает в немultipлексированном режиме), то P0.7 (/WR) и P0.6 (/RD) «пропускаются» матрицей и состояние их выхода определяется защелками порта или интерфейсом внешней памяти.</p> <p>Бит 0: CNVSTE: Бит подключения входа запуска преобразования АЦП 0: CNVSTR не соединен с выводом порта. 1: CNVSTR соединен с выводом порта.</p> | | | | | | | | |

Рисунок 17.10. P0: Регистр Porta 0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 11111111 SFR Адрес: 0x80 |
|-------|-------|-------|-------|-------|-------|-------|---|---|
| P0.7 | P0.6 | P0.5 | P0.4 | P0.3 | P0.2 | P0.1 | P0.0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | |

Биты 7-0: P0.[7:0]: Биты выходной защелки порта 0.
 (Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1, XBR2 и XBR3)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P0MDOUT.n = 0)
 (Чтение – независимо от состояния регистров XBR0, XBR1, XBR2 и XBR3).
 0: На выводе P0.n низкий логический уровень.
 1: На выводе P0.n высокий логический уровень.

Примечание: P0.7 (/WR), P0.6 (/RD) и P0.5 (ALE) могут управляться интерфейсом внешней памяти данных (см. раздел 16). Информация о настройке матрицы для доступа к внешней памяти приведена на рис.17.9.

Рисунок 17.11. P0MDOUT: Регистр настройки выходов Porta 0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xA4 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: P0MDOUT.[7:0]: Биты настройки выходного драйвера порта 0.
 0: Соответствующий вывод P0.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P0.n настроен как цифровой выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любом выводе порта P0, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 17.12. P1: Регистр Портa 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|---|-------------------------|
| P1.7 | P1.6 | P1.5 | P1.4 | P1.3 | P1.2 | P1.1 | P1.0 | 11111111 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | SFR Адрес: 0x90 |

Биты 7-0: P1.[7:0]: Биты выходной защелки порта 1.
 (Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1, XBR2 и XBR3)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P1MDOUT.n = 0)
 (Чтение – независимо от состояния регистров XBR0, XBR1, XBR2 и XBR3).
 0: На выводе P1.n низкий логический уровень.
 1: На выводе P1.n высокий логический уровень.

Примечание:
 1: P1.[7:0] можно настроить как входы АЦП1 AIN1.[7:0]. В этом случае они «пропускаются» матрицей в процессе назначения выводов портов и отключаются их цепи тока цифрового входа, в зависимости от значения регистра P1MDIN (см. рис.17.13). Следует иметь ввиду, что в аналоговом режиме режим работы выходных драйверов выводов определяется защелкой порта 1 и регистром P1MDOUT (см. рис.17.14). Подробная информация относительно АЦП1 приведена в разделе 7.
 2: P1.[7:0] могут управляться интерфейсом внешней памяти данных (как адреса [15:8] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 16.

Рисунок 17.13. P1MDIN: Регистр настройки входов Портa 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|-------------------------|
| | | | | | | | | 11111111 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xBD |

Биты 7-0: P1MDIN.[7:0]: Биты выбора режима входов Портa 1.
 0: Вывод порта настроен как аналоговый вход. Цепь цифрового входа отключена (чтение бита порта всегда возвратит значение '0'). Слаботочковая подтяжка вывода отключена.
 1: Вывод порта настроен как цифровой вход. Результатом чтения бита порта будет логический уровень на внешнем выводе. Состояние слаботочковой подтяжки определяется битом WEAKPUD (XBR2.7, см. рис.17.9).

Рисунок 17.14. P1MDOUT: Регистр настройки выходов Портa 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xA5 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: P1MDOUT.[7:0]: Биты настройки выходного драйвера порта 1.
 0: Соответствующий вывод P1.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P1.n настроен как цифровой выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любом выводе порта P1, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 17.15. P2: Регистр Портa 2

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 11111111 SFR Адрес: 0xA0 |
|-------|-------|-------|-------|-------|-------|-------|---|---|
| P2.7 | P2.6 | P2.5 | P2.4 | P2.3 | P2.2 | P2.1 | P2.0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | |

Биты 7-0: P2.[7:0]: Биты выходной защелки порта 2.
 (Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1, XBR2 и XBR3)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P2MDOUT.n = 0)
 (Чтение – независимо от состояния регистров XBR0, XBR1, XBR2 и XBR3).
 0: На выводе P2.n низкий логический уровень.
 1: На выводе P2.n высокий логический уровень.

Примечание: P2.[7:0] могут управляться интерфейсом внешней памяти данных (как разряды адреса [15:8] в мультиплексированном режиме, или как разряды адреса [7:0] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 16.

Рисунок 17.16. P2MDOUT: Регистр настройки выходов Портa 2

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xA6 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: P2MDOUT.[7:0]: Биты настройки выходного драйвера порта 2.
 0: Соответствующий вывод P2.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P2.n настроен как цифровой выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любом выводе порта P2, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 17.17. P3: Регистр Порт 3

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 11111111 SFR Адрес: 0xB0 |
|-------|-------|-------|-------|-------|-------|-------|---|---|
| P3.7 | P3.6 | P3.5 | P3.4 | P3.3 | P3.2 | P3.1 | P3.0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | |

Биты 7-0: P3.[7:0]: Биты выходной защелки порта 3.
 (Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1, XBR2 и XBR3)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P3MDOUT.n = 0)
 (Чтение – независимо от состояния регистров XBR0, XBR1, XBR2 и XBR3).
 0: На выводе P3.n низкий логический уровень.
 1: На выводе P3.n высокий логический уровень.

Примечание: P3.[7:0] могут управляться интерфейсом внешней памяти данных (как AD[7:0] в мультиплексированном режиме, или как D[7:0] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 16.

Рисунок 17.18. P3MDOUT: Регистр настройки выходов Порт 3

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xA7 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: P3MDOUT.[7:0]: Биты настройки выходного драйвера порта 3.
 0: Соответствующий вывод P3.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P3.n настроен как цифровой выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любом выводе порта P3, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 17.19. P3IF: Регистр флагов прерываний от Porta 3

| R/W | R/W | R | R | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xAD |
|---|-------|-------|-------|-------|-------|-------|-------|---|
| IE7 | IE6 | - | - | IE7CF | IE6CF | - | - | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Бит 7: IE7: Флаг внешнего прерывания 7.</p> <p>0: На выводе P3.7 не зафиксировано активного фронта сигнала (с момента последнего обнуления этого бита).</p> <p>1: На выводе P3.7 зафиксирован активный фронт сигнала (устанавливается аппаратно).</p> <p>Бит 6: IE6: Флаг внешнего прерывания 6.</p> <p>0: На выводе P3.6 не зафиксировано активного фронта сигнала (с момента последнего обнуления этого бита).</p> <p>1: На выводе P3.6 зафиксирован активный фронт сигнала (устанавливается аппаратно).</p> <p>Биты 5-4: Не используются. Читаются как 00b.</p> <p>Бит 3: IE7CF: Бит настройки активного фронта внешнего прерывания 7.</p> <p>0: Внешнее прерывание 7 вызывается спадающим фронтом сигнала на входе IE7.</p> <p>1: Внешнее прерывание 7 вызывается нарастающим фронтом сигнала на входе IE7.</p> <p>Бит 2: IE6CF: Бит настройки активного фронта внешнего прерывания 6.</p> <p>0: Внешнее прерывание 6 вызывается спадающим фронтом сигнала на входе IE6.</p> <p>1: Внешнее прерывание 6 вызывается нарастающим фронтом сигнала на входе IE6.</p> <p>Биты 1-0: Не используются. Читаются как 00b.</p> | | | | | | | | |

17.2. Порты 4...7 (только C8051F020/2)

Все выводы портов P4 – P7 могут быть доступны как выводы ввода/вывода общего назначения путем чтения и записи соответствующих регистров данных портов (см. рис.17.21, рис.17.22, рис.17.23 и рис.17.24), которые адресуются в побайтном режиме адресации.

Чтение регистра данных порта (или бита порта) всегда возвратит в качестве результата логическое состояние на самом выводе порта независимо от того, назначен данный порт матрицей какому-либо цифровому модулю или нет. Исключением являются команды типа *чтение-модификация-запись* (ANL, ORL, XRL, JBC, CPL, INC, DEC, DJNZ и MOV, CLR, SET и битовые команды MOV). В течение цикла *чтения* команд типа *чтение-модификация-запись* считывается содержимое регистра данных порта, а не логическое состояние самих выводов портов.

17.2.1. Настройка портов, не имеющих внешние выводы

Хотя порты P4, P5, P6 и P7 не выведены на внешние выводы в МК C8051F021/3, регистры данных этих портов все равно имеются и доступны для использования программой. Т.к. цепи цифровых входов также остаются активными, не рекомендуется оставлять эти выводы в «плавающем» состоянии. Это позволит исключить ненужное увеличение энергопотребления, возникающее при появлении на «плавающих» входах некорректных логических уровней. Добиться этого можно любым из следующих способов:

1. Оставить слаботочные подтяжки включенными, сбросив в 0 бит WEAKPUD (XBR2.7).
2. Настроить выходные драйверы портов P4 – P7 как цифровые выходы, записав значение 0xFF в регистр P74OUT.
3. Перевести выходы портов P4 – P7 в состояние лог. '0', записав нули в регистры данных портов: P4=0x00, P5=0x00, P6=0x00 и P7=0x00.

17.2.2. Настройка выходных драйверов портов

Выходной драйвер каждого порта можно настроить либо как цифровой выход, либо как выход с открытым стоком. По умолчанию выбирается режим выхода с открытым стоком. При работе в режиме цифрового выхода запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к земляной шине GND, а запись лог. '1' приведет к «притягиванию» данного вывода

порта к шине питания VDD. При работе в режиме выхода с открытым стоком запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к земляной шине GND, а при записи лог. '1' данный вывод порта будет переведен в высокоимпедансное состояние. Режим выхода с открытым стоком полезен в том случае, если требуется предотвратить конфликты между различными устройствами в системе, когда вывод порта участвует в коллективном взаимодействии, при котором несколько выходов подключаются к одной и той же физической линии.

Режимы выхода выводов портов P4 – P7 определяются битами регистра P74OUT (см. рис.17.20). Каждый бит регистра P74OUT управляет режимом выходных драйверов группы из четырех выводов портов P4 – P7. Например, при установке в 1 бита P74OUT.7 выходные драйверы четырех старших выводов порта P7, P7.[7:4], будут настроены как цифровые выходы, а при сбросе в 0 бита P74OUT.7 выходные драйверы четырех старших выводов порта P7, P7.[7:4], будут настроены как выходы с открытым стоком.

17.2.3. Настройка выводов портов как цифровых входов

Вывод порта настраивается как цифровой вход переводом его выходного драйвера в режим выхода с открытым стоком и записью лог. '1' в соответствующий бит регистра данных порта. Например, P7.7 настраивается как цифровой вход сбросом в 0 бита P74OUT.7 и установкой в 1 бита P7.7.

17.2.4. Слаботоковые подтяжки

Каждый вывод порта имеет внутреннюю слаботокую подтяжку, которая по умолчанию включена. Она обеспечивает соединение данного вывода с шиной питания VDD через резистор с высоким сопротивлением (около 100кОм). Слаботоковые подтяжки можно глобально отключить, установив в 1 бит отключения слаботоковых подтяжек WEAKPUD (XBR2.7). Слаботоковые подтяжки автоматически отключаются у любого вывода, на который выдается лог. '0', т.е. выход вывода не будет конфликтовать с собственной слаботоковой подтяжкой.

17.2.5. Интерфейс внешней памяти

Если для сигналов интерфейса внешней памяти используются старшие порты (P4 – P7), то следует сбросить в 0 бит EMIFLE (XBR2.1).

Если для сигналов интерфейса внешней памяти используются младшие порты и происходит обращение к внешней (не встроенной) памяти с помощью команды MOVX, то в течение фазы выполнения команды MOVX интерфейс внешней памяти будет управлять состоянием выхода находящихся под его влиянием выводов портов независимо от состояния регистров данных портов. Работа интерфейса внешней памяти не влияет на конфигурацию выходных драйверов выводов портов, за исключением операций чтения, при которых явным образом отключаются выходные драйверы шины данных во время выполнения команды MOVX. Подробная информация относительно интерфейса внешней памяти приведена в разделе 16.

Рисунок 17.20. P74OUT: Регистр настройки выходов Портов 7-4

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xB5 |
|--|-------|-------|-------|-------|-------|-------|-------|---|
| P7H | P7L | P6H | P6L | P5H | P5L | P4H | P4L | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Бит 7: P7H: Бит выбора режима выходных драйверов старших четырех выводов Порта 7. 0: P7.[7:4] настроены как выходы с открытым стоком. 1: P7.[7:4] настроены как цифровые выходы .</p> <p>Бит 6: P7L: Бит выбора режима выходных драйверов младших четырех выводов Порта 7. 0: P7.[3:0] настроены как выходы с открытым стоком. 1: P7.[3:0] настроены как цифровые выходы.</p> <p>Бит 5: P6H: Бит выбора режима выходных драйверов старших четырех выводов Порта 6. 0: P6.[7:4] настроены как выходы с открытым стоком. 1: P6.[7:4] настроены как цифровые выходы .</p> <p>Бит 4: P6L: Бит выбора режима выходных драйверов младших четырех выводов Порта 6. 0: P6.[3:0] настроены как выходы с открытым стоком. 1: P6.[3:0] настроены как цифровые выходы .</p> <p>Бит 3: P5H: Бит выбора режима выходных драйверов старших четырех выводов Порта 5. 0: P5.[7:4] настроены как выходы с открытым стоком. 1: P5.[7:4] настроены как цифровые выходы .</p> <p>Бит 2: P5L: Бит выбора режима выходных драйверов младших четырех выводов Порта 5. 0: P5.[3:0] настроены как выходы с открытым стоком. 1: P5.[3:0] настроены как цифровые выходы .</p> <p>Бит 1: P4H: Бит выбора режима выходных драйверов старших четырех выводов Порта 4. 0: P4.[7:4] настроены как выходы с открытым стоком. 1: P4.[7:4] настроены как цифровые выходы .</p> <p>Бит 0: P4L: Бит выбора режима выходных драйверов младших четырех выводов Порта 4. 0: P4.[3:0] настроены как выходы с открытым стоком. 1: P4.[3:0] настроены как цифровые выходы .</p> | | | | | | | | |

Рисунок 17.21. P4: Регистр данных Porta 4

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|-------------------------|
| P4.7 | P4.6 | P4.5 | P4.4 | P4.3 | P4.2 | P4.1 | P4.0 | 11111111 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0x84 |

Биты 7-0: P4.[7:0]: Биты выходной защелки порта 4.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P74OUT сброшен в 0). См. рис.17.20.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P4.n низкий логический уровень.
 1: На выводе P4.n высокий логический уровень.

Примечание: P4.7 (/WR), P4.6 (/RD) и P4.5 (ALE) могут управляться интерфейсом внешней памяти данных (см. раздел 16).

Рисунок 17.22. P5: Регистр данных Porta 5

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|-------------------------|
| P5.7 | P5.6 | P5.5 | P5.4 | P5.3 | P5.2 | P5.1 | P5.0 | 11111111 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0x85 |

Биты 7-0: P5.[7:0]: Биты выходной защелки порта 5.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P74OUT сброшен в 0). См. рис.17.20.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P5.n низкий логический уровень.
 1: На выводе P5.n высокий логический уровень.

Примечание: P5.[7:0] могут управляться интерфейсом внешней памяти данных (как адреса [15:8] в немультимплексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 16.

Рисунок 17.23. P6: Регистр данных Porta 6

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 11111111 SFR Адрес: 0x86 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| P6.7 | P6.6 | P6.5 | P6.4 | P6.3 | P6.2 | P6.1 | P6.0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: P6.[7:0]: Биты выходной защелки порта 6.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P74OUT сброшен в 0). См. рис.17.20.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P6.n низкий логический уровень.
 1: На выводе P6.n высокий логический уровень.

Примечание: P6.[7:0] могут управляться интерфейсом внешней памяти данных (как разряды адреса [15:8] в мультиплексированном режиме, или как разряды адреса [7:0] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 16.

Рисунок 17.24. P7: Регистр данных Porta 7

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 11111111 SFR Адрес: 0x96 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| P7.7 | P7.6 | P7.5 | P7.4 | P7.3 | P7.2 | P7.1 | P7.0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: P7.[7:0]: Биты выходной защелки порта 7.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P74OUT сброшен в 0). См. рис.17.20.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P7.n низкий логический уровень.
 1: На выводе P7.n высокий логический уровень.

Примечание: P7.[7:0] могут управляться интерфейсом внешней памяти данных (как AD[7:0] в мультиплексированном режиме, или как D[7:0] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 16.

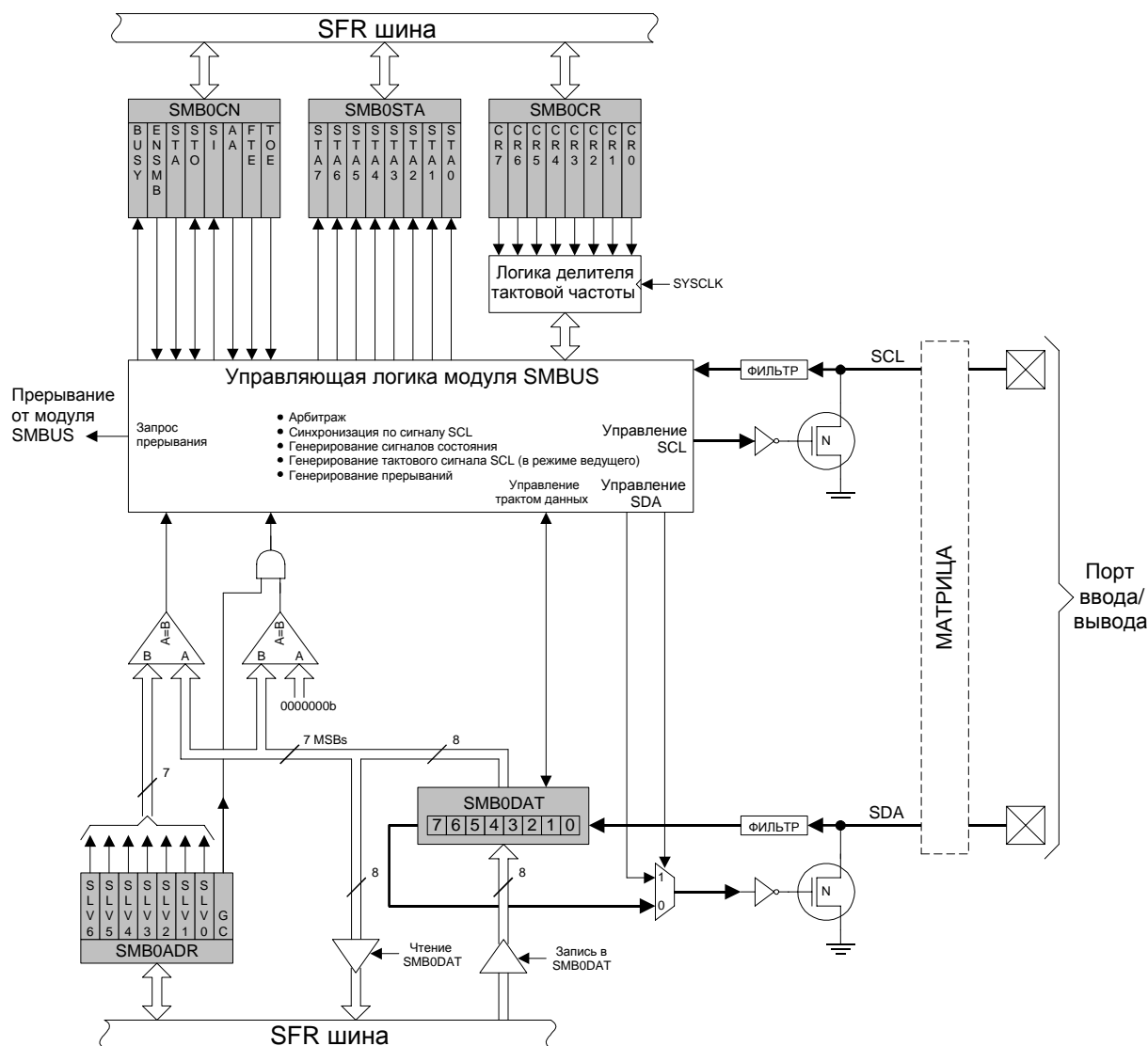
ПРИМЕЧАНИЯ

18. Модуль SMBus / I2C (SMBUS0)

Интерфейс ввода/вывода SMBus0 представляет собой двухпроводную двунаправленную последовательную шину. SMBus0 соответствует System Management Bus Specification (версия 1.1) и поддерживает обмен данными по протоколу I²C. Системный контроллер считывает данные с последовательной шины и записывает их в последовательную шину побайтно с помощью модуля SMBus, который автоматически управляет последовательной передачей данных. Максимальная скорость передачи данных составляет 1/8-ю системной тактовой частоты (эта скорость может превышать скорость, определенную в спецификации SMBus, в зависимости от используемой тактовой частоты). Для обеспечения возможности работы устройств с различной скоростью передачи данных на одной шине используется метод растягивания синхросигнала за счет удержания низкого уровня.

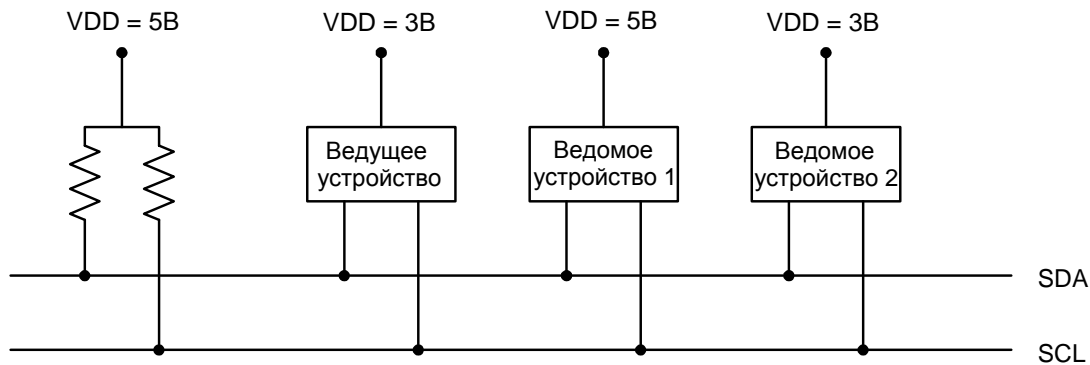
SMBus0 может работать как ведущий и/или ведомый, а также может функционировать на шине с несколькими ведущими. SMBus0 обеспечивает управление линией SDA (последовательные данные), генерацию тактовых импульсов SCL и синхронизацию, арбитраж, управление битами START/STOP и их генерацию. Управление SMBus0 осуществляется с помощью SFR регистров, описанных в разделе 18.4.

Рисунок 18.1. Структурная схема модуля SMBus0



На рис.18.2 приведена типичная схема подключения к шине SMBus. Интерфейс SMBus0 способен работать при любом напряжении от 3.0 до 5.0В, а различные устройства на шине могут иметь различные напряжения питания. Линии SCL (тактовые импульсы) и SDA (последовательные данные) являются двунаправленными. Необходимо подать на них положительное напряжение питания через подтягивающий резистор или подобную схему. Каждое устройство, подключенное к шине, должно иметь выход с открытым стоком или с открытым коллектором как для линии SCL, так и для линии SDA, тогда при свободной шине обе линии будут «подтянуты» к напряжению высокого логического уровня. Максимальное количество устройств на шине ограничивается только следующим требованием: время нарастания и спада сигнала на линиях шины не должно превышать 300нс и 1000нс соответственно.

Рисунок 18.2. Подключение к шине SMBus



18.1. Техническая документация

Предполагается, что читатель знаком со следующими техническими документами или имеет доступ к ним:

1. *The I²C-bus and how to use it (including specifications)*, Philips Semiconductor.
2. *The I²C-Bus Specification -- Version 2.0*, Philips Semiconductor.
3. *System Management Bus Specification -- Version 1.1*, SBS Implementers Forum.

18.2. Протокол SMBus

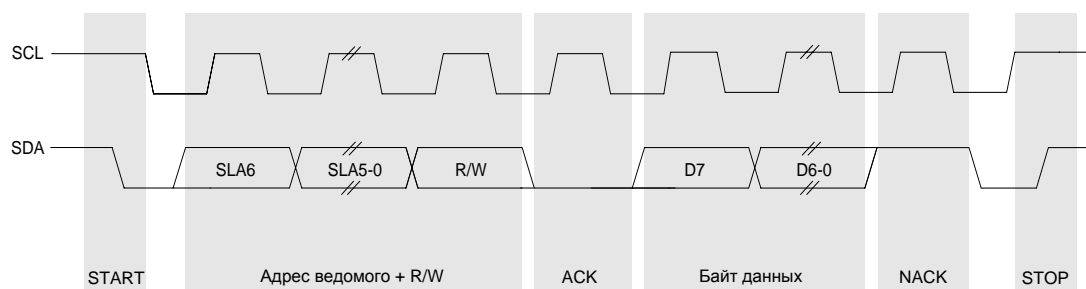
Возможны два режима передачи данных: передача данных от ведущего передатчика к адресуемому ведомому приемнику (ЗАПИСЬ) и передача данных от адресуемого ведомого передатчика к ведущему приемнику (ЧТЕНИЕ). Ведущее устройство инициирует процесс передачи данных в обоих режимах и генерирует тактовый сигнал на линии SCL. Допускается также работа нескольких ведущих устройств на одной шине. Если два или более ведущих пытаются инициировать процесс передачи данных одновременно, то применяемая схема арбитража всегда определит одного ведущего, который выиграет арбитраж и захватит управление шиной. Следует иметь в виду, что нет необходимости определять какое-либо устройство как ведущее в системе; любое устройство, которое передает, бит START и адрес ведомого, становится ведущим для этого сеанса связи.

Типичное сообщение SMBus состоит из бита START, следующего за ним байта адреса (биты 7-1: 7-разрядный адрес ведомого; бит 0: бит направления передачи R/W), одного или нескольких байт данных и бита STOP. Каждый принятый (ведущим или ведомым) байт должен быть подтвержден (ACK) низким уровнем сигнала на линии SDA во время высокого уровня сигнала на линии SCL (см. рис.18.3). Если принимающее устройство не подтверждает прием, то передающее устройство воспримет этот факт как бит «нет подтверждения» (NACK), который представляет собой высокий уровень сигнала на линии SDA во время высокого уровня сигнала на линии SCL.

Бит направления занимает самый младший значащий разряд адреса. Бит направления устанавливается в 1 для выполнения операции чтения и сбрасывается в 0 для выполнения операции записи.

Все сеансы обмена данными инициируются ведущим, который адресует одно или несколько ведомых устройств. Ведущий генерирует бит START и затем передает адрес ведомого и бит направления. Если инициируется операция записи от ведущего к ведомому, то ведущий передает по одному байту данных за раз, ожидая бита подтверждения (ACK) от ведомого в конце каждого байта. Если осуществляется операция чтения, то ведомый передает данные, ожидая бита подтверждения (ACK) от ведущего в конце каждого байта. В конце сеанса передачи данных ведущий генерирует бит STOP, чтобы завершить сеанс и освободить шину. На рис.18.3 показан формат типичного сообщения SMBus.

Рисунок 18.3. Формат сообщения SMBus



18.2.1. Арбитраж

Ведущий может начать сеанс передачи, только если шина свободна. Шина является свободной после бита STOP или после того, как на линиях SCL и SDA в течение определенного времени удерживается высокий уровень сигнала. В случае, когда два или более ведущих устройства пытаются начать передачу данных одновременно, используется схема арбитража, которая заставит какое-либо ведущее устройство освободить шину. Ведущие устройства продолжают передавать до тех пор, пока один из ведущих не попытается передать на линию SDA сигнал высокого уровня, в то время как другие ведущие выдают на эту линию сигнал низкого уровня. Ведущее устройство, пытающееся передать на линию SDA сигнал высокого уровня, определит, что вместо сигнала высокого уровня на линии SDA присутствует сигнал низкого уровня, и освободит шину. Выигравший арбитраж ведущий продолжает передавать свои данные без какого-либо перерыва; потерявший арбитраж ведущий становится ведомым и принимает остаток передаваемых данных. Данная схема арбитража является не разрушающей: какое-нибудь одно устройство всегда выигрывает и никакие данные не теряются.

18.2.2. Растягивание тактового сигнала

Модуль SMBus обеспечивает механизм тактовой синхронизации, аналогичный I²C, который позволяет устройствам с различной скоростью передачи данных сосуществовать на одной шине. Чтобы позволить медленным ведомым устройствам обмениваться данными с быстрыми ведущими, применяется растягивание тактовых импульсов на участке с низким уровнем сигнала. Ведомый может временно удерживать линию SCL

на низком уровне, тем самым удлиняя период тактового сигнала (за счет удлинения участка с низким уровнем) и уменьшая таким образом частоту тактирования шины.

18.2.3. Таймаут низкого уровня на линии SCL

Если линия SCL удерживается на низком уровне ведомым устройством, то дальнейший обмен данными по шине невозможен. Кроме того, ведущий не может установить на линии SCL высокий уровень, чтобы исправить бит ошибки. Чтобы решить эту проблему, протокол SMBus определяет, что устройства, участвующие в обмене, должны распознавать как условие «таймаута» любой тактовый цикл, в котором сигнал удерживается на низком уровне более 25мс. Устройства, которые обнаружили такое условие таймаута, должны в течение 10мс после этого сбросить свои модули обмена.

18.2.4. Таймаут высокого уровня на линии SCL (шина SMBus свободна)

Спецификация SMBus оговаривает, что если устройство удерживает линии SCL и SDA на высоком уровне более 50 мкс, то шина считается свободной. Если устройство на шине SMBus ожидает освобождения шины, чтобы сгенерировать бит START (в ведущем режиме), то он будет сгенерирован сразу же после истечения таймаута освобождения шины.

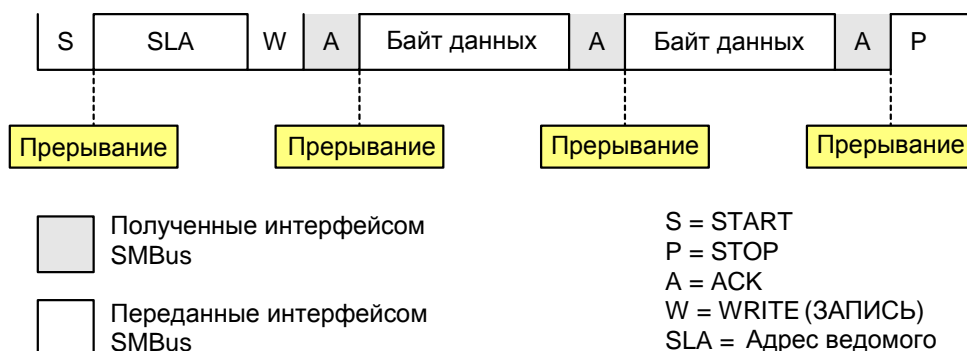
18.3. Режимы работы модуля SMBus

Модуль SMBus может быть настроен для работы как в режиме ведущего, так и в режиме ведомого. В любой конкретный момент времени он может работать в одном из четырех режимов: ведущий передатчик, ведущий приемник, ведомый передатчик, ведомый приемник. Значение регистра состояния SMB0STA определяет состояние режима передачи модуля SMBus0 (см. табл.18.1). Приведенные ниже описания режимов показывают применение модуля SMBus0 с использованием управления по прерываниям; кроме этого работа с модулем SMBus0 возможна в режиме опроса.

18.3.1. Режим ведущего передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы выдаются на линию SCL. SMBus0 генерирует бит START и затем передает первый байт, который содержит адрес целевого ведомого устройства и бит направления. В этом случае бит направления (R/W) должен быть сброшен в 0, иницируя операцию записи. Затем модуль SMBus0 передает один или несколько байт последовательных данных, ожидая подтверждения (ACK) от ведомого после каждого байта. Для обозначения конца сеанса передачи последовательных данных ведущее устройство генерирует бит STOP.

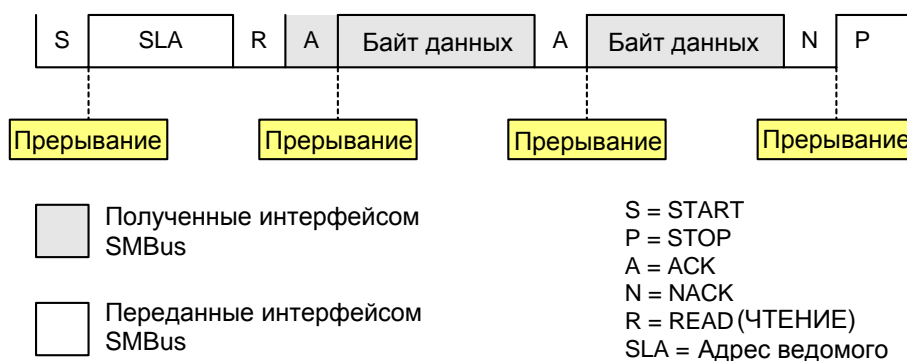
Рисунок 18.4. Передача данных в режиме ведущего



18.3.2. Режим ведущего приемника

Последовательные данные принимаются с линии SDA, а тактовые импульсы выдаются на линию SCL. Модуль SMBus0 генерирует бит START и затем передает первый байт, который содержит адрес целевого ведомого устройства и бит направления. В этом случае бит направления (R/W) должен быть установлен в 1, иницируя операцию чтения. Модуль SMBus0 принимает последовательные данные от ведомого по линии SDA, при этом генерирует тактовые импульсы на линии SCL. После приема каждого байта модуль SMBus0 генерирует биты подтверждения (ACK) или неподтверждения (NACK) в зависимости от состояния бита AA регистра SMB0CN. Для обозначения конца сеанса передачи последовательных данных ведущий генерирует бит STOP.

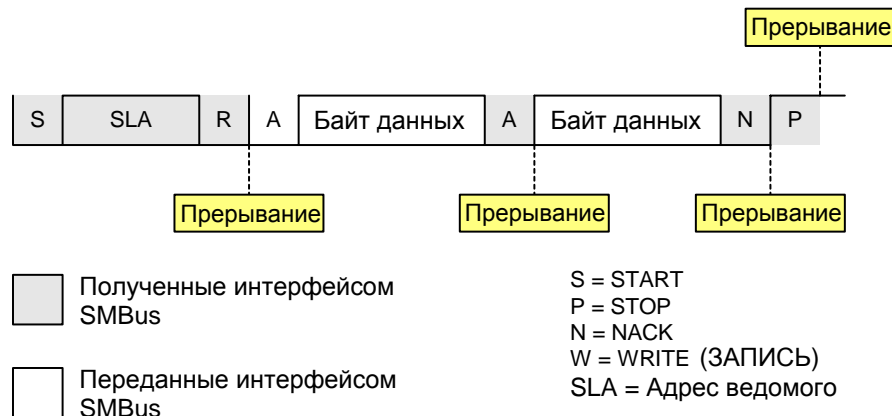
Рисунок 18.5. Прием данных в режиме ведущего



18.3.3. Режим ведомого передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы принимаются с линии SCL. Модуль SMBus0 принимает бит START, а вслед за ним байт данных, который содержит адрес ведомого и бит направления. В этом случае бит направления (R/W) должен быть установлен в 1, инициируя операцию чтения. Если принятый адрес ведомого соответствует адресу, хранящемуся в регистре SMB0ADR, то модуль SMBus0 генерирует бит подтверждения (ACK). Модуль SMBus0 также будет генерировать бит подтверждения (ACK), если принятый адрес является адресом общего вызова (0x00) и бит разрешения адреса общего вызова (SMB0ADR.0) установлен в 1. Модуль SMBus0 принимает тактовые импульсы по линии SCL и передает ведущему один или несколько байт последовательных данных, ожидая подтверждения (ACK) от ведущего после каждого байта. Модуль SMBus0 выходит из режима ведомого после приема бита STOP от ведущего.

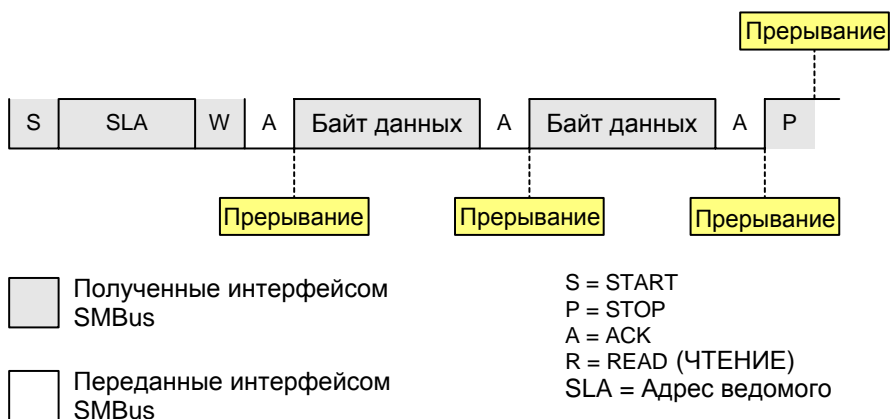
Рисунок 18.6. Передача данных в режиме ведомого



18.3.4. Режим ведомого приемника.

Последовательные данные принимаются с линии SDA, а тактовые импульсы принимаются с линии SCL. Модуль SMBus0 принимает бит START, а вслед за ним байт данных, который содержит адрес ведомого и бит направления. В этом случае бит направления (R/W) должен быть сброшен в 0, инициируя операцию записи. Если принятый адрес ведомого соответствует адресу, хранящемуся в регистре SMB0ADR, то модуль SMBus0 генерирует бит подтверждения (ACK). Модуль SMBus0 также будет генерировать бит подтверждения (ACK), если принятый адрес является адресом общего вызова (0x00) и бит разрешения адреса общего вызова (SMB0ADR.0) установлен в 1. Модуль SMBus0 принимает один или несколько байт последовательных данных; после приема каждого байта модуль SMBus0 передает биты подтверждения (ACK) или неподтверждения (NACK) в зависимости от состояния бита AA регистра SMB0CN. Модуль SMBus0 выходит из режима ведомого приемника после приема бита STOP от ведущего.

Рисунок 18.7. Прием данных в режиме ведомого



18.4. Регистры специального назначения модуля SMBus

Для доступа к интерфейсу SMBus и управления им используются пять регистров SFR: регистр управления SMB0CN, регистр установки тактовой частоты SMB0CR, регистр адреса SMB0ADR, регистр данных SMB0DAT и регистр состояния SMB0STA. Все эти регистры описываются в следующих разделах.

18.4.1. Регистр управления

Регистр управления SMB0CN используется для управления модулем SMBus и его настройки. Все биты этого регистра могут быть прочитаны и записаны программно. Два из управляющих битов также устанавливаются модулем SMBus0 аппаратно. Флаг прерывания от последовательного порта (SI, SMB0CN.3) устанавливается в 1 аппаратно при возникновении прерывания от модуля SMBus. Он может быть сброшен только программно. Флаг STOP (STO, SMB0CN.4) сбрасывается в 0 аппаратно при обнаружении на шине бита STOP.

Установка в 1 флага ENSMB включает модуль SMBus. Сброс в 0 флага ENSMB отключает модуль SMBus и удаляет его с шины. Сброс флага ENSMB и затем повторная его установка в 1 приведут к сбросу модуля SMBus. Однако, флаг ENSMB не следует использовать для временного удаления устройства с шины, т.к. информация о состоянии шины будет потеряна. Вместо этого для временного удаления устройства с шины следует использовать флаг назначения подтверждения AA (описание флага AA приведено ниже).

Установка в 1 флага запуска (STA, SMB0CN.5) переведет модуль SMBus в режим ведущего. Если шина свободна, модуль SMBus сгенерирует бит START. Если шина занята, то модуль SMBus будет ожидать бита STOP, свидетельствующего об освобождении шины, и затем сгенерирует бит START через 5мкс после задержки, определяемой значением регистра SMB0CR. (В соответствии с протоколом SMBus, модуль SMBus также будет считать шину свободной, если шина простаивает в течение 50мкс и бит STOP не обнаружен). Если бит STA устанавливается в 1 в то время, когда модуль SMBus находится в режиме ведущего и уже переданы один или несколько байт, то будет сгенерировано событие «повторный START». Чтобы гарантировать правильное функционирование, флаг STO следует явно сбросить в 0 до установки в 1 бита STA.

Если флаг окончания передачи (STO, SMB0CN.4) устанавливается в 1 в то время, когда модуль SMBus находится в режиме ведущего, то модуль SMBus сгенерирует на шине бит STOP. В режиме ведомого флаг STO можно использовать для восстановления из состояния сбоя. В это случае бит STOP не генерируется, но модуль SMBus ведет себя так, как будто бит STOP уже получен, и переходит в режим «не адресованного» ведомого приемника. Следует иметь в виду, что этот условный бит STOP не вызовет освобождения шины. Шина будет оставаться занятой до тех пор, пока на ней не появится бит STOP или пока не произойдет условие таймаута освобождения шины. При обнаружении на шине бита STOP модуль SMBus автоматически сбрасывает в 0 флаг STO.

Флаг прерываний от последовательного порта (SI, SMB0CN.3) устанавливается аппаратно в 1, если интерфейс SMBus переходит к одному из 27 возможных состояний. Если прерывания для модуля SMBus разрешены, то при установке в 1 флага SI генерируется запрос прерывания. Флаг SI должен быть сброшен программно.

Важное примечание: Если флаг SI установлен в 1 в то время, когда на линии SCL удерживается низкий уровень сигнала, то период тактового импульса будет «растягиваться» (на участке с низким уровнем сигнала) и передача последовательных данных по шине приостановится до тех пор, пока не будет сброшен в 0 флаг SI. На длительность высокого уровня сигнала на линии SCL установка флага SI не влияет.

Флаг назначения подтверждения AA (AA, SMB0CN.2) используется для задания уровня сигнала на линии SDA во время тактового импульса подтверждения на линии SCL. Установка в 1 флага AA приведет к передаче бита подтверждения ACK (низкий уровень сигнала на линии SDA) во время тактового импульса подтверждения на линии SCL, если устройство распознало свой адрес. Сброс в 0 флага AA приведет к передаче бита «нет подтверждения» NACK (высокий уровень сигнала на линии SDA) во время тактового импульса подтверждения на линии SCL. После передачи байта в режиме ведомого ведомое устройство можно временно удалить с шины путем сброса в 0 флага AA. Собственный адрес ведомого и адрес общего вызова будут игнорироваться. Для восстановления работы на шине необходимо установить в 1 флаг AA, чтобы разрешить ведомому распознавать свой адрес.

Установка в 1 бита разрешения таймера освобождения шины SMBus (FTE, SMB0CN.1) включит таймер отсчета таймаута освобождения шины, который определяется значением регистра SMB0CR. Если на линии SCL удерживается высокий уровень сигнала, то таймер отсчитывает таймаут, определяемый регистром SMB0CR. Переполнение таймера означает истечение таймаута освобождения шины: если модуль SMBus0 ожидает момента для генерации бита START, то он сгенерирует его после истечения данного таймаута. Период освобождения шины должен быть не более 50мкс (см. рис.18.9).

Когда бит (TOE, SMB0CN.0) установлен в 1, Таймер 3 используется для отсчета таймаута низкого уровня сигнала на линии SCL. Если Таймер 3 включен (см. раздел 22.2), то он будет перезагружаться, когда на линии SCL присутствует сигнал высокого уровня, и будет отсчитывать таймаут, когда на линии SCL присутствует сигнал низкого уровня. Если Таймер 3 включен и настроен на переполнение через 25мс (и бит TOE установлен в 1), то переполнение Таймера 3 означает истечение таймаута низкого уровня сигнала на линии SCL; в этом случае для сброса модуля SMBus0 можно использовать процедуру обработки прерывания от Таймера 3.



Рисунок 18.8. SMB0CN: Регистр управления модуля SMBus0

| R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|--|-------|-------|-------|-------|-------|-------|---------------------------------------|----------------------|
| BUSY | ENSMB | STA | STO | SI | AA | FTE | TOE | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xC0 |
| | | | | | | | (доступен в битовом режиме адресации) | |
| <p>Бит 7: BUSY: Флаг занятости шины SMBus.</p> <p>0: Шина SMBus свободна</p> <p>1: Шина SMBus занята</p> <p>Бит 6: ENSMB: Включение модуля SMBus.</p> <p>Этот бит включает/отключает последовательный интерфейс SMBus</p> <p>0: SMBus отключен.</p> <p>1: SMBus включен.</p> <p>Бит 5: STA: Флаг запуска модуля SMBus.</p> <p>0: Бит START не передается.</p> <p>1: При работе в режиме ведущего бит START передается, если шина свободна. (Если шина не свободна, то бит START передается после приема бита STOP.) Если бит STA устанавливается после передачи или приема одного или нескольких байт и до приема бита STOP, то передается бит «повторный START». Бит STO следует явно сбросить в 0 до установки в 1 бита STA.</p> <p>Бит 4: STO: Флаг окончания передачи модуля SMBus.</p> <p>0: Бит STOP не передается.</p> <p>1: Установка в 1 бита STO приведет к передаче бита STOP. При приеме бита STOP флаг STO аппаратно сбрасывается в 0. Если оба флага STA и STO установлены в 1, то вслед за битом STOP передается бит START. В режиме ведомого установка флага STO заставит модуль SMBus вести себя так, как будто получен бит STOP.</p> <p>Бит 3: SI: Флаг прерывания от последовательного порта SMBus.</p> <p>Этот бит устанавливается аппаратно при переходе модуля SMBus к одному из 27 возможных состояний. (Состояние с кодом 0xF8 не вызывает установку бита SI.) Если прерывание от SI разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SMBus. Этот бит автоматически аппаратно не сбрасывается и должен быть сброшен программно.</p> <p>Бит 2: AA: Флаг назначения подтверждения .</p> <p>Этот бит определяет тип бита подтверждения, передаваемого во время тактового цикла подтверждения на линии SCL.</p> <p>0: Во время тактового цикла подтверждения передается бит «нет подтверждения» (высокий уровень сигнала на линии SDA).</p> <p>1: Во время тактового цикла подтверждения передается бит «подтверждение» (низкий уровень сигнала на линии SDA).</p> <p>Бит 1: FTE: Бит разрешения таймера освобождения шины SMBus</p> <p>0: Не используется таймаут высокого уровня на линии SCL</p> <p>1: Если время удержания высокого уровня на линии SCL превышает предел, определяемый значением регистра SMB0CR, то происходит условие таймаута.</p> <p>Бит 0: TOE: Бит разрешения таймаута SMBus</p> <p>0: Не используется таймаут низкого уровня на линии SCL.</p> <p>1: Если время удержания низкого уровня на линии SCL превышает предел, определяемый Таймером 3 (если он включен), то происходит условие таймаута.</p> | | | | | | | | |

18.4.2. Регистр установки тактовой частоты модуля SMBus

Рисунок 14.5. SMB0CR: Регистр установки тактовой частоты модуля SMBus

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xCF |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SMB0CR.[7:0]: Установка тактовой частоты модуля SMBus0

Регистр установки тактовой частоты SMB0CR управляет частотой тактовых импульсов, выдаваемых на линию SCL в режиме ведущего. 8-разрядное слово, сохраненное в регистре SMB0CR, загружается в специальный 8-разрядный таймер. Этот таймер считает в прямом направлении и когда он переполнится (из состояния 0xFF в состояние 0x00), состояние сигнала на линии SCL изменится на противоположное.

Значение SMB0CR ограничивается следующим уравнением:

$$SMB0CR < ((288 - 0.85 * SYSCLK) / 1.125), \text{ где}$$

SMB0CR – 8-разрядное значение (без знака) регистра SMB0CR;
 SYSCLK – системная тактовая частота в [Гц].

Длительность удержания низкого и высокого уровней тактового сигнала на линии SCL определяется следующими уравнениями:

$$T_{LOW} = (256 - SMB0CR) / SYSCLK$$

$$T_{HIGH} = (258 - SMB0CR) / SYSCLK + 625\text{нс}$$

Значение регистра SMB0CR определяет также таймаут освобождения шины в соответствии со следующим уравнением:

$$T_{BFT} = 10 * [(256 - SMB0CR) + 1] / SYSCLK$$

18.4.3. Регистр данных

Регистр данных модуля SMBus0 SMB0DAT содержит байт последовательных данных, который необходимо передать, или байт последовательных данных, который только что принят. Программа может прочитать из регистра или записать в регистр данные, когда флаг SI установлен в 1; программа не должна пытаться обратиться к регистру SMB0DAT, когда модуль SMBus включен и флаг SI сброшен в 0, т.к. в этот момент может осуществляться аппаратный сдвиг байта данных в регистр или из регистра.

Данные всегда сдвигаются старшими разрядами вперед. После приема байта первый бит принятых данных занимает старший разряд регистра SMB0DAT. Когда данные выдвигаются из регистра, они одновременно появляются на шине. Поэтому регистр SMB0DAT всегда содержит последний байт данных, присутствующий в настоящий момент на шине. Таким образом, в случае потери арбитража переход от ведущего передатчика к ведомому приемнику осуществляется с корректными данными в регистре SMB0DAT.

Рисунок 18.10. SMB0DAT: Регистр данных модуля SMBus0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xC2 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SMB0DAT: Данные модуля SMBus.

Регистр SMB0DAT содержит байт данных, которые должны передаваться последовательному интерфейсу SMBus, или данные, только что принятые от последовательного интерфейса SMBus. Читать из этого регистра или записывать в этот регистр можно всегда, когда флаг прерывания от последовательного порта SI (SMB0CN.3) установлен в 1. Когда флаг SI не установлен в 1, система может находиться в процессе сдвига данных в регистр (или из регистра) SMB0DAT и обращаться к этому регистру нельзя.

18.4.4. Регистр адреса

Регистр адреса SMB0ADR содержит адрес ведомого для интерфейса SMBus. В ведомом режиме семь старших значащих битов образуют 7-битный адрес ведомого. Младший значащий бит, бит 0, используется для разрешения распознавания адреса общего вызова (0x00). Если бит 0 установлен в 1, адрес общего вызова будет распознаваться. В противном случае, адрес общего вызова будет игнорироваться. Содержимое этого регистра игнорируется, если модуль SMBus работает в ведущем режиме.

Рисунок 18.11. SMB0ADR: Регистр адреса модуля SMBus

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xC3 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| SLV6 | SLV5 | SLV4 | SLV3 | SLV2 | SLV1 | SLV0 | GC | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-1: SLV6-SLV0: Адрес ведомого SMBus

Эти биты загружаются 7-разрядным адресом ведомого, на который будет отвечать модуль SMBus при работе в качестве ведомого передатчика или ведомого приемника. SLV6 является старшим значащим битом адреса и соответствует первому биту адресного байта, полученного по шине SMBus.

Бит 0: GC: Разрешение адреса общего вызова.

Этот бит используется для разрешения распознавания адреса общего вызова (0x00).

0: Адрес общего вызова игнорируется.

1: Адрес общего вызова распознается.

18.4.5. Регистр состояния

Регистр состояния SMB0STA содержит 8-битный код состояния, показывающий текущее состояние модуля SMBus. Существует 28 возможных состояний модуля SMBus, каждому из которых соответствует уникальный код состояния. Пять старших значащих битов кода состояния могут иметь различные значения, а три младших значащих бита для корректных кодов состояния всегда равны нулю, когда SI = 1. Поэтому все возможные коды состояния кратны восьми. Это позволяет применять в программе код состояния в качестве индекса, используемого для перехода на соответствующую процедуру обслуживания (используя 8 байт кода для обслуживания состояния или для перехода на более сложную процедуру обслуживания).

Для нужд программы пользователя содержимое регистра SMB0STA определено только тогда, когда флаг SI установлен в 1. Программа никогда не должна записывать данные в регистр SMB0STA. Это приведет к неопределенному результату. В табл.18.1 приведены все 28 состояний модуля SMBus вместе с соответствующими им кодами.

Рисунок 18.12. SMB0STA: Регистр состояния модуля SMBus0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xC1 |
|--|-------|-------|-------|-------|-------|-------|-------|---|
| STA7 | STA6 | STA5 | STA4 | STA3 | STA2 | STA1 | STA0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Биты 7-3: STA7-STA3: Код состояния модуля SMBus.</p> <p>Эти биты содержат код состояния модуля SMBus. Существует 28 возможных кодов состояния. Каждый код состояния соответствует единственному состоянию модуля SMBus. Корректный код состояния присутствует в регистре SMB0STA, когда флаг SI (SMB0CN.3) установлен в 1. Содержимое регистра SMB0STA не определено, когда флаг SI равен нулю. Запись в регистр SMB0STA в любое время даст неопределенный результат.</p> | | | | | | | | |
| <p>Биты 2-0: STA2-STA0: Три младших значащих бита регистра SMB0STA всегда читаются как 0, когда флаг SI установлен в 1</p> | | | | | | | | |



Таблица 18.1. Коды состояния модуля SMBus

| Код состояния (SMB0STA) | Режим | Состояние модуля SMBus | Типичное действие |
|-------------------------|-----------------------------|---|---|
| 0x00 | Все режимы | Ошибка шины (т.е. некорректный START, некорректный STOP, ...) | Установка STO для сброса SMBus |
| 0x08 | Ведущий передатчик/приемник | Передан бит START. | Загрузка SMB0DAT адресом ведомого + R/W. Сброс STA. |
| 0x10 | Ведущий передатчик/приемник | Передан бит «повторный START». | Загрузка SMB0DAT адресом ведомого + R/W. Сброс STA. |
| 0x18 | Ведущий передатчик | Передан адрес ведомого + W. Получен ACK. | Загрузка SMB0DAT данными для передачи |
| 0x20 | Ведущий передатчик | Передан адрес ведомого + W. Получен NACK. | Повтор опроса подтверждения. Установка STO + STA. |
| 0x28 | Ведущий передатчик | Передан байт данных. Получен ACK. | 1) Загрузка SMB0DAT следующим байтом, или 2) Установка STO, или 3) Сброс STO, а затем установка STA для передачи бита «повторный START» |
| 0x30 | Ведущий передатчик | Передан байт данных. Получен NACK. | 1) Повтор передачи, или 2) Установка STO |
| 0x38 | Ведущий передатчик | Потерян арбитраж. | Сохранение текущих данных |
| 0x40 | Ведущий приемник | Передан адрес ведомого + R. Получен ACK. | Если необходимо принять только один байт, то сброс AA (передача NACK после приема байта). Ожидание принимаемых данных |
| 0x48 | Ведущий приемник | Передан адрес ведомого + R. Получен NACK. | Повтор опроса подтверждения. Установка STO + STA. |
| 0x50 | Ведущий приемник | Получен байт данных. Передан ACK. | Чтение SMB0DAT. Ожидание следующего байта. Если следующий байт является последним, то сброс AA. |
| 0x58 | Ведущий приемник | Получен байт данных. Передан NACK. | Установка STO. |
| 0x60 | Ведомый приемник | Получен собственный адрес ведомого + W. Передан ACK. | Ожидание данных. |
| 0x68 | Ведомый приемник | При передаче в ведущем режиме адреса ведомого + R/W потерян арбитраж. Получен собственный адрес ведомого + W. Передан ACK. | Сохранить текущие данные для повтора передачи, когда шина освободится. Ожидание данных. |
| 0x70 | Ведомый приемник | Получен адрес общего вызова (0x00). Передан ACK. | Ожидание данных. |
| 0x78 | Ведомый приемник | При передаче в ведущем режиме адреса ведомого + R/W потерян арбитраж. Получен адрес общего вызова (0x00). Передан ACK. | Сохранить текущие данные для повтора передачи, когда шина освободится. |
| 0x80 | Ведомый приемник | Получен собственный адрес ведомого + W. Получен байт данных. Передан ACK. | Чтение SMB0DAT. Ожидание следующего байта или STOP. |
| 0x88 | Ведомый приемник | Получен собственный адрес ведомого + W. Получен байт данных. Передан NACK. | Установка STO для сброса SMBus. |

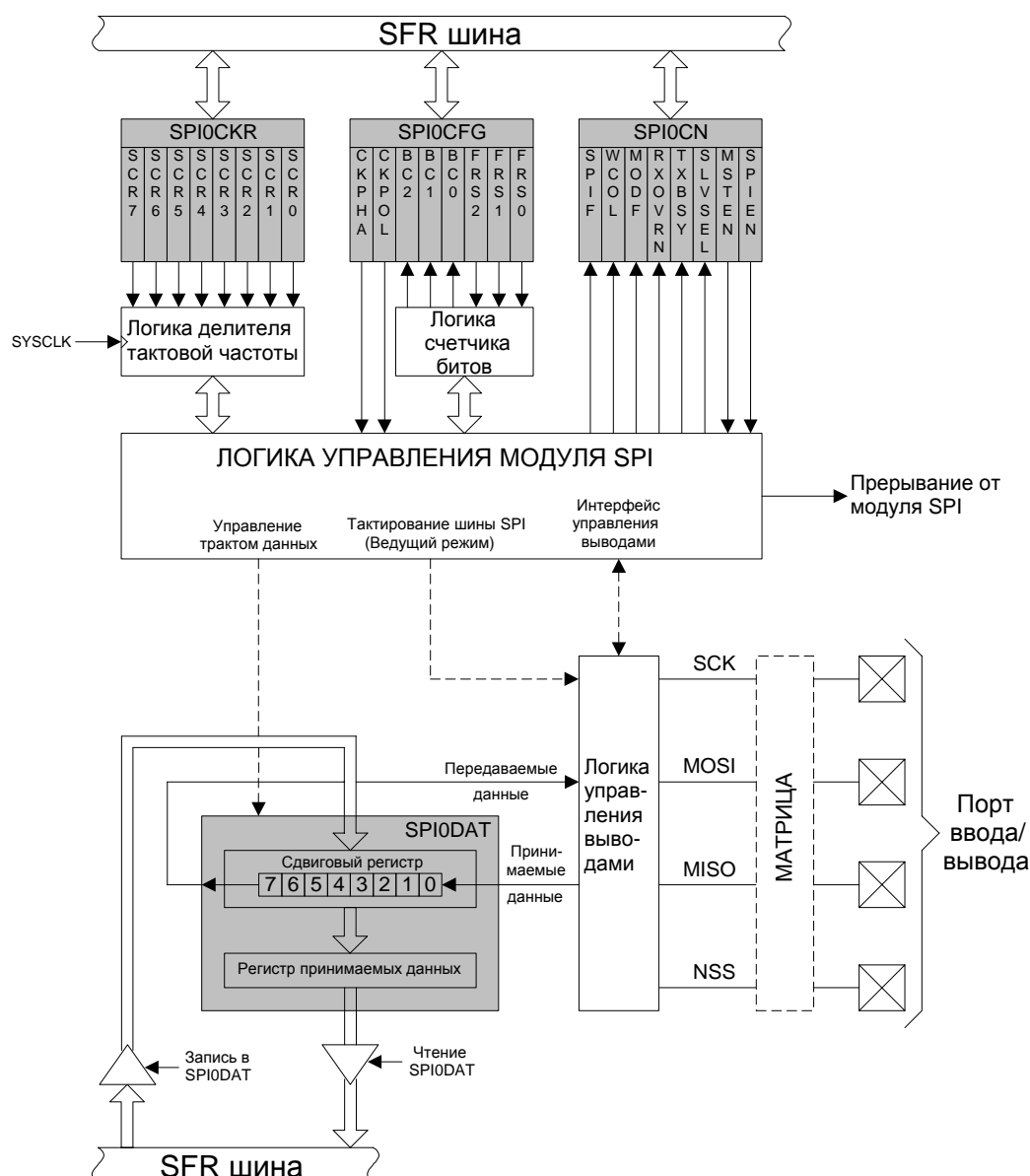
| Код состояния (SMB0STA) | Режим | Состояние модуля SMBus | Типичное действие |
|-------------------------|-----------------------------|---|--|
| 0x90 | Ведомый приемник | Получен адрес общего вызова (0x00). Получен байт данных. Передан ACK. | Чтение SMB0DAT. Ожидание следующего байта или STOP. |
| 0x98 | Ведомый приемник | Получен адрес общего вызова (0x00). Получен байт данных. Передан NACK. | Установка STO для сброса SMBus. |
| 0xA0 | Ведомый приемник | Получен бит STOP или «повторный START», когда устройство адресуется в качестве ведомого. | Никаких действий не требуется. |
| 0xA8 | Ведомый передатчик | Получен собственный адрес ведомого + R. Передан ACK. | Загрузка SMB0DAT данными для передачи. |
| 0xB0 | Ведомый передатчик | При передаче в ведущем режиме адреса ведомого + R/W потерян арбитраж. Получен собственный адрес ведомого + R. Передан ACK. | Сохранить текущие данные для повтора передачи, когда шина освободится. Загрузка SMB0DAT данными для передачи. |
| 0xB8 | Ведомый передатчик | Передан байт данных. Получен ACK. | Загрузка SMB0DAT данными для передачи |
| 0xC0 | Ведомый передатчик | Передан байт данных. Получен NACK. | Ожидание бита STOP. |
| 0xC8 | Ведомый передатчик | Передан последний байт данных (AA=0). Получен ACK. | Установка STO для сброса SMBus. |
| 0xD0 | Ведомый передатчик/приемник | Истек таймаут высокого уровня на линии SCL, определяемый значением регистра SMB0CR (при FTE=1) | Установка STO для сброса SMBus. |
| 0xF8 | Все режимы | Простой (ожидание) | Флаг SI не установлен. |

19. МОДУЛЬ SPI (SPI0)

Модуль SPI0 обеспечивает доступ к четырех проводной полнодуплексной последовательной шине. SPI0 может работать как в ведущем, так и в ведомом режимах, а также поддерживает работу нескольких ведомых и ведущих устройств на одной шине. Вход выбора ведомого (NSS) используется для выбора модуля SPI0 в качестве ведомого устройства; дополнительный порт ввода/вывода общего назначения можно использовать в качестве выходов выбора ведомых, когда модуль SPI0 работает в ведущем режиме. Имеется схема обнаружения конфликтов на случай, если два или более ведущих попытаются передать данные одновременно. Модуль SPI может работать как в ведущем, так и в ведомом режимах. Когда модуль SPI настроен как ведущий, максимальная скорость передачи данных (бит/сек) равна половине частоты системного тактового сигнала.

Когда модуль SPI настроен как ведомый, максимальная скорость передачи данных (бит/сек) для полнодуплексного режима передачи равна 1/10 системной тактовой частоты, при условии, что сигналы от ведущего SCK, NSS и последовательные входные данные синхронизированы с системной тактовой частотой. Если сигналы от ведущего SCK, NSS и последовательные входные данные асинхронны, то максимальная скорость передачи данных (бит/сек) должна быть меньше 1/10 системной тактовой частоты. В особом случае, когда ведущему требуется только передавать данные ведомому и не требуется принимать от него данные (т.е. полудуплексный режим), ведомый модуль SPI может принимать данные с максимальной скоростью (бит/сек), равной ¼ системной тактовой частоты. Это справедливо при условии, что сигналы от ведущего SCK, NSS и последовательные входные данные синхронизированы с системной тактовой частотой.

Рисунок 19.1. Структурная схема модуля SPI



19.1. Описание сигналов

Ниже описаны четыре сигнала, используемые интерфейсом SPI (MOSI, MISO, SCK, NSS).

19.1.1. Выход ведущего, вход ведомого

Сигнал MOSI (master-out, slave-in - «выход ведущего, вход ведомого») является выходом данных ведущего устройства и входом данных ведомых устройств. Этот сигнал является выходом, если SPI0 работает в ведущем режиме, и входом, если SPI0 работает в ведомом режиме. Он используется для последовательной передачи данных от ведущего к ведомому. Данные передаются старшими значащими разрядами вперед.

19.1.2. Вход ведущего, выход ведомого

Сигнал MISO (master-in, slave-out - «вход ведущего, выход ведомого») является выходом данных ведомого устройства и входом данных ведущего устройства. Он используется для последовательной передачи данных от ведомого к ведущему. Этот сигнал является входом, если SPI0 работает в ведущем режиме, и выходом, если SPI0 работает в ведомом режиме. Данные передаются старшими значащими разрядами вперед. Когда ведомое устройство не выбрано, его модуль SPI переводит вывод MISO в высокоимпедансное состояние.

19.1.3. Тактовые импульсы

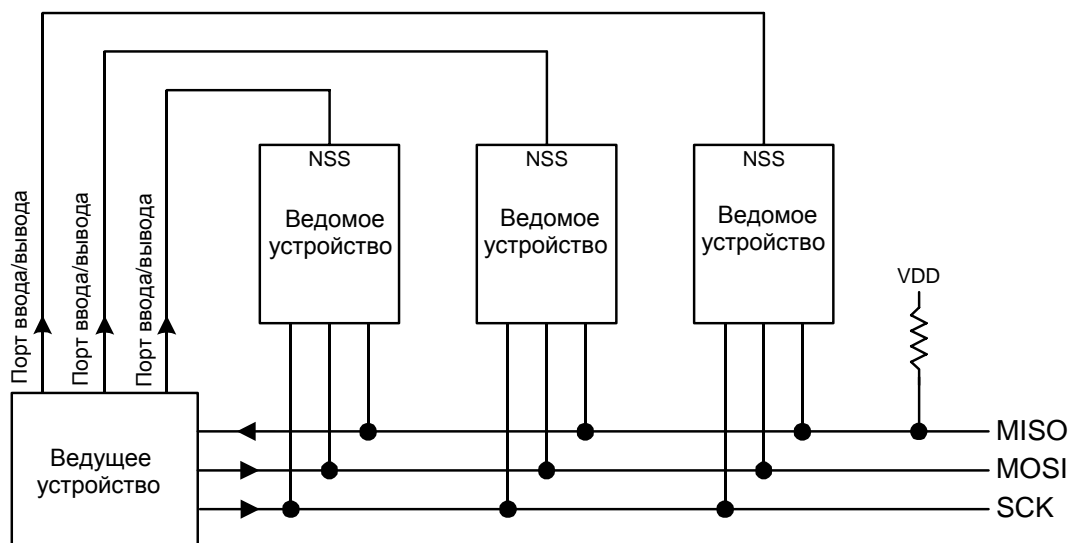
Сигнал SCK (serial clock - «импульсы тактирования последовательного интерфейса») является выходом ведущего устройства и входом ведомых устройств. Он используется для синхронизации обмена данными между ведущим и ведомым устройствами по линиям MOSI и MISO. SPI0 генерирует этот сигнал, когда работает в ведущем режиме.

19.1.4. Выбор ведомого

Сигнал «Выбор ведомого» (NSS) является входом, используемым для выбора модуля SPI, работающего в ведомом режиме, или для отключения модуля SPI, работающего в ведущем режиме. В ведомом режиме он удерживается на низком уровне в течение всего сеанса обмена данными. Сигнал NSS всегда является входом SPI0; если SPI0 работает в ведущем режиме, то сигналы выбора ведомых должны выдаваться через выводы порта ввода/вывода общего назначения. Подключение к шине SPI показано на рис.19.2; информация относительно конфигурации порта общего назначения приведена в разделе 17.1.

Сигнал NSS должен иметь низкий уровень для инициации обмена с модулем SPI0 как с ведомым устройством; SPI0 выйдет из ведомого режима, когда NSS = 1. Следует иметь в виду, что принимаемые данные не фиксируются в буфере приемника, пока сигнал NSS не установится в 1. При обмене данными с передачей нескольких байт сигнал NSS должен устанавливаться в 1 (на, как минимум, 4 системных тактовых цикла) после каждого байта, который принимается модулем SPI0 в ведомом режиме.

Рисунок 19.2. Подключение к шине SPI

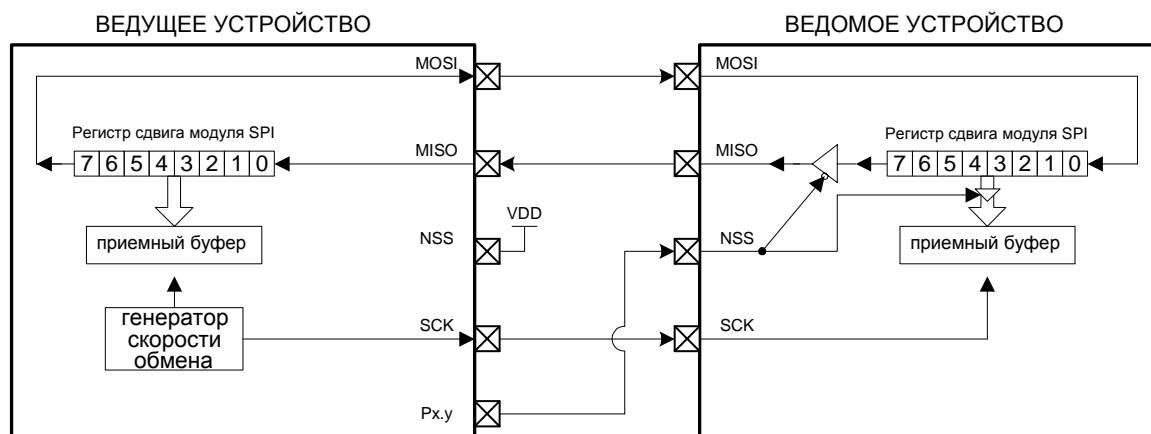


19.2. Режимы работы

Только ведущее устройство SPI может инициировать сеанс обмена данными. Модуль SPI0 переводится в ведущий режим работы установкой в 1 флага включения ведущего режима (MSTEN, SPI0CN.1). Если модуль SPI настроен как ведущий, то запись байта данных в регистр данных модуля SPI (SPI0DAT) запустит сеанс обмена данными. Ведущий SPI сразу же начнет последовательно сдвигать данные на линию MOSI, выдавая тактовые импульсы на линию SCK. Флаг SPIF (SPI0CN.7) устанавливается в 1 при окончании передачи. Если прерывания разрешены, то при установке флага SPIF генерируется запрос прерывания. Ведущий SPI0 можно настроить таким образом, чтобы в процессе обмена выдвигать в линию (принимать с линии) от одного до восьми бит, что позволяет ему работать с ведомыми устройствами, имеющими различную длину слова данных. Выбор количества сдвигаемых бит осуществляется битами SPIFRS регистра конфигурации модуля SPI (SPI0CFG.[2:0]).

В полнодуплексном режиме в то время, когда ведущий SPI передает данные ведомому по линии MOSI, адресуемый ведомый одновременно передает содержимое своего регистра сдвига ведущему SPI по линии MISO. Байт данных, полученный от ведомого, заменяет данные в регистре данных ведущего. Поэтому флаг SPIF является как флагом окончания передачи, так и флагом готовности принимаемых данных. Обмен данными в обоих направлениях синхронизирован с тактовыми импульсами, генерируемыми ведущим. На рис.19.3 показано функционирование ведущего SPI и адресуемого ведомого в полнодуплексном режиме работы.

Рисунок 19.3. Полнодуплексный режим работы



Когда модуль SPI0 включен и не настроен как ведущий, он будет функционировать как ведомый SPI. Другое устройство SPI, работающее в режиме ведущего, будет инициировать сеанс обмена путем выдачи на линию NSS сигнала с низким логическим уровнем. Затем ведущий выдает данные из регистра сдвига на линию MOSI, используя генерируемые им тактовые импульсы. Флаг SPIF устанавливается в 1, когда сигнал NSS устанавливается в 1, свидетельствуя об окончании передачи данных. Следует иметь в виду, что после нарастающего фронта сигнала NSS буфер приемника всегда будет содержать 8 последних бит данных из регистра сдвига ведомого. Ведомый может загрузить свой регистр сдвига следующим байтом передаваемых данных, записав его в регистр данных модуля SPI. Ведомый должен произвести запись в регистр данных не менее чем за один тактовый цикл SPI до того, как ведущий начнет следующую передачу. Иначе будет передан байт данных, уже имеющийся в регистре сдвига ведомого. Сигнал NSS необходимо сбросить в 0 как минимум за 2 системных тактовых цикла до первого активного фронта сигнала SCK для каждого передаваемого байта.

Регистр данных модуля SPI имеет двойную буферизацию по чтению, но не по записи. Если будет предпринята попытка записи в регистр SPI0DAT при выполнении передачи данных, то будет установлен в 1 флаг WCOL (SPI0CN.6) и операция записи будет проигнорирована. Текущая передача данных будет продолжена, не прерываясь. При чтении регистра данных модуля SPI на самом деле читается приемный буфер. Флаг переполнения приемника (RXOVRN в регистре SPI0CN) устанавливается в 1 в том случае, если ведомый модуль SPI0 фиксирует нарастающий фронт сигнала NSS в то время, когда приемный буфер все еще содержит непрочитанные данные от предыдущей передачи. Новые данные не передаются в приемный буфер, позволяя прочитать ранее принятые данные. Байт данных, вызвавший переполнение приемника, теряется.

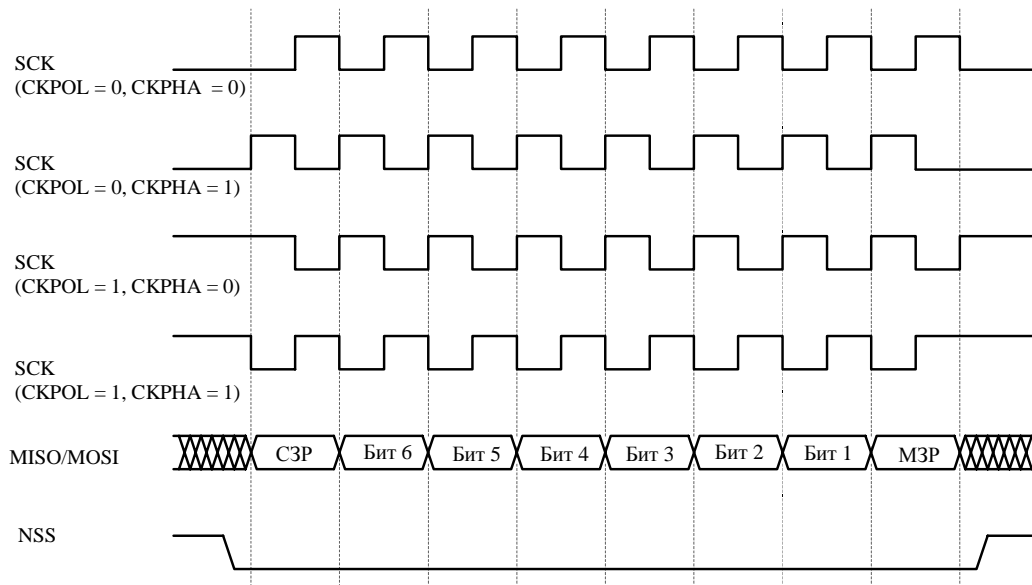
На одной шине могут сосуществовать несколько ведущих. Флаг ошибки режима (MODF, SPI0CN.5) устанавливается в 1, если модуль SPI настроен как ведущий (MSTEN = 1) и его сигнал выбора ведомого NSS имеет низкий логический уровень. Когда устанавливается флаг ошибки режима, биты MSTEN и SPIEN регистра управления модуля SPI аппаратно сбрасываются в 0, при этом модуль SPI переходит в состояние “off-line”. В среде с несколькими ведущими перед установкой бита MSTEN и инициацией сеанса обмена системному контроллеру необходимо проверять состояние флага SLVSEL (SPI0CN.2), чтобы убедиться, что шина свободна.

19.3. Тактирование

Как показано на рис.19.4, используя биты управления тактовой частотой регистра конфигурации модуля SPI (SPI0CFG), можно выбрать четыре комбинации фазы и полярности импульсов тактирования последовательного интерфейса. Бит СКРНА (SPI0CFG.7) выбирает одну из двух фаз тактового сигнала (фронт, используемый для фиксации данных). Бит СКPOL (SPI0CFG.6) задает активный уровень (высокий или низкий) тактового сигнала. Как ведущий, так и ведомые устройства должны быть настроены на использование одинаковых фазы и полярности тактовых импульсов. Примечание: при изменении фазы и полярности тактовых импульсов модуль SPI следует отключить сбросом в 0 бита SPIEN (SPI0CN.0).

Регистр установки тактовой частоты модуля SPI (SPI0CKR), показанный на рис.19.7, управляет частотой тактирования последовательного интерфейса при работе в ведущем режиме. При работе в ведомом режиме содержимое этого регистра игнорируется.

Рисунок 19.4. Временные диаграммы сигналов данных/тактирования



19.4. Регистры специального назначения модуля SPI

Для доступа к интерфейсу SPI и управления им используются четыре регистра специального назначения: регистр управления SPI0CN, регистр данных SPI0DAT, регистр конфигурации SPI0CFG и регистр установки тактовой частоты SPI0CKR. Все эти регистры описаны в следующих разделах.

Рисунок 19.5. SPI0CFG: Регистр конфигурации модуля SPI0

| | | | | | | | | |
|-------|-------|-------|-------|-------|---------|---------|---------|---|
| R/W | R/W | R | R | R | R/W | R/W | R/W | Значение при сбросе: 00000111 SFR Адрес: 0x9A |
| СКРНА | СКPOL | BC2 | BC1 | BC0 | SPIFRS2 | SPIFRS1 | SPIFRS0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| | | | | | | | | |

Бит 7: СКРНА: Выбор активной фазы тактового сигнала модуля SPI0.

Этот бит управляет фазой тактового сигнала модуля SPI0.

0: Данные фиксируются по первому фронту периода сигнала SCK.

1: Данные фиксируются по второму фронту периода сигнала SCK.

Бит 6: СКPOL: Выбор полярности тактового сигнала модуля SPI0.

Этот бит управляет полярностью тактового сигнала модуля SPI0.

0: В состоянии простоя на линии SCK установлен сигнал низкого уровня.

1: В состоянии простоя на линии SCK установлен сигнал высокого уровня.

Биты 5-3: BC2-BC0: Счетчик бит модуля SPI.

Эти биты показывают, какой бит слова данных модуля SPI0 передается.

| BC2-BC0 | | | Передаваемый бит |
|---------|---|---|------------------|
| 0 | 0 | 0 | Бит 0 (МЗР) |
| 0 | 0 | 1 | Бит 1 |
| 0 | 1 | 0 | Бит 2 |
| 0 | 1 | 1 | Бит 3 |
| 1 | 0 | 0 | Бит 4 |
| 1 | 0 | 1 | Бит 5 |
| 1 | 1 | 0 | Бит 6 |
| 1 | 1 | 1 | Бит 7 (СЗР) |

Биты 2-0: SPIFRS2-SPIFRS0: Размер кадра модуля SPI0.

Эти три бита в ведущем режиме определяют количество бит, которые в процессе передачи сдвигаются в регистр сдвига (выдвигаются из регистра сдвига) модуля SPI0.

В ведомом режиме эти биты игнорируются.

| SPIFRS | | | Количество сдвигаемых бит |
|--------|---|---|---------------------------|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 2 |
| 0 | 1 | 0 | 3 |
| 0 | 1 | 1 | 4 |
| 1 | 0 | 0 | 5 |
| 1 | 0 | 1 | 6 |
| 1 | 1 | 0 | 7 |
| 1 | 1 | 1 | 8 |

Рисунок 19.6. SPI0CN: Регистр управления модуля SPI0

| R/W | R/W | R/W | R/W | R | R | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xF8 |
|-------|-------|-------|--------|-------|--------|-------|---|---|
| SPIF | WCOL | MODF | RXOVRN | TXBSY | SLVSEL | MSTEN | SPIEN | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | |

Бит 7: SPIF: Флаг прерывания от модуля SPI0.
Этот бит аппаратно устанавливается в 1 по окончании передачи данных. Если прерывания разрешены, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 6: WCOL: Флаг конфликта записи.
Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0) и тем самым показывает, что была произведена попытка записи в регистр данных модуля SPI0, когда текущий сеанс передачи данных еще не завершился. Если прерывания разрешены, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 5: MODF: Флаг ошибки режима.
Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0) при обнаружении конфликта ведущего режима (на линии NSS низкий уровень и MSTEN = 1). Если прерывания разрешены, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 4: RXOVRN: Флаг переполнения приемника.
Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0), если приемный буфер все еще содержит непрочитанные данные от предыдущей передачи, а последний бит текущей передачи сдвигается в регистр сдвига модуля SPI0. Если прерывания разрешены, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 3: TXBSY: Флаг занятости передатчика.
Этот бит аппаратно устанавливается в 1 при осуществлении передачи данных в ведущем режиме. Он сбрасывается аппаратно по окончании передачи данных.

Бит 2: SLVSEL: Флаг выбора ведомого.
Этот бит аппаратно устанавливается в 1 всякий раз, когда на линию NSS подан сигнал низкого уровня, и показывает, что ведомый включен. Этот флаг сбрасывается в 0, когда на линии NSS присутствует сигнал высокого уровня (ведомый отключен).

Бит 1: MSTEN: Включение ведущего режима.
0: Ведущий режим отключен. Модуль SPI0 работает в ведомом режиме.
1: Ведущий режим включен. Модуль SPI0 работает в ведущем режиме.

Бит 0: SPIEN: Включение модуля SPI0.
Это бит включает/отключает модуль SPI0.
0: Модуль SPI0 отключен.
1: Модуль SPI0 включен.

Рисунок 19.7. SPI0CKR: Регистр установки тактовой частоты модуля SPI0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x9D |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| SCR7 | SCR6 | SCR5 | SCR4 | SCR3 | SCR2 | SCR1 | SCR0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SCR7-SCR0: Тактовая частота модуля SPI

Эти биты определяют частоту выходного сигнала SCK, когда модуль SPI0 работает в ведущем режиме. Частота тактового сигнала SCK представляет собой поделенную на определенный коэффициент системную тактовую частоту и задается следующим уравнением:

$$f_{sck} = 0.5 * SYSCLK / (SPI0CKR + 1), \text{ для } 0 \leq SPI0CKR \leq 255,$$

где: SYSCLK – частота системного тактового сигнала;
SPI0CKR – 8-разрядное значение регистра SPI0CKR.

Пример: Если SYSCLK = 2МГц и SPI0CKR = 0x04, то:

$$f_{sck} = 0.5 * 2000000 / (4 + 1) = 200\text{кГц}.$$

Рисунок 19.8. SPI0DAT: Регистр данных модуля SPI0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x9B |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SPI0DAT: Данные передатчика и приемника модуля SPI0.

Регистр SPI0DAT используется для передачи и приема данных. В ведущем режиме запись данных в регистр SPI0DAT сразу же приводит к загрузке данных в регистр сдвига и инициирует сеанс передачи. Чтение регистра SPI0DAT возвратит содержимое приемного буфера.

ПРИМЕЧАНИЯ

20. УАППО

УАППО (универсальный асинхронный приемопередатчик) представляет собой усовершенствованный последовательный порт, обеспечивающий определение ошибок формата и аппаратное распознавание адреса. УАППО может функционировать в полнодуплексном асинхронном или полудуплексном синхронном режимах, а также полностью поддерживает организацию связи с несколькими МК. Во всех режимах принимаемые данные буферизуются в регистре временного хранения. Это позволяет УАППО начать прием второго входящего байта данных до того, как программа закончит чтение предыдущего байта данных. Флаг переполнения приемника устанавливается в 1, если следующий принятый байт данных фиксируется в буфере приемника до окончания чтения ранее принятого байта.

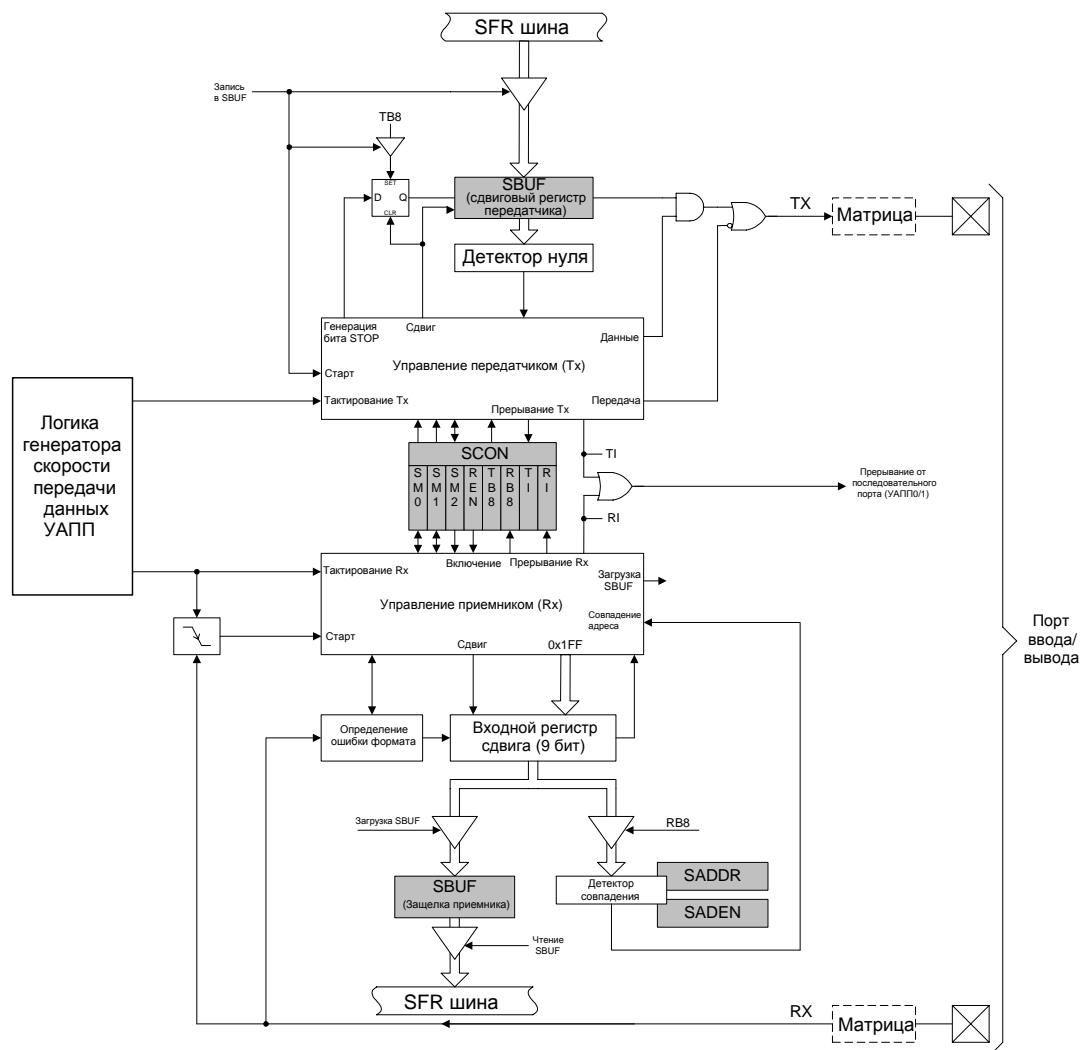
С работой УАППО связаны следующие регистры специального назначения: регистр управления УАППО (SCON0) и буфер данных УАППО (SBUF0). Одна и та же ячейка памяти, адресуемая как SBUF0, обеспечивает доступ и к регистру передатчика, и к регистру приемника. Операция чтения обращается к регистру приемника, а операция записи обращается к регистру передатчика автоматически.

С модулем УАППО можно работать как в режиме опроса, так и с использованием прерываний. УАППО имеет два источника прерываний:

- флаг прерываний от передатчика TI0 (SCON0.1), устанавливается, когда передача байта данных завершена;
- флаг прерываний от приемника RI0 (SCON0.0), устанавливается, когда завершен прием байта данных.

Флаги прерываний от УАППО не сбрасываются аппаратно при переходе к процедуре обслуживания прерывания. Они должны сбрасываться программно. Это позволяет программе определить причину, вызвавшую прерывание от УАППО (завершение передачи или завершение приема).

Рисунок 20.1. Структурная схема УАППО



20.1. Режимы работы УАППО

УАППО поддерживает четыре режима работы (один синхронный и три асинхронных), задаваемые битами конфигурации в регистре SCON0. Эти четыре режима различаются скоростью передачи данных и протоколом обмена. В табл.20.1 приведены основные характеристики режимов работы УАППО.

Таблица 20.1. Режимы работы УАППО

| Режим | Синхронизация | Скорость передачи данных | Биты данных | Биты Старт/Стоп |
|-------|---------------|--------------------------------------|-------------|-----------------|
| 0 | Синхронный | SYSCLK/12 | 8 | Нет |
| 1 | Асинхронный | Переполнение Таймера 1 или Таймера 2 | 8 | 1 Старт, 1 Стоп |
| 2 | Асинхронный | SYSCLK/32 или SYSCLK/64 | 9 | 1 Старт, 1 Стоп |
| 3 | Асинхронный | Переполнение Таймера 1 или Таймера 2 | 9 | 1 Старт, 1 Стоп |

20.1.1. Режим 0: Синхронный режим

Режим 0 обеспечивает синхронный, полудуплексный обмен данными. Последовательные данные передаются и принимаются через внешний вывод RX0. Через внешний вывод TX0 выдаются импульсы сдвига как для передачи, так и для приема данных. МК должен быть ведущим, т.к. он генерирует импульсы сдвига для передачи данных в обоих направлениях (см. рис.20.2).

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Передаются восемь бит данных, МЗР вперед (см. временные диаграммы на рис.20.3). Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце восьмого битового интервала. Прием данных начинается, когда устанавливается в 1 флаг включения приемника REN0 (SCON0.4) и сбрасывается флаг прерывания от приемника RI0 (SCON0.0). Спустя один цикл после приема восьмого бита устанавливается флаг RI0 и прием завершается до программного сброса бита RI0. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 0 равна 1/12 системной тактовой частоты. В режиме 0 вывод RX0 настраивается как выход с открытым стоком и обычно требуется подключить к этому выводу внешний подтягивающий резистор.

Рисунок 20.2. Пример использования УАППО в режиме 0

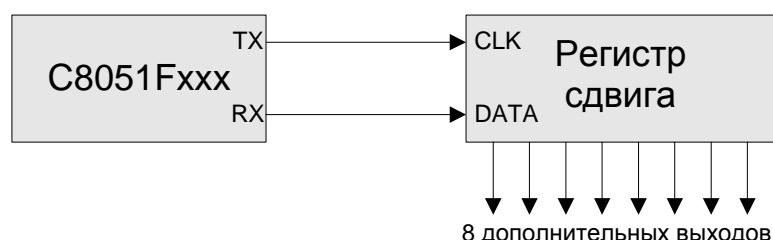


Рисунок 20.3. Временные диаграммы УАППО в режиме 0



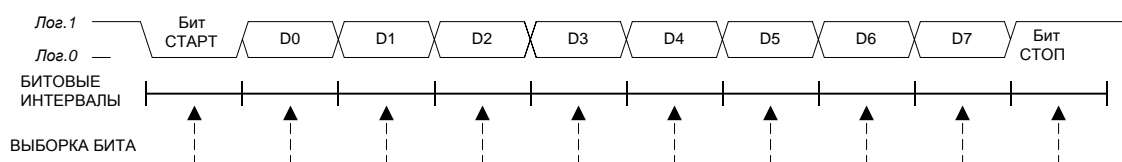
20.1.2. Режим 1: 8-разрядный УАПП0, изменяемая скорость передачи данных

Режим 1 обеспечивает стандартный асинхронный полнодуплексный обмен данными с использованием 10 бит для передачи одного байта данных: один стартовый бит, восемь бит данных (МЗР вперед) и один стоповый бит. Данные передаются через внешний вывод TX0 и принимаются через внешний вывод RX0. При приеме в регистре SBUF0 сохраняются восемь бит данных, а бит RB80 (SCON0.2) принимает значение стопового бита.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN0 (SCON0.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF0, если соблюдаются следующие условия: RI0 должен быть равен лог.0, и, если SM20 равен лог.1, то стоповый бит должен быть равен лог.1.

Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF0, стоповый бит сохраняется в бите RB80 и устанавливается в 1 флаг RI0. Если эти условия не соблюдаются, то SBUF0 и RB80 не будут загружаться и флаг RI0 не устанавливается. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Рисунок 20.4. Временные диаграммы УАПП0 в режиме 1



Скорость передачи данных в режиме 1 определяется функцией от переполнения таймера, как показано в уравнениях 20.1 и 20.2. Для задания скорости передачи данных УАПП0 может использоваться либо Таймер 1, работающий в режиме 8-разрядного таймера/счетчика с автоперезагрузкой, либо Таймер 2, работающий в режиме генератора скорости передачи данных (следует иметь в виду, что источники тактовых импульсов для передатчика (TX0) и приемника (RX0) выбираются по отдельности). При каждом переполнении таймера (при переходе от всех единиц - 0xFF для Таймера 1 и 0xFFFF для Таймера 2 – к нулю) тактовый импульс посылается схеме генератора скорости передачи данных.

Таймер 2 выбирается в качестве генератора скорости передачи данных для передатчика (TX) и/или приемника (RX) установкой в 1 бит TCLK0 (T2CON.4) и/или RCLK0 (T2CON.5) соответственно (подробная информация о настройке таймеров приведена в разделе 22). Когда либо TCLK0, либо RCLK0 установлены в 1, Таймер 2 переводится в режим генератора скорости передачи данных и настраивается на использование сигнала SYSCLK/2 в качестве источника тактового сигнала. Если биты TCLK0 и/или RCLK0 сброшены в 0, то Таймер 1 функционирует в качестве генератора скорости передачи данных для схем передатчика (TX) и/или приемника (RX) соответственно.

Ниже приведены уравнения, определяющие скорость передачи данных в режиме 1:

Уравнение 20.1. Скорость передачи данных в режиме 1, задаваемая с помощью Таймера 1.

$$\text{Mode 1 Baud Rate} = (2^{\text{SMOD0}} / 32) * \text{SYSCLK} * (12^{(\text{TIM} - 1)} / (256 - \text{TH1})).$$

Уравнение 20.2. Скорость передачи данных в режиме 1, задаваемая с помощью Таймера 2.

$$\text{Mode 1 Baud Rate} = \text{SYSCLK} / [32 * (65536 - [\text{RCAP2H}:\text{RCAP2L}])].$$

В этих уравнениях используются следующие обозначения:

TIM – бит выбора коэффициента деления системной тактовой частоты для Таймера 1 (в регистре CKCON).

TH1 – 8-разрядное значение регистра перезагрузки Таймера 1.
 SMOD0 – бит удвоения скорости передачи данных УАППО (в регистре PCON).
 RCAP2H:RCAP2L – 16-разрядное значение регистра перезагрузки Таймера 2.

20.1.3. Режим 2: 9-разрядный УАППО, фиксированная скорость передачи данных

Режим 2 обеспечивает асинхронный полнодуплексный обмен данными с использованием 11 бит для передачи одного байта: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. Режим 2 поддерживает организацию связи с несколькими МК и аппаратное распознавание адреса (см. раздел 20.2). При передаче значение девятого бита данных определяется значением бита TB80 (SCON0.3). Оно может соответствовать значению флага четности P регистра PSW или использоваться для организации связи с несколькими МК. При приеме значение девятого бита сохраняется в бите RB80 (SCON0.2), а стоповый бит игнорируется.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN0 (SCON0.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF0, если RI0 = 0 и если соблюдается одно из следующих условий:

1. SM20 = 0
2. SM20 = 1, принятый 9-й бит равен лог. '1', принятый адрес соответствует адресу УАППО, как описано в разделе 20.2.

Если описанные выше условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF0, девятый бит данных сохраняется в бите RB80 и устанавливается в 1 флаг RI0. Если эти условия не соблюдаются, то SBUF0 и RB80 не будут загружаться и флаг RI0 не будет устанавливаться. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 2 будет равна $SYSCLK/32$ или $SYSCLK/64$ в зависимости от значения бита SMOD0 регистра PCON:

Уравнение 20.3. Скорость передачи данных в режиме 2

$$\text{Mode 2 Baud Rate} = 2^{SMOD0} * (SYSCLK / 64).$$

Рисунок 20.5. Временные диаграммы УАПП в режимах 2 и 3

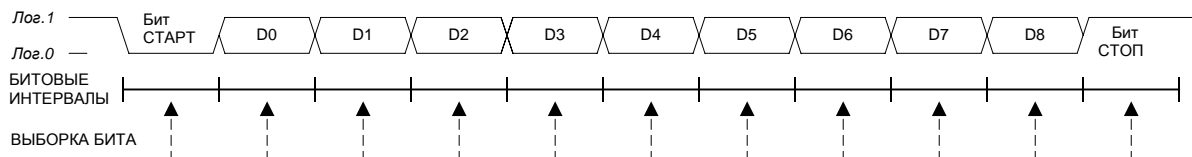
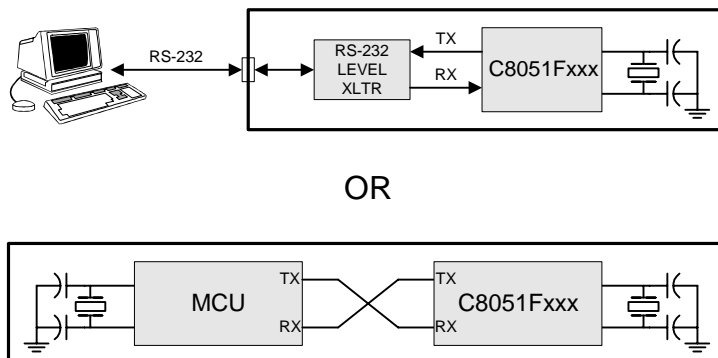


Рисунок 20.6. Пример использования УАПП в режимах 1, 2 и 3



20.1.4. Режим 3: 9- разрядный УАПП, различная скорость передачи данных

В режиме 3 используется протокол передачи данных, как в режиме 2, и генерация скорости передачи данных, как в режиме 1. В режиме 3 передаются 11 бит: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. Скорость передачи данных определяется переполнением Таймера 1 или Таймера 2 в соответствии с уравнениями 20.1. и 20.2. Поддерживаются аппаратное распознавание адреса и организация связи с несколькими МК, как описано в разделе 20.2.

20.2. Поддержка связи с несколькими МК

Режимы 2 и 3 поддерживают мультимикроконтроллерный обмен данными между ведущим МК и одним или несколькими ведомыми МК, для чего применяется встроенная схема аппаратного распознавания адреса и особым образом используется девятый бит данных. Когда ведущий МК хочет передать данные одному или нескольким ведомым МК, он прежде всего посылает байт адреса выбранному(-ым) устройству(-ам). Адресный байт отличается от байта данных тем, что его девятый бит равен лог.1; в байте данных девятый бит всегда равен лог.0.

Адрес УАППО определяется двумя SFR регистрами: SADDR0 (адрес последовательного порта) и SADEN0 (разрешение адреса последовательного порта). Регистр SADEN0 устанавливает битовую маску для адреса, хранимого в регистре SADDR0: биты, установленные в 1 в регистре SADEN0, соответствуют битам регистра SADDR0, которые участвуют в сравнении с принятым байтом адреса; биты, сброшенные в 0 в регистре SADEN0, соответствуют битам регистра SADDR0, состояние которых «не имеет значения» при сравнении с принятым байтом адреса.

Пример 1

SADDR0 = 00110101
SADEN0 = 00001111
 Адрес УАППО = xxxx0101

Пример 2

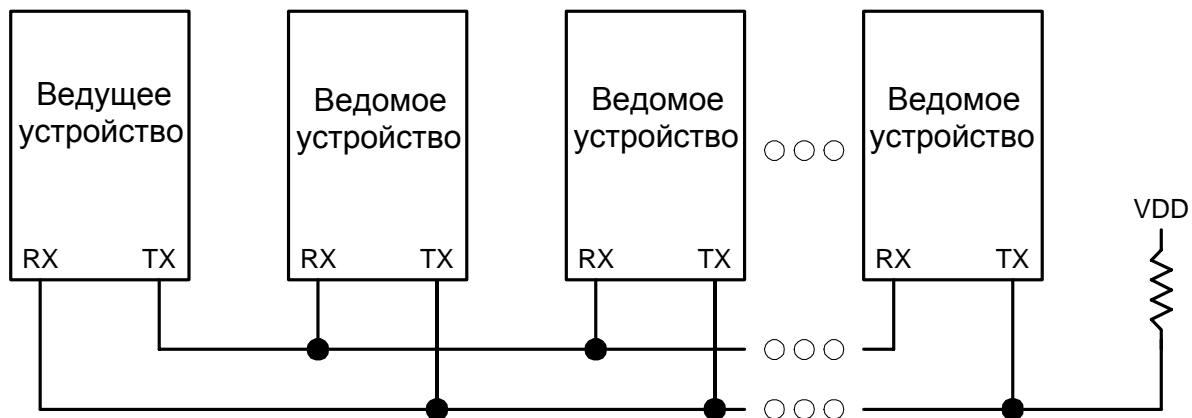
SADDR0 = 00110101
SADEN0 = 11110011
 Адрес УАППО = 0011xx01

Пример 3

SADDR0 = 00110101
SADEN0 = 11000000
 Адрес УАППО = 00xxxxxx

Установка в 1 бита SM20 (SCON0.5) настраивает модуль УАППО таким образом, что при получении стопового бита УАППО будет генерировать прерывание только в том случае, если девятый бит равен лог.1 (RB80 = 1) и принятый байт данных соответствует адресу ведомого УАППО. После возникновения такого прерывания следует сбросить в 0 бит SM20, чтобы разрешить генерацию прерываний при получении следующих байтов данных. После того, как все сообщение получено, адресованный ведомый МК устанавливает в 1 бит SM20, чтобы игнорировать все послыки до получения следующего адресного байта. Пока SM20 = 1, УАППО игнорирует все байты, значение которых не соответствует адресу УАППО и 9-й бит которых не равен лог. '1'.

Рисунок 20.7. Пример использования УАПП в многопроцессорном режиме



20.3. Определение ошибок формата и ошибок передачи

Определение ошибок формата доступно в описанных ниже режимах, когда бит SSTAT0 в регистре PCON установлен в 1.

Примечание: Для доступа к любому из битов состояния (FE0, RXOVR0, TXCOL0) бит SSTAT0 должен быть установлен в 1. Для доступа к битам выбора режима УАППО (SM00, SM10, SM20) бит SSTAT0 должен быть сброшен в 0.

Все режимы:

Бит ошибки передачи (TXCOL0 в регистре SCON0) читается как '1', если программа пользователя записывает данные в регистр SBUF0 во время процесса передачи данных. Следует иметь в виду, что бит TXCOL0 функционирует также как бит SM20, если бит SSTAT0 в регистре PCON сброшен в 0.

Режимы 1, 2 и 3:

Бит переполнения приемника (RXOVR0 в регистре SCON0) читается как '1', если новый байт данных фиксируется в буфере приемника прежде, чем программа закончит чтение предыдущего байта. Следует иметь в виду, что бит RXOVR0 функционирует также как бит SM10, если бит SSTAT0 в регистре PCON сброшен в 0.

Бит ошибки формата (FE0 в регистре SCON0) читается как '1', если обнаружен некорректный (низкого уровня) бит STOP. Следует иметь в виду, что бит FE0 функционирует также как бит SM00, если бит SSTAT0 в регистре PCON сброшен в 0.

Таблица 20.2. Тактовые частоты, соответствующие стандартным скоростям обмена

| Тактовая частота (МГц) | Коэффициент деления | Значение перезагрузки Таймера 1* | Скорость передачи данных (Гц)** |
|---------------------------|------------------------|-------------------------------------|------------------------------------|
| 25.0 | 434 | 0xE5 | 57600 (57870) |
| 25.0 | 868 | 0xCA | 28800 |
| 24.576 | 320 | 0xEC | 76800 |
| 24.576 | 848 | 0xCB | 28800 (28921) |
| 24.0 | 208 | 0XF3 | 115200 (115384) |
| 24.0 | 833 | 0xCC | 28800 (28846) |
| 23.592 | 205 | 0xF3 | 115200 (113423) |
| 23.592 | 819 | 0xCD | 28800 (28911) |
| 22.1184 | 192 | 0xF4 | 115200 |
| 22.1184 | 768 | 0xD0 | 28800 |
| 18.432 | 160 | 0xF6 | 115200 |
| 18.432 | 640 | 0xD8 | 28800 |
| 16.5888 | 144 | 0xF7 | 115200 |
| 16.5888 | 576 | 0xDC | 28800 |
| 14.7456 | 128 | 0xF8 | 115200 |
| 14.7456 | 512 | 0xE0 | 28800 |
| 12.9024 | 112 | 0xF9 | 115200 |
| 12.9024 | 448 | 0xE4 | 28800 |
| 11.0592 | 96 | 0xFA | 115200 |
| 11.0592 | 348 | 0xE8 | 28800 |
| 9.216 | 80 | 0xFB | 115200 |
| 9.216 | 320 | 0xEC | 28800 |
| 7.3728 | 64 | 0xFC | 115200 |
| 7.3728 | 256 | 0xF0 | 28800 |
| 5.5296 | 48 | 0xFD | 115200 |
| 5.5296 | 192 | 0xF4 | 28800 |
| 3.6864 | 32 | 0xFE | 115200 |
| 3.6864 | 128 | 0xF8 | 28800 |
| 1.8432 | 16 | 0xFF | 115200 |
| 1.8432 | 64 | 0xFC | 28800 |

* При условии, что SMOD0 = 1 и TIM = 1.

** Числа в скобках показывают действительную скорость передачи данных.

Рисунок 20.8. SCON0: Регистр управления УАППО

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 |
|----------|------------|-------------|-------|-------|-------|-------|---|-------------------------------------|
| SM00/FEO | SM10/RXOV0 | SM20/TXCOL0 | REN0 | TB80 | RB80 | TI0 | RI0 | SFR Адрес: 0x98 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | |

Биты 7-6: Функционирование этих бит определяется битом SSTAT0 регистра PCON.

Если SSTAT0 = 1, то эти биты являются битами состояния УАППО, как описано в разделе 20.3.

Если SSTAT0 = 0, то эти биты выбирают режим работы последовательного порта, как показано ниже.

SM00 - SM10: Биты выбора режима работы УАППО:

| SM00 | SM10 | Режим работы УАППО |
|------|------|--|
| 0 | 0 | Режим 0: синхронный режим |
| 0 | 1 | Режим 1: 8-битный УАПП, изменяемая скорость передачи |
| 1 | 0 | Режим 2: 9- битный УАПП, фиксированная скорость передачи |
| 1 | 1 | Режим 3: 9- битный УАПП, изменяемая скорость передачи |

Бит 5: SM20: Разрешение поддержки мультимикроконтроллерного взаимодействия.

Если SSTAT0 = 1, то этот бит является битом состояния УАППО, как описано в разделе 20.3.

Если SSTAT0 = 0, то функционирование этого бита зависит от режима работы УАППО.

Режим 0: Не влияет на работу

Режим 1: Проверка корректности стопового бита.

0: Логический уровень стопового бита игнорируется.

1: Флаг RI0 будет установлен только в том случае, если стоповый бит равен лог.1.

Режимы 2 и 3: Разрешение поддержки мультимикроконтроллерного взаимодействия.

0: Логический уровень девятого бита игнорируется.

1: Флаг RI0 устанавливается и прерывание генерируется только в том случае, если девятый бит равен лог.1 и принятый адрес соответствует адресу УАППО или широковещательному адресу.

Бит 4: REN0: Разрешение приема.

Этот бит включает/отключает приемник УАППО.

0: Прием данных модулем УАППО запрещен.

1: Прием данных модулем УАППО разрешен.

Бит 3: TB80: Девятый бит передаваемых данных.

Значение этого бита будет передано в качестве девятого бита данных в режимах 2 и 3. В режимах 0 и 1 этот бит не используется. Бит TB80 устанавливается и сбрасывается программно.

Бит 2: RB80: Девятый бит принимаемых данных.

Этот бит принимает значение девятого бита данных, полученного в режимах 2 и 3. В режиме 1, если SM20 = 0, бит RB80 принимает значение полученного стопового бита. В режиме 0 бит RB80 не используется.

Бит 1: TI0: Флаг прерывания от передатчика УАППО.

Устанавливается в 1 аппаратно при окончании передачи байта данных (после передачи 8-го бита в режиме 0, или в начале передачи стопового бита в остальных режимах). Если прерывание от УАППО разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАППО. Этот бит должен сбрасываться программно.

Бит 0: RI0: Флаг прерывания от приемника УАППО.

Устанавливается в 1 аппаратно при приеме байта данных (после 8-го бита в режиме 0, или после стопового бита в остальных режимах, за исключением случаев, указанных в описании бита SM20). Если прерывание от УАППО разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАППО. Этот бит должен сбрасываться программно.

Рисунок 20.9. SBUF0: Регистр буфера данных УАППО

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x99 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SBUF0.[7:0]: Биты (7-0) буфера данных УАППО (СЗР - МЗР)

На самом деле именем SBUF0 обозначаются два регистра: буфер передатчика и буфер приемника. Когда данные помещаются в регистр SBUF0, они записываются в буфер передатчика и сохраняются для последовательной передачи. Запись данных в SBUF0 инициирует передачу. Когда данные извлекаются из регистра SBUF0, они считываются из буфера приемника.

Рисунок 20.10. SADDR0: Регистр адреса ведомого УАППО

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xA9 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SADDR0.[7:0]: Адрес ведомого УАППО.

Содержимое этого регистра используется для определения адреса ведомого УАППО. Регистр SADEN0 является битовой маской, которая определяет, какие биты регистра SADDR0 будут участвовать в сравнении с принятым адресом: в сравнении участвуют только те биты регистра SADDR0, которым соответствуют биты регистра SADEN0, установленные в 1; состояние остальных бит регистра SADDR0 «не имеет значения» и в сравнении они не участвуют.

Рисунок 20.11. SADEN0: Регистр разрешения адреса ведомого УАППО

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xB9 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SADEN0.[7:0]: Биты разрешения адреса ведомого УАППО.

Биты этого регистра разрешают соответствующим битам регистра SADDR0 участвовать в определении адреса ведомого УАППО.

0: Соответствующий бит регистра SADDR0 «не имеет значения».

1: Соответствующий бит регистра SADDR0 участвует в сравнении с принятым адресом.

21.1. Режимы работы УАПП1

УАПП1 поддерживает четыре режима работы (один синхронный и три асинхронных), задаваемые битами конфигурации в регистре SCON1. Эти четыре режима различаются скоростью передачи данных и протоколом обмена. В табл.21.1 приведены основные характеристики режимов работы УАПП1.

Таблица 21.1. Режимы работы УАПП1

| Режим | Синхронизация | Скорость передачи данных | Биты данных | Биты Старт/Стоп |
|-------|---------------|--------------------------------------|-------------|-----------------|
| 0 | Синхронный | SYSCLK/12 | 8 | Нет |
| 1 | Асинхронный | Переполнение Таймера 1 или Таймера 4 | 8 | 1 Старт, 1 Стоп |
| 2 | Асинхронный | SYSCLK/32 или SYSCLK/64 | 9 | 1 Старт, 1 Стоп |
| 3 | Асинхронный | Переполнение Таймера 1 или Таймера 4 | 9 | 1 Старт, 1 Стоп |

21.1.1. Режим 0: Синхронный режим

Режим 0 обеспечивает синхронный, полудуплексный обмен данными. Последовательные данные передаются и принимаются через внешний вывод RX1. Через внешний вывод TX1 выдаются импульсы сдвига как для передачи, так и для приема данных. МК должен быть ведущим, т.к. он генерирует импульсы сдвига для передачи данных в обоих направлениях (см. рис.21.2).

Передача данных начинается, когда происходит запись байта данных в регистр SBUF1. Передаются восемь бит данных, МЗР вперед (см. временные диаграммы на рис.21.3). Флаг прерывания от передатчика TI1 (SCON1.1) устанавливается в 1 в конце восьмого битового интервала. Прием данных начинается, когда устанавливается в 1 флаг включения приемника REN1 (SCON1.4) и сбрасывается флаг прерывания от приемника RI1 (SCON1.0). Спустя один цикл после приема восьмого бита устанавливается флаг RI1 и прием завершается до программного сброса бита RI1. При установке флагов TI1 или RI1 будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 0 равна 1/12 системной тактовой частоты. В режиме 0 вывод RX1 настраивается как выход с открытым стоком и обычно требуется подключить к этому выводу внешний подтягивающий резистор.

Рисунок 21.2. Пример использования УАПП1 в режиме 0

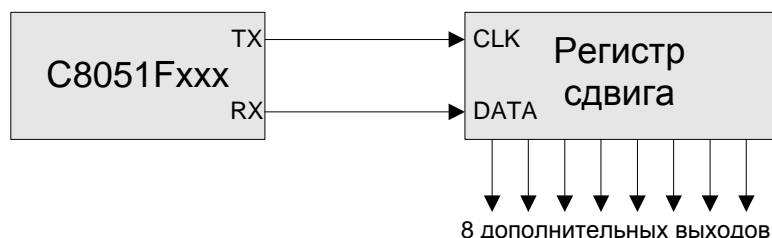
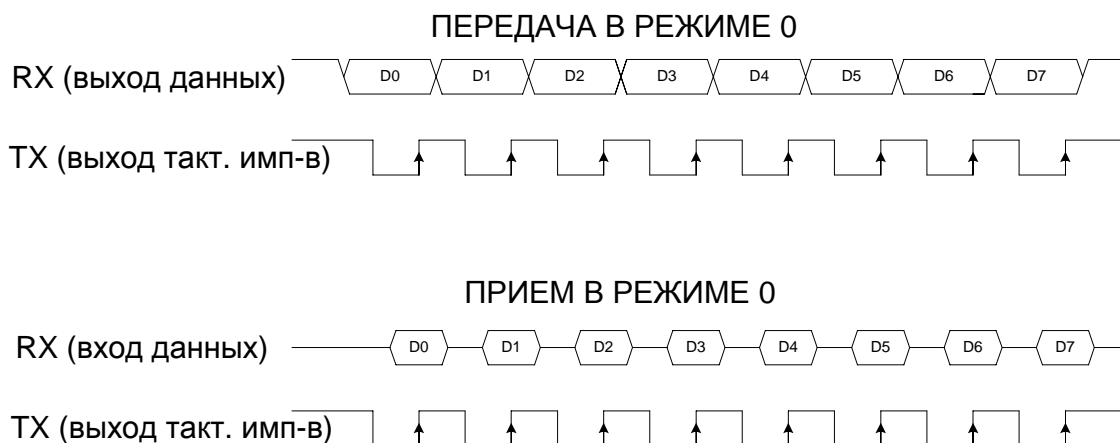


Рисунок 21.3. Временные диаграммы УАПП1 в режиме 0



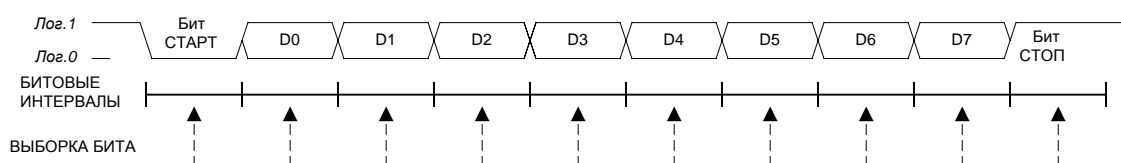
21.1.2. Режим 1: 8-разрядный УАПП0, изменяемая скорость передачи данных

Режим 1 обеспечивает стандартный асинхронный полнодуплексный обмен данными с использованием 10 бит для передачи одного байта данных: один стартовый бит, восемь бит данных (МЗР вперед) и один стоповый бит. Данные передаются через внешний вывод TX1 и принимаются через внешний вывод RX1. При приеме в регистре SBUF1 сохраняются восемь бит данных, а бит RB81 (SCON1.2) принимает значение стопового бита.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF1. Флаг прерывания от передатчика TI1 (SCON1.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN1 (SCON1.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF1, если соблюдаются следующие условия: RI1 должен быть равен лог.0, и, если SM21 равен лог.1, то стоповый бит должен быть равен лог.1.

Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF1, стоповый бит сохраняется в бите RB81 и устанавливается в 1 флаг RI1. Если эти условия не соблюдаются, то SBUF1 и RB81 не будут загружаться и флаг RI1 не устанавливается. При установке флагов TI1 или RI1 будет сгенерировано прерывание, если оно разрешено.

Рисунок 21.4. Временные диаграммы УАПП1 в режиме 1



Скорость передачи данных в режиме 1 определяется функцией от переполнения таймера, как показано в уравнениях 21.1 и 21.2. Для задания скорости передачи данных УАПП1 может использоваться либо Таймер 1, работающий в режиме 8-разрядного таймера/счетчика с автоперезагрузкой, либо Таймер 4, работающий в режиме генератора скорости передачи данных (следует иметь в виду, что источники тактовых импульсов для передатчика (TX1) и приемника (RX1) выбираются по отдельности). При каждом переполнении таймера (при переходе от всех единиц - 0xFF для Таймера 1 и 0xFFFF для Таймера 4 – к нулю) тактовый импульс посылается схеме генератора скорости передачи данных.

Таймер 4 выбирается в качестве генератора скорости передачи данных для передатчика (TX) и/или приемника (RX) установкой в 1 бит TCLK1 (T4CON.4) и/или RCLK1 (T4CON.5) соответственно (подробная информация о настройке таймеров приведена в разделе 22). Когда либо TCLK1, либо RCLK1 установлены в 1, Таймер 4 переводится в режим генератора скорости передачи данных и настраивается на использование сигнала SYSCLK/2 в качестве источника тактового сигнала. Если биты TCLK1 и/или RCLK1 сброшены в 0, то Таймер 1 функционирует в качестве генератора скорости передачи данных для схем передатчика (TX) и/или приемника (RX) соответственно.

Ниже приведены уравнения, определяющие скорость передачи данных в режиме 1:

Уравнение 21.1. Скорость передачи данных в режиме 1, задаваемая с помощью Таймера 1.

$$\text{Mode 1 Baud Rate} = (2^{\text{SMOD1}} / 32) * \text{SYSCLK} * (12^{(\text{TIM} - 1)} / (256 - \text{TH1})).$$

Уравнение 21.2. Скорость передачи данных в режиме 1, задаваемая с помощью Таймера 4.

$$\text{Mode 1 Baud Rate} = \text{SYSCLK} / [32 * (65536 - [\text{RCAP4H}:\text{RCAP4L}])].$$

В этих уравнениях используются следующие обозначения:

TIM – бит выбора коэффициента деления системной тактовой частоты для Таймера 1 (в регистре CKCON).

TH1 – 8-разрядное значение регистра перезагрузки Таймера 1.
 SMOD1 – бит удвоения скорости передачи данных УАПП1 (в регистре PCON).
 RCAP4H:RCAP4L – 16-разрядное значение регистра перезагрузки Таймера 4.

21.1.3. Режим 2: 9-разрядный УАПП1, фиксированная скорость передачи данных

Режим 2 обеспечивает асинхронный полнодуплексный обмен данными с использованием 11 бит для передачи одного байта: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. Режим 2 поддерживает организацию связи с несколькими МК и аппаратное распознавание адреса (см. раздел 21.2). При передаче значение девятого бита данных определяется значением бита TB81 (SCON1.3). Оно может соответствовать значению флага четности P регистра PSW или использоваться для организации связи с несколькими МК. При приеме значение девятого бита сохраняется в бите RB81 (SCON1.2), а стоповый бит игнорируется.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF1. Флаг прерывания от передатчика TI1 (SCON1.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN1 (SCON1.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF1, если RI1 = 0 и если соблюдается одно из следующих условий:

1. SM21 = 0
2. SM21 = 1, принятый 9-й бит равен лог. '1', принятый адрес соответствует адресу УАПП1, как описано в разделе 21.2.

Если описанные выше условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF1, девятый бит данных сохраняется в бите RB81 и устанавливается в 1 флаг RI1. Если эти условия не соблюдаются, то SBUF1 и RB81 не будут загружаться и флаг RI1 не будет устанавливаться. При установке флагов TI1 или RI1 будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 2 будет равна $SYSCLK/32$ или $SYSCLK/64$ в зависимости от значения бита SMOD1 регистра PCON:

Уравнение 21.3. Скорость передачи данных в режиме 2

$$\text{Mode 2 Baud Rate} = 2^{SMOD1} * (SYSCLK / 64).$$

Рисунок 21.5. Временные диаграммы УАПП в режимах 2 и 3

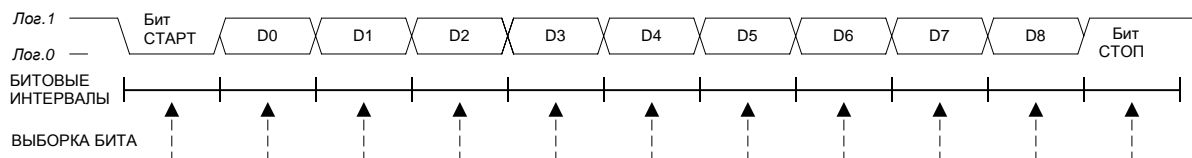
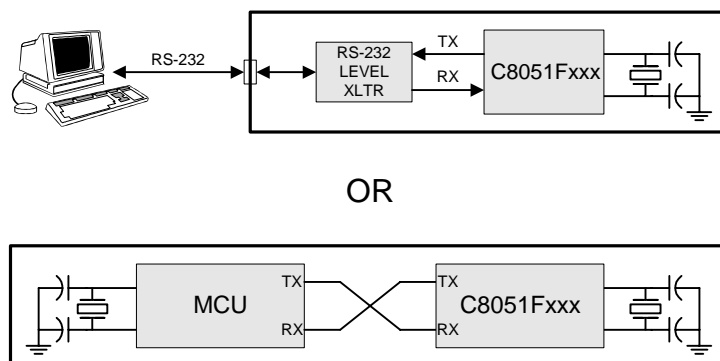


Рисунок 21.6. Пример использования УАПП в режимах 1, 2 и 3



21.1.4. Режим 3: 9- разрядный УАПП, различная скорость передачи данных

В режиме 3 используется протокол передачи данных, как в режиме 2, и генерация скорости передачи данных, как в режиме 1. В режиме 3 передаются 11 бит: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. Скорость передачи данных определяется переполнением Таймера 1 или Таймера 4 в соответствии с уравнениями 21.1. и 21.2. Поддерживаются аппаратное распознавание адреса и организация связи с несколькими МК, как описано в разделе 21.2.

21.2. Поддержка связи с несколькими МК

Режимы 2 и 3 поддерживают мультимикроконтроллерный обмен данными между ведущим МК и одним или несколькими ведомыми МК, для чего применяется встроенная схема аппаратного распознавания адреса и особым образом используется девятый бит данных. Когда ведущий МК хочет передать данные одному или нескольким ведомым МК, он прежде всего посылает байт адреса выбранному(-ым) устройству(-ам). Адресный байт отличается от байта данных тем, что его девятый бит равен лог.1; в байте данных девятый бит всегда равен лог.0.

Адрес УАПП1 определяется двумя SFR регистрами: SADDR1 (адрес последовательного порта) и SADEN1 (разрешение адреса последовательного порта). Регистр SADEN1 устанавливает битовую маску для адреса, хранимого в регистре SADDR1: биты, установленные в 1 в регистре SADEN1, соответствуют битам регистра SADDR1, которые участвуют в сравнении с принятым байтом адреса; биты, сброшенные в 0 в регистре SADEN1, соответствуют битам регистра SADDR1, состояние которых «не имеет значения» при сравнении с принятым байтом адреса.

Пример 1

SADDR1 = 00110101
SADEN1 = 00001111
 Адрес УАПП1 = xxxx0101

Пример 2

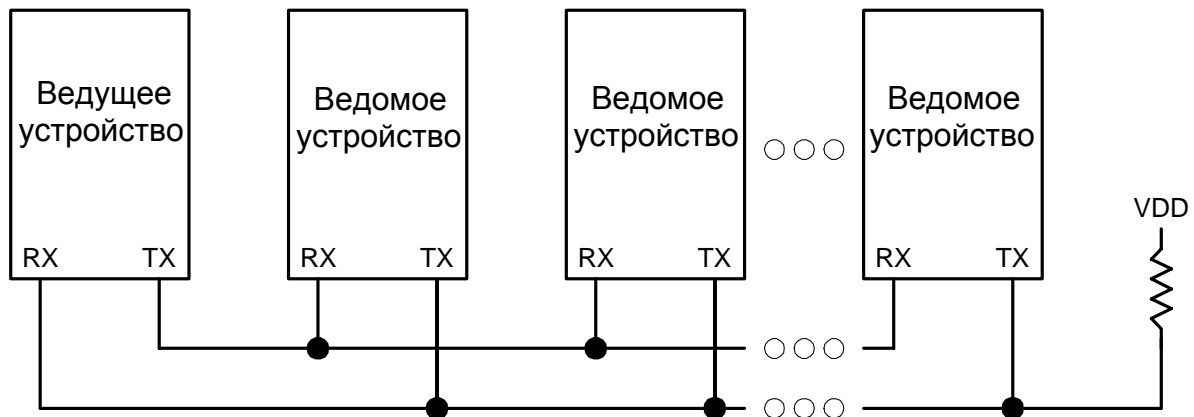
SADDR1 = 00110101
SADEN1 = 11110011
 Адрес УАПП1 = 0011xx01

Пример 3

SADDR1 = 00110101
SADEN1 = 11000000
 Адрес УАПП1 = 00xxxxxx

Установка в 1 бита SM21 (SCON1.5) настраивает модуль УАПП1 таким образом, что при получении стопового бита УАПП1 будет генерировать прерывание только в том случае, если девятый бит равен лог.1 (RB81 = 1) и принятый байт данных соответствует адресу ведомого УАПП1. После возникновения такого прерывания следует сбросить в 0 бит SM21, чтобы разрешить генерацию прерываний при получении следующих байтов данных. После того, как все сообщение получено, адресованный ведомый МК устанавливает в 1 бит SM21, чтобы игнорировать все послыки до получения следующего адресного байта. Пока SM21 = 1, УАПП1 игнорирует все байты, значение которых не соответствует адресу УАПП1 и 9-й бит которых не равен лог. '1'.

Рисунок 21.7. Пример использования УАПП в многопроцессорном режиме



21.3. Определение ошибок формата и ошибок передачи

Определение ошибок формата доступно в описанных ниже режимах, когда бит SSTAT1 в регистре PCON установлен в 1.

Примечание: Для доступа к любому из битов состояния (FE1, RXOVR1, TXCOL1) бит SSTAT1 должен быть установлен в 1. Для доступа к битам выбора режима УАПП1 (SM01, SM11, SM21) бит SSTAT1 должен быть сброшен в 0.

Все режимы:

Бит ошибки передачи (TXCOL1 в регистре SCON1) читается как '1', если программа пользователя записывает данные в регистр SBUF1 во время процесса передачи данных. Следует иметь в виду, что бит TXCOL1 функционирует также как бит SM21, если бит SSTAT1 в регистре PCON сброшен в 0.

Режимы 1, 2 и 3:

Бит переполнения приемника (RXOVR1 в регистре SCON1) читается как '1', если новый байт данных фиксируется в буфере приемника прежде, чем программа закончит чтение предыдущего байта. Следует иметь в виду, что бит RXOVR1 функционирует также как бит SM11, если бит SSTAT1 в регистре PCON сброшен в 0.

Бит ошибки формата (FE1 в регистре SCON1) читается как '1', если обнаружен некорректный (низкого уровня) бит STOP. Следует иметь в виду, что бит FE1 функционирует также как бит SM01, если бит SSTAT1 в регистре PCON сброшен в 0.

Таблица 21.2. Тактовые частоты, соответствующие стандартным скоростям обмена

| Тактовая частота (МГц) | Коэффициент деления | Значение перезагрузки Таймера 1* | Скорость передачи данных (Гц)** |
|---------------------------|------------------------|-------------------------------------|------------------------------------|
| 25.0 | 434 | 0xE5 | 57600 (57870) |
| 25.0 | 868 | 0xCA | 28800 |
| 24.576 | 320 | 0xEC | 76800 |
| 24.576 | 848 | 0xCB | 28800 (28921) |
| 24.0 | 208 | 0XF3 | 115200 (115384) |
| 24.0 | 833 | 0xCC | 28800 (28846) |
| 23.592 | 205 | 0xF3 | 115200 (113423) |
| 23.592 | 819 | 0xCD | 28800 (28911) |
| 22.1184 | 192 | 0xF4 | 115200 |
| 22.1184 | 768 | 0xD0 | 28800 |
| 18.432 | 160 | 0xF6 | 115200 |
| 18.432 | 640 | 0xD8 | 28800 |
| 16.5888 | 144 | 0xF7 | 115200 |
| 16.5888 | 576 | 0xDC | 28800 |
| 14.7456 | 128 | 0xF8 | 115200 |
| 14.7456 | 512 | 0xE0 | 28800 |
| 12.9024 | 112 | 0xF9 | 115200 |
| 12.9024 | 448 | 0xE4 | 28800 |
| 11.0592 | 96 | 0xFA | 115200 |
| 11.0592 | 348 | 0xE8 | 28800 |
| 9.216 | 80 | 0xFB | 115200 |
| 9.216 | 320 | 0xEC | 28800 |
| 7.3728 | 64 | 0xFC | 115200 |
| 7.3728 | 256 | 0xF0 | 28800 |
| 5.5296 | 48 | 0xFD | 115200 |
| 5.5296 | 192 | 0xF4 | 28800 |
| 3.6864 | 32 | 0xFE | 115200 |
| 3.6864 | 128 | 0xF8 | 28800 |
| 1.8432 | 16 | 0xFF | 115200 |
| 1.8432 | 64 | 0xFC | 28800 |

* При условии, что SMOD1 = 1 и TIM = 1.

** Числа в скобках показывают действительную скорость передачи данных.

Рисунок 21.8. SCON1: Регистр управления УАПП1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 |
|----------|------------|-------------|-------|-------|-------|-------|-------|-------------------------------------|
| SM01/FE1 | SM11/RXOV1 | SM21/TXCOL1 | REN1 | TB81 | RB81 | TI1 | RI1 | SFR Адрес: 0xF1 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-6: Функционирование этих бит определяется битом SSTAT1 регистра PCON.

Если SSTAT1 = 1, то эти биты являются битами состояния УАПП1, как описано в разделе 21.3.

Если SSTAT1 = 0, то эти биты выбирают режим работы последовательного порта, как показано ниже.

SM01 - SM11: Биты выбора режима работы УАПП1:

| SM01 | SM11 | Режим работы УАПП1 |
|------|------|--|
| 0 | 0 | Режим 0: синхронный режим |
| 0 | 1 | Режим 1: 8-битный УАПП, изменяемая скорость передачи |
| 1 | 0 | Режим 2: 9- битный УАПП, фиксированная скорость передачи |
| 1 | 1 | Режим 3: 9- битный УАПП, изменяемая скорость передачи |

Бит 5: SM21: Разрешение поддержки мультимикроконтроллерного взаимодействия.

Если SSTAT1 = 1, то этот бит является битом состояния УАПП1, как описано в разделе 21.3.

Если SSTAT1 = 0, то функционирование этого бита зависит от режима работы УАПП1.

Режим 0: Не влияет на работу

Режим 1: Проверка корректности стопового бита.

0: Логический уровень стопового бита игнорируется.

1: Флаг RI1 будет установлен только в том случае, если стоповый бит равен лог.1.

Режимы 2 и 3: Разрешение поддержки мультимикроконтроллерного взаимодействия.

0: Логический уровень девятого бита игнорируется.

1: Флаг RI1 устанавливается и прерывание генерируется только в том случае, если девятый бит равен лог.1 и принятый адрес соответствует адресу УАПП1 или широкопередаточному адресу.

Бит 4: REN1: Разрешение приема.

Этот бит включает/отключает приемник УАПП1.

0: Прием данных модулем УАПП1 запрещен.

1: Прием данных модулем УАПП1 разрешен.

Бит 3: TB81: Девятый бит передаваемых данных.

Значение этого бита будет передано в качестве девятого бита данных в режимах 2 и 3. В режимах 0 и 1 этот бит не используется. Бит TB81 устанавливается и сбрасывается программно.

Бит 2: RB81: Девятый бит принимаемых данных.

Этот бит принимает значение девятого бита данных, полученного в режимах 2 и 3. В режиме 1, если SM21 = 0, бит RB81 принимает значение полученного стопового бита. В режиме 0 бит RB81 не используется.

Бит 1: TI1: Флаг прерывания от передатчика УАПП1.

Устанавливается в 1 аппаратно при окончании передачи байта данных (после передачи 8-го бита в режиме 0, или в начале передачи стопового бита в остальных режимах). Если прерывание от УАПП1 разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП1. Этот бит должен сбрасываться программно.

Бит 0: RI1: Флаг прерывания от приемника УАПП1.

Устанавливается в 1 аппаратно при приеме байта данных (после 8-го бита в режиме 0, или после стопового бита в остальных режимах, за исключением случаев, указанных в описании бита SM21). Если прерывание от УАПП1 разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП1. Этот бит должен сбрасываться программно.

Рисунок 21.9. SBUF1: Регистр буфера данных УАПП1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xF2 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SBUF1.[7:0]: Биты (7-0) буфера данных УАПП1 (СЗР - МЗР)
 На самом деле именем SBUF1 обозначаются два регистра: буфер передатчика и буфер приемника. Когда данные помещаются в регистр SBUF1, они записываются в буфер передатчика и сохраняются для последовательной передачи. Запись данных в SBUF1 инициирует передачу. Когда данные извлекаются из регистра SBUF1, они считываются из буфера приемника.

Рисунок 21.10. SADDR1: Регистр адреса ведомого УАПП1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xF3 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SADDR1.[7:0]: Адрес ведомого УАПП1.
 Содержимое этого регистра используется для определения адреса ведомого УАПП1. Регистр SADEN1 является битовой маской, которая определяет, какие биты регистра SADDR1 будут участвовать в сравнении с принятым адресом: в сравнении участвуют только те биты регистра SADDR1, которым соответствуют биты регистра SADEN1, установленные в 1; состояние остальных бит регистра SADDR1 «не имеет значения» и в сравнении они не участвуют.

Рисунок 21.11. SADEN1: Регистр разрешения адреса ведомого УАПП1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xAE |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: SADEN1.[7:0]: Биты разрешения адреса ведомого УАПП1.
 Биты этого регистра разрешают соответствующим битам регистра SADDR1 участвовать в определении адреса ведомого УАПП1.
 0: Соответствующий бит регистра SADDR1 «не имеет значения».
 1: Соответствующий бит регистра SADDR1 участвует в сравнении с принятым адресом.

22. ТАЙМЕРЫ

МК C8051F020/1/2/3 содержат пять таймеров/счетчиков (Т/С): три 16-разрядных Т/С, совместимые с Т/С стандартной архитектуры 8051, и два 16-разрядных таймер, предназначенный для использования совместно с модулями АЦП, модулем SMBus, УАПП1 или в качестве таймера общего назначения. Эти Т/С могут использоваться для измерения временных интервалов, подсчета внешних событий, а также для генерации периодических запросов прерываний. Таймер 0 и Таймер 1 почти идентичны и имеют четыре основных режима работы. Таймер 2 обладает дополнительными возможностями, отсутствующими у Таймеров 0 и 1. Таймер 3 аналогичен Таймеру 2, но не имеет режимов «захват» и «генератор скорости передачи данных». Таймер 4 аналогичен Таймеру 2 и поддерживает режим генератора скорости передачи данных для УАПП1.

| Таймер 0 и Таймер 1: | Таймер 2: | Таймер 3: | Таймер 4: |
|---------------------------------------|--|---|--|
| 13-разрядный Т/С | 16-разрядный Т/С с автоперезагрузкой | 16-разрядный таймер с автоперезагрузкой | 16-разрядный Т/С с автоперезагрузкой |
| 16-разрядный Т/С | 16-разрядный Т/С с захватом | | 16-разрядный Т/С с захватом |
| 8-разрядный Т/С с автоперезагрузкой | Генератор скорости передачи данных для УАППО | | Генератор скорости передачи данных для УАПП1 |
| Два 8-разрядных Т/С (только Таймер 0) | | | |

Когда Т/С функционирует как таймер, регистры Т/С инкрементируются по каждому такту внутреннего сигнала тактирования Т/С. Частота внутреннего сигнала тактирования Т/С равна системной тактовой частоте, деленной либо на 1, либо на 12 (определяется битами T4M-T0M регистра SKCON). Возможность деления системной тактовой частоты на 12 обеспечивает совместимость с МК семейства 8051 более старшего поколения. Приложения, которым необходим более быстрый таймер, могут использовать для тактирования Т/С внутренний сигнал с частотой, равной системной тактовой частоте.

Когда Т/С функционирует как счетчик, регистры Т/С инкрементируются под воздействием перехода из 1 в 0 внешнего сигнала на выбранном входном выводе. Могут подсчитываться импульсы с частотой до 1/4 системной тактовой частоты. Входной сигнал не обязательно должен быть периодическим, но для его гарантированного прочтения он должен удерживаться на заданном уровне как минимум в течение двух полных системных тактовых циклов.

Рисунок 22.1. CKCON: Регистр управления тактированием Таймеров 0, 1, 2 и 4

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x8E |
|--|-------|-------|-------|-------|-----------|-----------|-----------|---|
| - | T4M | T2M | T1M | T0M | Зарезерв. | Зарезерв. | Зарезерв. | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |
| <p>Бит 7: Не используется. Читается как 0b.</p> <p>Бит 6: T4M: Выбор коэффициента деления системной тактовой частоты для Таймера 4. Этот бит определяет частоту сигнала тактирования Таймера 4. Бит T4M игнорируется, если Таймер 4 работает в режиме генератора скорости передачи или в режиме счетчика (т.е. C/T4 = 1). 0: Частота сигнала тактирования Таймера 4 равна 1/12 системной тактовой частоты. 1: Частота сигнала тактирования Таймера 4 равна системной тактовой частоте.</p> <p>Бит 5: T2M: Выбор коэффициента деления системной тактовой частоты для Таймера 2. Этот бит определяет частоту сигнала тактирования Таймера 2. Бит T2M игнорируется, если Таймер 2 работает в режиме генератора скорости передачи или в режиме счетчика (т.е. C/T2 = 1). 0: Частота сигнала тактирования Таймера 2 равна 1/12 системной тактовой частоты. 1: Частота сигнала тактирования Таймера 2 равна системной тактовой частоте.</p> <p>Бит 4: T1M: Выбор коэффициента деления системной тактовой частоты для Таймера 1. Этот бит определяет частоту сигнала тактирования Таймера 1. 0: Частота сигнала тактирования Таймера 1 равна 1/12 системной тактовой частоты. 1: Частота сигнала тактирования Таймера 1 равна системной тактовой частоте.</p> <p>Бит 3: T0M: Выбор коэффициента деления системной тактовой частоты для Таймера 0. Этот бит определяет частоту сигнала тактирования Таймера/счетчика 0. 0: Частота сигнала тактирования Таймера/Счетчика 0 равна 1/12 системной тактовой частоты. 1: Частота сигнала тактирования Таймера/Счетчика 0 равна системной тактовой частоте.</p> <p>Биты 2-0: Зарезервированы. Читаются как 000b. Должны быть записаны как 000b.</p> | | | | | | | | |

22.1. Таймер 0 и Таймер 1

Для доступа к Т/С 0 и 1 и управления ими используются регистры специального назначения. Каждый Т/С реализован в виде 16-разрядного регистра, доступного как два отдельных байта: младший байт (TL0 или TL1) и старший байт (TH0 или TH1). Регистр управления Т/С (TCON) используется для включения Т/С 0 и 1, а также для определения их состояния. Оба Т/С работают в одном из четырех основных режимов, задаваемых битами выбора режима M1-M0 регистра режима Т/С (TMOD). Каждый Т/С может быть настроен независимо от другого. В следующих разделах приведено подробное описание каждого режима работы.

22.1.1. Режим 0: 13-разрядный таймер/счетчик

В режиме 0 Таймеры 0 и 1 работают как 13-разрядный таймер/счетчик. Ниже приводится описание настройки и функционирования Таймера 0. Однако, оба таймера идентичны, и Таймер 1 настраивается точно так же, как и Таймер 0.

Регистр TH0 содержит восемь старших бит 13-разрядного значения Т/С. Регистр TL0 содержит пять младших бит 13-разрядного значения Т/С в разрядах TL0.4-TL0.0. Три старших бита регистра TL0 (TL0.7-TL0.5) не определены и должны маскироваться или игнорироваться при чтении регистра TL0. При инкрементировании 13-разрядного таймера и переполнении его из состояния 0x1FFF (все единицы) в состояние 0x0000 устанавливается в 1 флаг переполнения таймера TF0 (TCON.5) и будет сгенерировано прерывание, если оно разрешено.

Бит C/T0 (TMOD.2) выбирает источник сигнала тактирования Т/С. Сбросом бита C/T0 осуществляется выбор системного тактового сигнала в качестве входного сигнала тактирования таймера. Если бит C/T0 установлен в 1, то инкремент регистра таймера осуществляется под воздействием перехода из 1 в 0 внешнего сигнала на выбранном входном выводе (T0). (Подробная информация о выборе и настройке внешних выводов приведена в разделе 17.1.).

Установка в 1 бита TR0 (TCON.4) включит таймер, если либо бит GATE0 (TMOD.3) равен нулю, либо на внешнем выводе /INT0 присутствует сигнал с высоким логическим уровнем. После установки в 1 бита GATE0 управление таймером передается внешнему сигналу /INT0, что позволяет легко осуществлять измерение ширины импульсов.

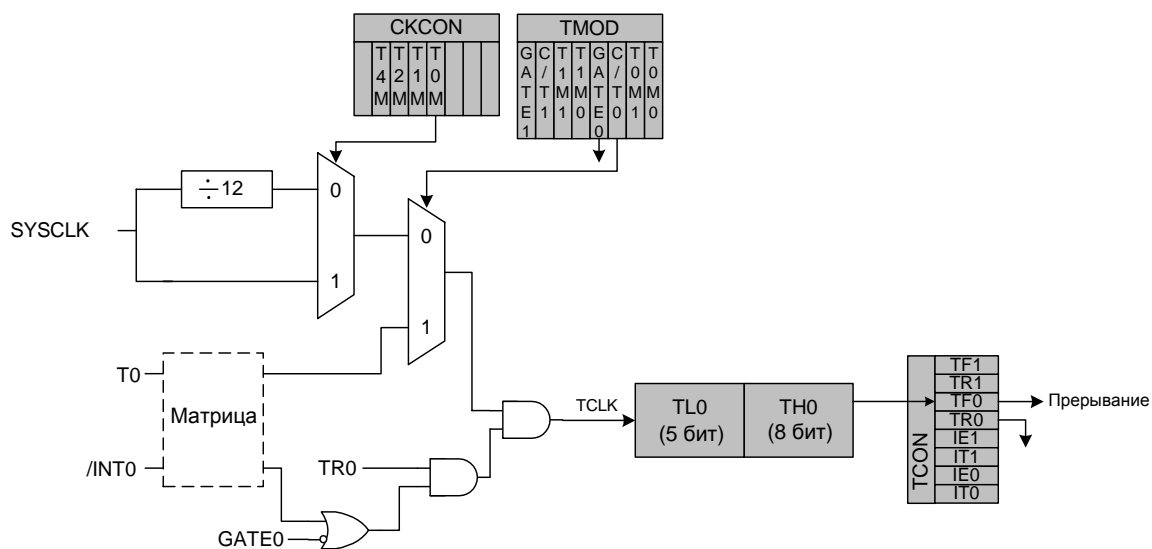
| TR0 | GATE0 | /INT0 | Таймер/Счетчик |
|-----|-------|-------|----------------|
| 0 | X | X | Отключен |
| 1 | 0 | X | Включен |
| 1 | 1 | 0 | Отключен |
| 1 | 1 | 1 | Включен |

X = не имеет значения

Установка TR0 не сбрасывает регистр таймера. Регистр таймера следует инициализировать необходимым значением до включения таймера.

TL1 и TH1 образуют 13-разрядный регистр Таймера 1 точно так же, как описано выше для регистров TL0 и TH0. Для настройки Таймера 1 и управления им используются соответствующие биты регистров TCON и TMOD таким же образом, как и для Таймера 0.

Рисунок 22.2. Структурная схема Таймера 0 в режиме 0



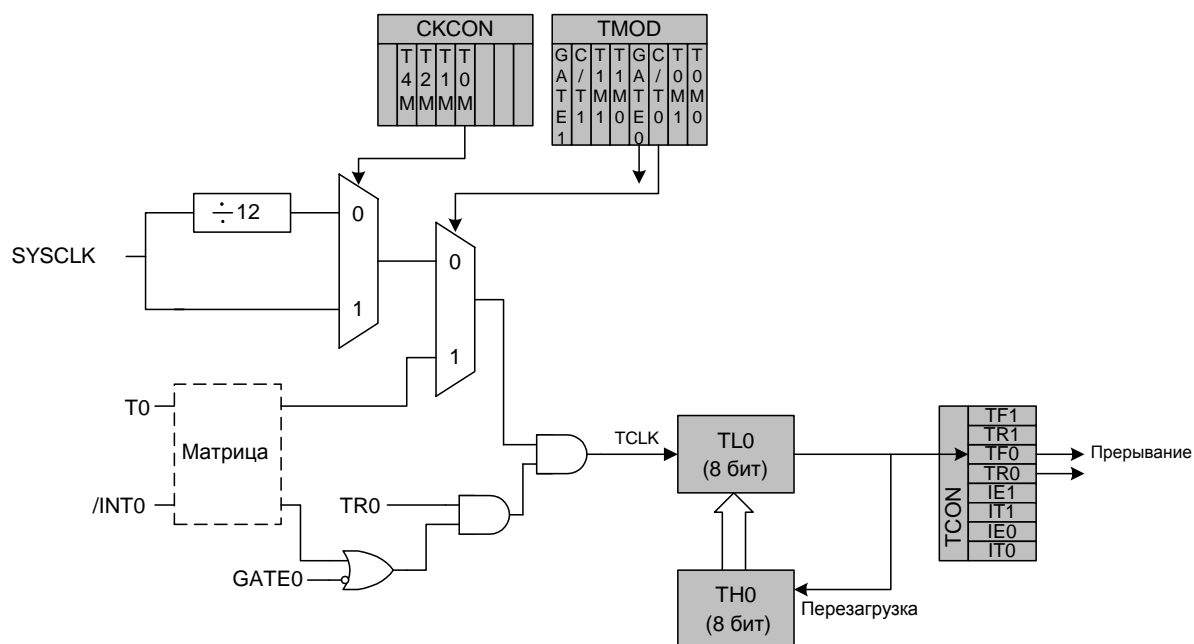
22.1.2. Режим 1: 16-разрядный Таймер/Счетчик

Режим 1 аналогичен режиму 0 с тем лишь исключением, что регистры Т/С используют все 16 бит. Таймеры/счетчики включаются и настраиваются в режиме 1 точно так же, как в режиме 0.

22.1.3. Режим 2: 8-разрядный таймер/счетчик с перезагрузкой

В режиме 2 Таймеры 0 и 1 настраиваются для работы в качестве 8-разрядных таймеров/счетчиков с автоматической перезагрузкой начального значения. Регистр TL0 содержит значение счетчика, а регистр TH0 содержит перезагружаемое значение. Когда счетчик в регистре TL0 переполняется (переходит из состояния 0xFF в состояние 0x00), флаг переполнения таймера TF0 (TCON.5) устанавливается в 1 и значение регистра TH0 загружается в регистр TL0. При установке флага TF0 будет сгенерировано прерывание, если оно разрешено. Перезагружаемое значение в регистре TH0 не изменяется. Чтобы первый отсчет был корректным, необходимо проинициализировать регистр TL0 требуемым значением до включения таймера. Таймер 1 в режиме 2 работает точно так же, как Таймер 0. В режиме 2 оба Т/С включаются и настраиваются точно так же, как в режиме 0.

Рисунок 22.3. Структурная схема Таймера 0 в режиме 2



22.1.4. Режим 3: Два 8-разрядных таймера/счетчика (только Таймер 0)

В режиме 3 Таймер 0 и Таймер 1 функционируют различным образом. Таймер 0 настраивается как два отдельных 8-разрядных таймера/счетчика TL0 и TH0. Для управления таймером/счетчиком TL0 используются биты управления/состояния Таймера 0 (в регистрах TCON и TMOD): TR0, C/T0, GATE0 и TF0. В качестве источника тактирования он может использовать либо системный тактовый сигнал, либо внешний входной сигнал. Таймер/счетчик TH0 может использовать для тактирования только системный тактовый сигнал. Для включения таймера/счетчика TH0 используется управляющий бит запуска Таймера 1 (TR1). Таймер/счетчик TH0 при переполнении устанавливает флаг переполнения Таймера 1 TF1 и, таким образом, управляет прерыванием от Таймера 1.

В режиме 3 Таймер 1 не активен, поэтому, если Таймер 0 используется в режиме 3, Таймер 1 может быть отключен путем перевода его в собственный режим 3 и включен путем выхода из режима 3. Когда Таймер 0 работает в режиме 3, Таймер 1 может работать в режимах 0, 1 или 2, но не может тактироваться внешними сигналами, устанавливать флаг TF1 и генерировать прерывание. Однако, переполнение Таймера 1 можно использовать для генерации скорости передачи данных для УАППО и/или УАППИ. В разделе 20 приведена информация о настройке Таймера 1 для генерации скорости передачи данных.

Рисунок 22.4. Структурная схема Таймера 0 в режиме 3

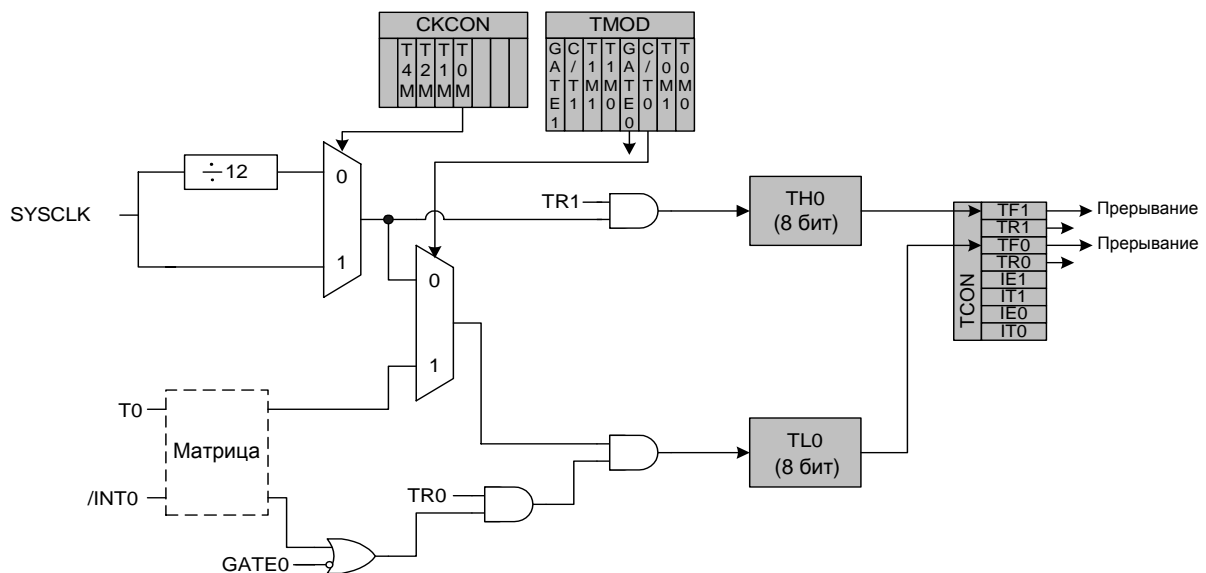


Рисунок 22.5. TCON: Регистр управления Таймерами 0 и 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|--|-------|-------|-------|-------|-------|-------|--|-------------------------|
| TF1 | TR1 | TF0 | TR0 | IE1 | IT1 | IE0 | IT0 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0x88 |
| | | | | | | | (доступен в битовом режиме адресации) | |
| <p>Бит 7: TF1: Флаг переполнения Таймера 1. Устанавливается аппаратно при переполнении Таймера 1. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 1, но может быть сброшен и программно. 0: Переполнения Таймера 1 не обнаружено. 1: Таймер 1 переполнился.</p> | | | | | | | | |
| <p>Бит 6: TR1: Управление запуском Таймера 1. 0: Таймер 1 отключен (остановлен). 1: Таймер 1 включен (запущен).</p> | | | | | | | | |
| <p>Бит 5: TF0: Флаг переполнения Таймера 0. Устанавливается аппаратно при переполнении Таймера 0. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 0, но может быть сброшен и программно. 0: Переполнения Таймера 0 не обнаружено. 1: Таймер 0 переполнился.</p> | | | | | | | | |
| <p>Бит 4: TR0: Управление запуском Таймера 0. 0: Таймер 0 отключен (остановлен). 1: Таймер 0 включен (запущен).</p> | | | | | | | | |
| <p>Бит 3: IE1: Внешнее прерывание 1. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT1) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 1 сбрасывается аппаратно, если IT1=1. При IT1=0 этот флаг является инверсией логического уровня входного внешнего сигнала /INT1.</p> | | | | | | | | |
| <p>Бит 2: IT1: Выбор типа внешнего прерывания 1. Этот бит определяет, какое событие будет вызывать внешнее прерывание 1: срез или низкий уровень внешнего сигнала /INT1. 0: Внешнее прерывание 1 вызывается низким уровнем сигнала /INT1. 1: Внешнее прерывание 1 вызывается срезом сигнала /INT1.</p> | | | | | | | | |
| <p>Бит 1: IE0: Внешнее прерывание 0. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT0) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 0 сбрасывается аппаратно, если IT0=1. При IT0=0 этот флаг является инверсией логического уровня входного внешнего сигнала /INT0.</p> | | | | | | | | |
| <p>Бит 0: IT0: Выбор типа внешнего прерывания 0. Этот бит определяет, какое событие будет вызывать внешнее прерывание 0: срез или низкий уровень внешнего сигнала /INT0. 0: Внешнее прерывание 0 вызывается низким уровнем сигнала /INT0. 1: Внешнее прерывание 0 вызывается срезом сигнала /INT0.</p> | | | | | | | | |

Рисунок 22.6. TMOD: Регистр режима Таймеров 0 и 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x89 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| GATE1 | C/T1 | T1M1 | T1M0 | GATE0 | C/T0 | T0M1 | T0M0 | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Бит 7: GATE1: Управление блокировкой Таймера 1.
 0: Таймер 1 включен, если TR1 = 1, независимо от логического уровня на входе /INT1.
 1: Таймер 1 включен только тогда, когда TR1 = 1 и на входе /INT1 высокий уровень.

Бит 6: C/T1: Выбор режима таймера или счетчика для T/C1.
 0: T/C1 работает как таймер: Таймер 1 инкрементируется от внутреннего сигнала тактирования, который задается битом T1M (СКCON.4).
 1: T/C1 работает как счетчик: Таймер 1 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T1).

Биты 5-4: T1M1-T1M0: Выбор режима работы Таймера 1.
 Эти биты определяют режим работы Таймера 1.

| T1M1 | T1M0 | Режим |
|------|------|---|
| 0 | 0 | Режим 0: 13-разрядный таймер/счетчик |
| 0 | 1 | Режим 1: 16-разрядный таймер/счетчик |
| 1 | 0 | Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой |
| 1 | 1 | Режим 3: Таймер 1 не активен/остановлен |

Бит 3: GATE0: Управление блокировкой Таймера 0.
 0: Таймер 0 включен, если TR0 = 1, независимо от логического уровня на входе /INT0.
 1: Таймер 0 включен только тогда, когда TR0 = 1 и на входе /INT0 высокий уровень.

Бит 2: C/T0: Выбор режима таймера или счетчика для T/C0.
 0: T/C0 работает как таймер: Таймер 0 инкрементируется от внутреннего сигнала тактирования, который задается битом T0M (СКCON.3).
 1: T/C0 работает как счетчик: Таймер 0 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T0).

Биты 1-0: T0M1-T0M0: Выбор режима работы Таймера 0.
 Эти биты определяют режим работы Таймера 0.

| T0M1 | T0M0 | Режим |
|------|------|---|
| 0 | 0 | Режим 0: 13-разрядный таймер/счетчик |
| 0 | 1 | Режим 1: 16-разрядный таймер/счетчик |
| 1 | 0 | Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой |
| 1 | 1 | Режим 3: Два 8-разрядных таймера/счетчика |

Рисунок 22.7. TL0: Младший байт Таймера 0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x8A |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TL0: Младший байт Таймера 0.
Регистр TL0 является младшим байтом 16-разрядного Таймера 0.

Рисунок 22.8. TL1: Младший байт Таймера 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x8B |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TL1: Младший байт Таймера 1.
Регистр TL1 является младшим байтом 16-разрядного Таймера 1.

Рисунок 22.9. TH0: Старший байт Таймера 0

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x8C |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TH0: Старший байт Таймера 0.
Регистр TH0 является старшим байтом 16-разрядного Таймера 0.

Рисунок 22.10. TH1: Старший байт Таймера 1

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x8D |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TH1: Старший байт Таймера 1.
Регистр TH1 является старшим байтом 16-разрядного Таймера 1.

22.2. Таймер 2

Таймер 2 представляет собой 16-разрядный таймер/счетчик, образованный двумя SFR регистрами: TL2 (младший байт) и TH2 (старший байт). Аналогично Таймерам 0 и 1, Таймер 2 в качестве сигнала тактирования может использовать системный тактовый сигнал или срез сигнала на внешнем входном выводе (T2). Бит выбора режима таймера или счетчика C/T2 (T2CON.1) определяет источник сигнала тактирования для Таймера 2. Если бит C/T2 = 0, то в качестве сигнала тактирования будет использоваться системный тактовый сигнал (деленный либо на 1, либо на 12 в зависимости от значения бита T2M регистра CKCON). Если бит C/T2 = 1, то регистр таймера/счетчика будет инкрементироваться под воздействием перехода из 1 в 0 внешнего сигнала на входном выводе T2. (В разделе 17.1 приведена подробная информация о выборе и настройке внешних выводов). Таймер 2 может также использоваться для запуска преобразования АЦП.

Таймер 2 обладает дополнительными возможностями, отсутствующими у Таймеров 0 и 1. Он может работать в одном из трех режимов:

- 16-разрядный таймер/счетчик с захватом,
- 16-разрядный таймер/счетчик с автоперезагрузкой,
- режим генератора скорости передачи данных.

Режимы работы Таймера 2 задаются установкой бит конфигурации в регистре управления Таймера 2 T2CON, (см. таблицу в конце этого раздела). В следующих разделах приводится подробное описание каждого режима работы Таймера 2.

| RCLK0 | TCLK0 | CP/RL2 | TR2 | Режим |
|-------|-------|--------|-----|---|
| 0 | 0 | 1 | 1 | 16-разрядный таймер/счетчик с захватом |
| 0 | 0 | 0 | 1 | 16-разрядный таймер/счетчик с автоперезагрузкой |
| 0 | 1 | X | 1 | Генератор скорости передачи данных для УАППО |
| 1 | 0 | X | 1 | Генератор скорости передачи данных для УАППО |
| 1 | 1 | X | 1 | Генератор скорости передачи данных для УАППО |
| X | X | X | 0 | Отключен |

22.2.1. Режим 0: 16-разрядный таймер/счетчик с захватом

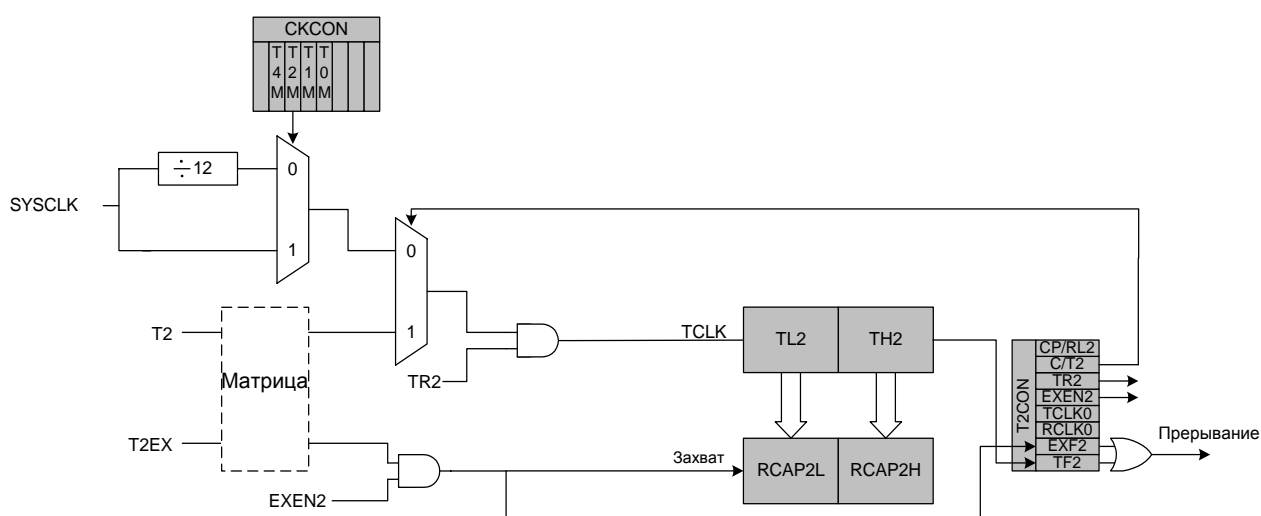
В этом режиме Таймер 2 работает как 16-разрядный счетчик с возможностью захвата. Под воздействием перехода из 1 в 0 внешнего сигнала на входном выводе T2EX происходит следующее:

1. 16-разрядное значение из регистров Таймера 2 (TH2, TL2) загружается в регистры захвата (RCAP2H, RCAP2L).
2. Устанавливается в 1 флаг внешнего входного сигнала Таймера 2 (EXF2).
3. Генерируется прерывание от Таймера 2, если оно разрешено.

Таймер 2 при работе в режиме таймера/счетчика с захватом в качестве внутреннего сигнала тактирования может использовать сигнал системной тактовой частоты (SYSCLK), сигнал системной тактовой частоты, деленной на 12 (SYSCLK/12), или срез (переход из 1 в 0) сигнала на внешнем выводе T2. Если бит C/T2 (T2CON.1) сброшен в 0, то в качестве сигнала тактирования будет использоваться системный тактовый сигнал (деленный либо на 1, либо на 12 в зависимости от значения бита T2M регистра CKCON). Если бит C/T2 установлен в 1, то регистр таймера/счетчика будет инкрементироваться под воздействием перехода из 1 в 0 внешнего сигнала на входном выводе T2. Когда регистр таймера/счетчика инкрементируется и переполняется из состояния 0xFFFF в состояние 0x0000, устанавливается флаг переполнения таймера TF2 и будет сгенерировано прерывание, если оно разрешено.

Режим таймера/счетчика с захватом выбирается установкой в 1 бита выбора режима захват/перезагрузка CP/RL2 (T2CON.0) и бита управления запуском Таймера 2 TR2 (T2CON.2). Для включения захвата бит разрешения внешнего сигнала для Таймера 2 EXEN2 (T2CON.3) также должен быть установлен в 1. Если бит EXEN2 сброшен, то срезы внешнего сигнала на входном выводе T2EX будут игнорироваться.

Рисунок 22.11. Структурная схема Таймера 2 в режиме 0

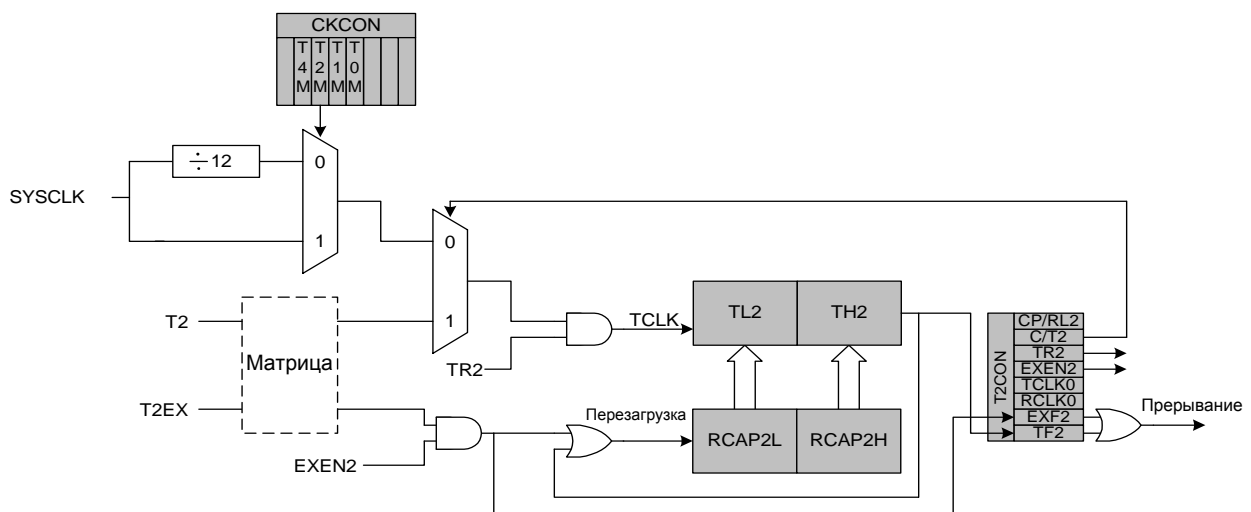


22.2.2. Режим 1: 16-разрядный таймер/счетчик с автоперезагрузкой

Таймер/Счетчик с режимом автоперезагрузки устанавливает флаг переполнения таймера TF2 при переполнении регистра таймера/счетчика из состояния 0xFFFF в состояние 0x0000. Генерируется прерывание, если оно разрешено. При переполнении 16-битное значение, хранящееся в двух регистрах захвата (RCAP2H, RCAP2L), автоматически загружается в регистр таймера/счетчика и таймер перезапускается.

Режим таймера/счетчика с автоперезагрузкой выбирается сбросом в 0 бита CP/RL2. Установка в 1 бита TR2 включает и запускает таймер. Таймер 2 в качестве внутреннего сигнала тактирования может использовать сигнал системной тактовой частоты или срез (переход из 1 в 0) внешнего сигнала на входном выводе T2 (выбор сигнала тактирования осуществляется битом C/T2). Если бит EXEN2 установлен в 1, то под воздействием перехода из 1 в 0 внешнего сигнала на выводе T2EX произойдет перезагрузка Таймера 2 и будет сгенерировано прерывание от Таймера 2, если оно разрешено. Если бит EXEN2 сброшен в 0, то срезы внешнего сигнала на входном выводе T2EX будут игнорироваться.

Рисунок 22.12. Структурная схема Таймера 2 в режиме 1



22.2.3. Режим 2: Генератор скорости передачи данных

Таймер 2 может использоваться в качестве генератора скорости передачи данных для последовательного порта УАППО, если УАППО работает в режимах 1 или 3 (подробная информация о режимах работы УАППО приведена в разделе 20.1). В режиме генератора скорости передачи данных Таймер 2 работает так же, как в режиме автоперезагрузки. При переполнении 16-битное значение, хранящееся в двух регистрах захвата (RCAP2H, RCAP2L), автоматически загружается в регистр таймера/счетчика. Однако, флаг переполнения TF2 не устанавливается и прерывание не генерируется. Вместо этого, событие переполнения используется в качестве входного тактового сигнала для регистра сдвига модуля УАППО. Переполнение Таймера 2 может использоваться для генерации скорости передачи данных для передатчика и/или приемника независимо.

Режим генератора скорости передачи данных выбирается установкой в 1 битов RCLK0 (T2CON.5) и/или TCLK0 (T2CON.4). Если RCLK0 = 1 или TCLK0 = 1, то Таймер 2 работает в режиме автоперезагрузки независимо от состояния бита CP/RL2. Следует иметь ввиду, что в режиме генератора скорости передачи данных частота тактирования Таймера 2 равна системной тактовой частоте, деленной на 2. Если Таймер 2 используется в качестве генератора скорости передачи данных для УАППО, то скорость передачи данных УАППО определяется следующим уравнением:

$$\text{Baud Rate} = \text{SYSCLK} / [32 * (65536 - [\text{RCAP2H}:\text{RCAP2L}])]]$$

Если требуется другая частота тактирования таймера, то установка в 1 бита C/T2 позволит использовать для этой цели входной сигнал на внешнем выводе T2. В этом случае скорость передачи данных для УАППО вычисляется по формуле:

$$\text{Baud Rate} = F_{\text{CLK}} / [16 * (65536 - [\text{RCAP2H}:\text{RCAP2L}])],$$

где F_{CLK} – частота входного сигнала на внешнем выводе T2,
[RCAP2H:RCAP2L] - 16-битное значение, хранящееся в регистрах захвата.

Как описано выше, в режиме генератора скорости передачи данных Таймер 2 не устанавливает флаг переполнения TF2 и поэтому не может генерировать прерывание. Однако, если бит EXEN2 установлен в 1, то под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T2EX будет установлен в 1 флаг EXF2 и будет сгенерировано прерывание от Таймера 2, если оно разрешено. Поэтому вход T2EX можно использовать как дополнительный источник внешнего прерывания.

Рисунок 22.13. Структурная схема Таймера 2 в режиме 2

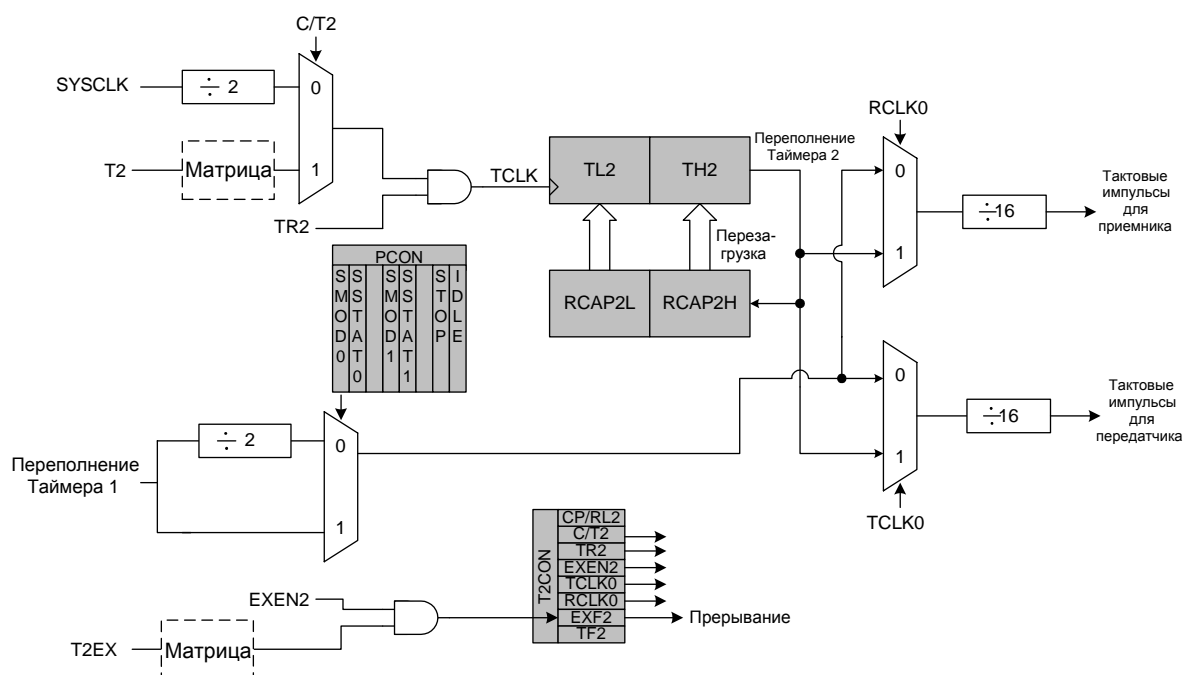


Рисунок 22.14. T2CON: Регистр управления Таймера 2

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 |
|-------|-------|-------|-------|-------|-------|-------|---|-------------------------------------|
| TF2 | EXF2 | RCLK0 | TCLK0 | EXEN2 | TR2 | C/T2 | CP/RL2 | SFR Адрес: 0xC8 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (доступен в битовом режиме адресации) | |

Бит 7: TF2: Флаг переполнения Таймера 2.
Устанавливается в 1 аппаратно, если Таймер 2 переполняется из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера 2 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 2. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно. Флаг TF2 не устанавливается, если RCLK0 = 1 и/или TCLK0 = 1.

Бит 6: EXF2: Флаг внешнего входного сигнала Таймера 2.
Устанавливается в 1 аппаратно, если под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T2EX происходит либо захват, либо перезагрузка, и EXEN2 = 1. Если прерывание от Таймера 2 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 2. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.

Бит 5: RCLK0: Флаг тактирования приемника УАППО.
Этим битом осуществляется выбор таймера, используемого для тактирования приемника модуля УАППО (в режимах 1 или 3).
0: Для тактирования приемника УАППО используется переполнение Таймера 1.
1: Для тактирования приемника УАППО используется переполнение Таймера 2.

Бит 4: TCLK0: Флаг тактирования передатчика УАППО.
Этим битом осуществляется выбор таймера, используемого для тактирования передатчика модуля УАППО (в режимах 1 или 3).
0: Для тактирования передатчика УАППО используется переполнение Таймера 1.
1: Для тактирования передатчика УАППО используется переполнение Таймера 2.

Бит 3: EXEN2: Разрешение внешнего сигнала для Таймера 2.
Разрешает переходам из 1 в 0 (срезам) входного сигнала на внешнем выводе T2EX вызывать захват или перезагрузку, если Таймер 2 не работает в режиме генератора скорости передачи данных.
0: Срезы внешнего сигнала на выводе T2EX игнорируются.
1: Срезы внешнего сигнала на выводе T2EX вызывают захват или перезагрузку.

Бит 2: TR2: Бит управления запуском Таймера 2.
Этот бит включает/отключает Таймер 2.
0: Таймер 2 отключен.
1: Таймер 2 включен.

Бит 1: C/T2: Выбор режима счетчика или таймера для Таймера 2.
0: Режим таймера: Таймер 2 инкрементируется от внутреннего сигнала тактирования, частота которого задается битом T2M (CKCON.5).
1: Режим счетчика: Таймер 2 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T2).

Бит 0: CP/RL2: Выбор режима захвата или перезагрузки.
Этот бит определяет, в каком режиме функционирует Таймер 2: в режиме захвата или в режиме автоперезагрузки. Бит EXEN2 должен быть установлен в 1, чтобы срезы внешнего сигнала на выводе T2EX распознавались и использовались для осуществления захвата или перезагрузки. Если RCLK0 = 1 или TCLK0 = 1, то этот бит игнорируется и Таймер 2 работает в режиме автоперезагрузки.
0: При переполнении Таймера 2 или под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T2EX происходит автоперезагрузка (если EXEN2 = 1).
1: Под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T2EX происходит захват (если EXEN2 = 1).



Рисунок 22.15. RCAP2L: Младший байт регистра захвата Таймера 2

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xCA |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: RCAP2L: Младший байт регистра захвата Таймера 2.
Регистр RCAP2L захватывает младший байт Таймера 2, если Таймер 2 работает в режиме захвата. Если Таймер 2 работает в режиме автоперезагрузки, то этот регистр содержит младший байт перезагружаемого значения.

Рисунок 22.16. RCAP2H: Старший байт регистра захвата Таймера 2

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xCB |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: RCAP2H: Старший байт регистра захвата Таймера 2.
Регистр RCAP2H захватывает старший байт Таймера 2, если Таймер 2 работает в режиме захвата. Если Таймер 2 работает в режиме автоперезагрузки, то этот регистр содержит старший байт перезагружаемого значения.

Рисунок 22.17. TL2: Младший байт Таймера 2

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xCC |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TL2: Младший байт Таймера 2.
Регистр TL2 содержит младший байт 16-разрядного Таймера 2.

Рисунок 22.18. TH2: Старший байт Таймера 2

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xCD |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TH2: Старший байт Таймера 2.
Регистр TH2 содержит старший байт 16-разрядного Таймера 2.

22.3. Таймер 3

Таймер 3 представляет собой 16-разрядный таймер, образованный двумя 8-разрядными SFR регистрами, TMR3L (младший байт) и TMR3H (старший байт). В качестве входного сигнала тактирования Таймера 3 может использоваться сигнал от внешнего генератора (деленный по частоте на 8) или системный тактовый сигнал, деленный по частоте на 1 или на 12, в зависимости от состояния бита T3M регистра управления TMR3CN. Таймер 3 всегда настроен как автоматически перезагружаемый таймер, значение перезагрузки которого хранится в регистрах TMR3RLL (младший байт) и TMR3RLH (старший байт).

Возможность тактирования Таймера 3 от внешнего генератора позволяет реализовать режим счетчика реального времени. Когда бит T3XCLK (TMR3CN.0) установлен в 1, Таймер 3 тактируется входным сигналом (деленным по частоте на 8), поступающим от внешнего генератора, независимо от выбора системного тактового сигнала. Это позволяет Таймеру 3 тактироваться от прецизионного внешнего источника в то время, как системный тактовый сигнал получается от высокоскоростного внутреннего генератора. Когда T3XCLK = 0, источник тактирования Таймера 3 определяется битом T3M (TMR3CN.1).

Таймер 3 может использоваться для запуска преобразования модуля АЦП, для тактирования модуля SMBus (см. раздел 18), а также в качестве таймера общего назначения. Таймер 3 не может работать в режиме счетчика.

Рисунок 22.19. Структурная схема Таймера 3

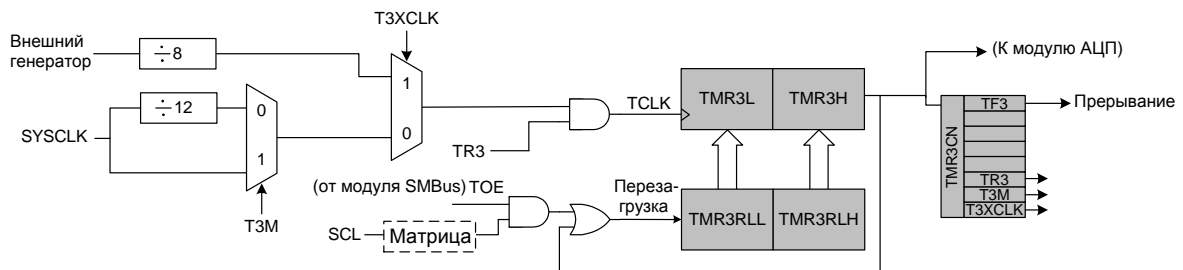


Рисунок 22.20. TMR3CN: Регистр управления Таймера 3

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|--------|-------------------------|
| TF3 | - | - | - | - | TR3 | T3M | T3XCLK | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0x91 |

Бит 7: TF3: Флаг переполнения Таймера 3.
Устанавливается в 1 аппаратно, если Таймер 3 переполняется из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера 3 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 3. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.

Биты 6-3: Не используются. Читаются как 0000b.

Бит 2: TR3: Бит управления запуском Таймера 3.
Этот бит включает/отключает Таймер 3.
0: Таймер 3 отключен.
1: Таймер 3 включен.

Бит 1: T3M: Выбор коэффициента деления системной тактовой частоты для Таймера 3.
Этот бит определяет частоту сигнала тактирования Таймера 3.
0: Частота сигнала тактирования Таймера 3 равна 1/12 системной тактовой частоты.
1: Частота сигнала тактирования Таймера 3 равна системной тактовой частоте.

Бит 0: T3XCLK: Выбор внешнего источника тактирования Таймера 3.
Это бит выбирает входной сигнал от внешнего источника (деленный по частоте на 8) в качестве источника тактовых импульсов для Таймера 3. Когда T3XCLK = 1, бит T3M (TMR3CN.1) игнорируется.
0: Источник тактирования Таймера 3 определяется битом T3M (TMR3CN.1).
1: Источником тактирования Таймера 3 является входной сигнал от внешнего генератора, деленный по частоте на 8.

Рисунок 22.21. TMR3RLL: Младший байт регистра перезагрузки Таймера 3

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|-------------------------|
| | | | | | | | | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0x92 |

Биты 7-0: TMR3RLL: Младший байт регистра перезагрузки Таймера 3.
Таймер 3 настроен как таймер с автоматической перезагрузкой. Этот регистр содержит младший байт перезагружаемого значения.

Рисунок 22.22. TMR3RLH: Старший байт регистра перезагрузки Таймера 3

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x93 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TMR3RLH: Старший байт регистра перезагрузки Таймера 3.
Таймер 3 настроен как таймер с автоматической перезагрузкой. Этот регистр содержит старший байт перезагружаемого значения.

Рисунок 22.23. TMR3L: Младший байт Таймера 3

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x94 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TMR3L: Младший байт Таймера 3.
Регистр TMR3L является младшим байтом Таймера 3.

Рисунок 22.24. TMR3H: Старший байт Таймера 3

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0x95 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TMR3H: Старший байт Таймера 3.
Регистр TMR3H является старшим байтом Таймера 3.

22.4. Таймер 4.

Таймер 4 представляет собой 16-разрядный таймер/счетчик, образованный двумя SFR регистрами: TL4 (младший байт) и TH4 (старший байт). Аналогично Таймерам 0 и 1, Таймер 4 в качестве сигнала тактирования может использовать системный тактовый сигнал или срез сигнала на внешнем входном выводе (T4). Бит выбора режима таймера или счетчика C/T4 (T4CON.1) определяет источник сигнала тактирования для Таймера 4. Если бит C/T4 = 0, то в качестве сигнала тактирования будет использоваться системный тактовый сигнал (деленный либо на 1, либо на 12 в зависимости от значения бита T4M регистра CKCON). Если бит C/T4 = 1, то регистр таймера/счетчика будет инкрементироваться под воздействием перехода из 1 в 0 внешнего сигнала на входном выводе T4. (В разделе 17.1 приведена подробная информация о выборе и настройке внешних выводов).

Таймер 4 обладает дополнительными возможностями, отсутствующими у Таймеров 0 и 1. Он может работать в одном из трех режимов:

- 16-разрядный таймер/счетчик с захватом,
- 16-разрядный таймер/счетчик с автоперезагрузкой,
- режим генератора скорости передачи данных.

Режимы работы Таймера 4 задаются установкой бит конфигурации в регистре управления Таймера 4 T4CON, (см. таблицу в конце этого раздела). В следующих разделах приводится подробное описание каждого режима работы Таймера 4.

| RCLK1 | TCLK1 | CP/RL4 | TR4 | Режим |
|-------|-------|--------|-----|---|
| 0 | 0 | 1 | 1 | 16-разрядный таймер/счетчик с захватом |
| 0 | 0 | 0 | 1 | 16-разрядный таймер/счетчик с автоперезагрузкой |
| 0 | 1 | X | 1 | Генератор скорости передачи данных для УАПП1 |
| 1 | 0 | X | 1 | Генератор скорости передачи данных для УАПП1 |
| 1 | 1 | X | 1 | Генератор скорости передачи данных для УАПП1 |
| X | X | X | 0 | Отключен |

22.4.1. Режим 0: 16-разрядный таймер/счетчик с захватом

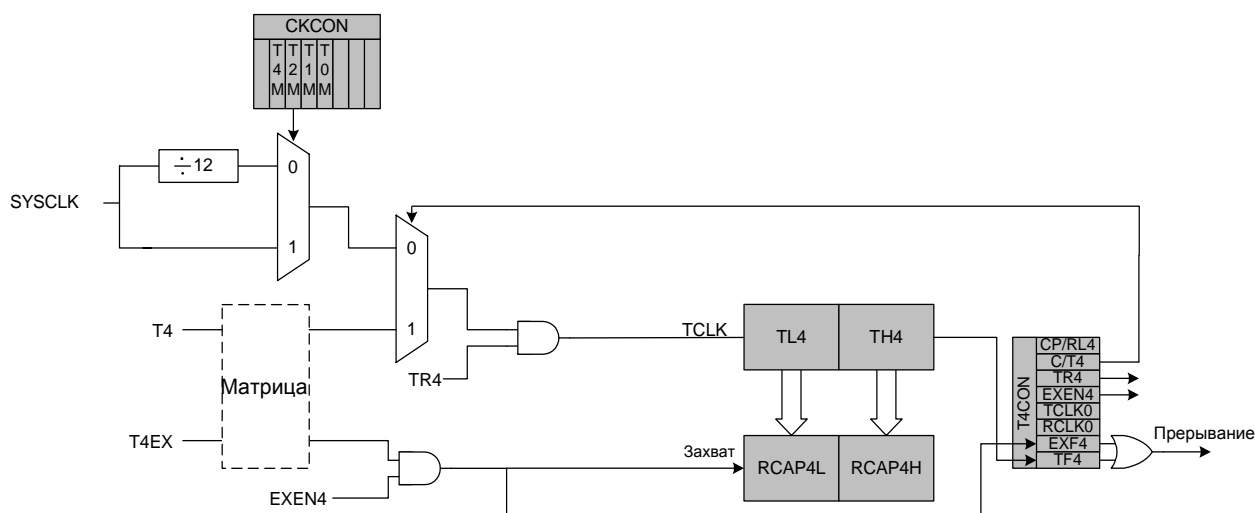
В этом режиме Таймер 4 работает как 16-разрядный счетчик с возможностью захвата. Под воздействием перехода из 1 в 0 внешнего сигнала на входном выводе T4EX происходит следующее:

- 16-разрядное значение из регистров Таймера 4 (TH4, TL4) загружается в регистры захвата (RCAP4H, RCAP4L).
- Устанавливается в 1 флаг внешнего входного сигнала Таймера 4 (EXF4).
- Генерируется прерывание от Таймера 4, если оно разрешено.

Таймер 4 при работе в режиме таймера/счетчика с захватом в качестве внутреннего сигнала тактирования может использовать сигнал системной тактовой частоты (SYSCLK), сигнал системной тактовой частоты, деленной на 12 (SYSCLK/12), или срез (переход из 1 в 0) сигнала на внешнем выводе Т4. Если бит C/T4 (T4CON.1) сброшен в 0, то в качестве сигнала тактирования будет использоваться системный тактовый сигнал (деленный либо на 1, либо на 12 в зависимости от значения бита Т4М регистра CKCON). Если бит C/T4 установлен в 1, то регистр таймера/счетчика будет инкрементироваться под воздействием перехода из 1 в 0 внешнего сигнала на входном выводе Т4. Когда регистр таймера/счетчика инкрементируется и переполняется из состояния 0xFFFF в состояние 0x0000, устанавливается флаг переполнения таймера TF4 (T4CON.7) и будет сгенерировано прерывание, если оно разрешено.

Режим таймера/счетчика с захватом выбирается установкой в 1 бита выбора режима захват/перезагрузка CP/RL4 (T4CON.0) и бита управления запуском Таймера 4 TR4 (T4CON.2). Для включения захвата бит разрешения внешнего сигнала для Таймера 4 EXEN4 (T4CON.3) также должен быть установлен в 1. Если бит EXEN4 сброшен, то срезы внешнего сигнала на входном выводе T4EX будут игнорироваться.

Рисунок 22.25. Структурная схема Таймера 4 в режиме 0

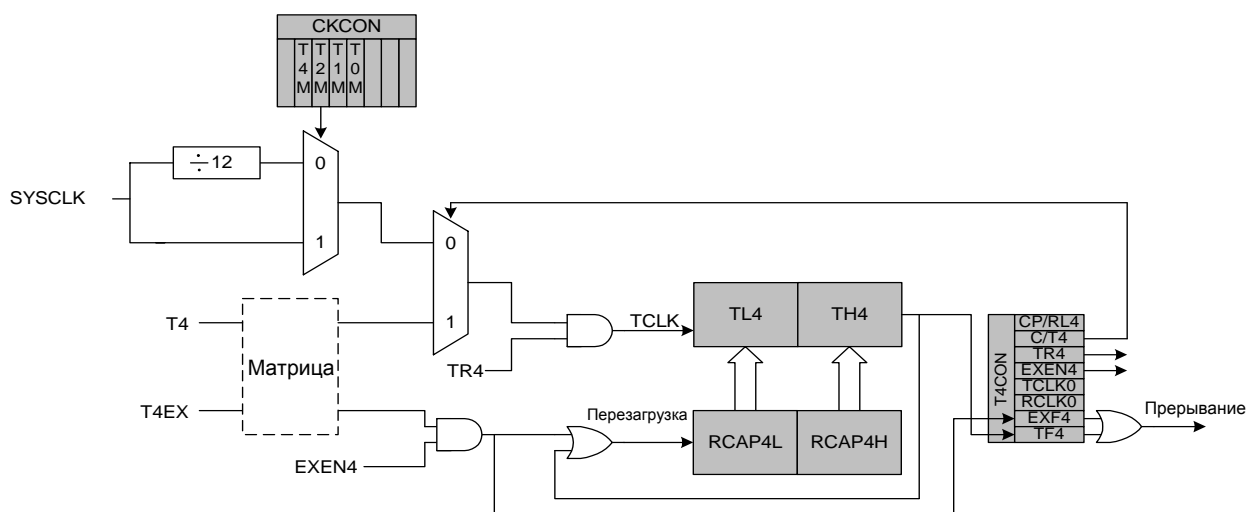


22.4.2. Режим 1: 16-разрядный таймер/счетчик с автоперезагрузкой

Таймер/Счетчик с режимом автоперезагрузки устанавливает флаг переполнения таймера TF4 при переполнении регистра таймера/счетчика из состояния 0xFFFF в состояние 0x0000. Генерируется прерывание, если оно разрешено. При переполнении 16-битное значение, хранящееся в двух регистрах захвата (RCAP4H, RCAP4L), автоматически загружается в регистр таймера/счетчика и таймер перезапускается.

Режим таймера/счетчика с автоперезагрузкой выбирается сбросом в 0 бита CP/RL4. Установка в 1 бита TR4 включает и запускает таймер. Таймер 4 в качестве внутреннего сигнала тактирования может использовать сигнал системной тактовой частоты или срез (переход из 1 в 0) внешнего сигнала на входном выводе T4 (выбор сигнала тактирования осуществляется битом C/T4). Если бит EXEN4 установлен в 1, то под воздействием перехода из 1 в 0 внешнего сигнала на выводе T4EX произойдет перезагрузка Таймера 4 и будет сгенерировано прерывание от Таймера 4, если оно разрешено. Если бит EXEN4 сброшен в 0, то срезы внешнего сигнала на входном выводе T4EX будут игнорироваться.

Рисунок 22.26. Структурная схема Таймера 4 в режиме 1



22.4.3. Режим 2: Генератор скорости передачи данных

Таймер 4 может использоваться в качестве генератора скорости передачи данных для последовательного порта УАПП1, если УАПП1 работает в режимах 1 или 3 (подробная информация о режимах работы УАПП1 приведена в разделе 21.1). В режиме генератора скорости передачи данных Таймер 4 работает так же, как в режиме автоперезагрузки. При переполнении 16-битное значение, хранящееся в двух регистрах захвата (RCAP4H, RCAP4L), автоматически загружается в регистр таймера/счетчика. Однако, флаг переполнения TF4 не устанавливается и прерывание не генерируется. Вместо этого, событие переполнения используется в качестве входного тактового сигнала для регистра сдвига модуля УАПП1. Переполнение Таймера 4 может использоваться для генерации скорости передачи данных для передатчика и/или приемника независимо.

Режим генератора скорости передачи данных выбирается установкой в 1 битов RCLK1 (T4CON.5) и/или TCLK1 (T4CON.4). Если RCLK1 = 1 или TCLK1 = 1, то Таймер 2 работает в режиме автоперезагрузки независимо от состояния бита CP/RL4. Следует иметь в виду, что в режиме генератора скорости передачи данных частота тактирования Таймера 4 равна системной тактовой частоте, деленной на 2. Если Таймер 4 используется в качестве генератора скорости передачи данных для УАПП1, то скорость передачи данных УАПП1 определяется следующим уравнением:

$$\text{Baud Rate} = \text{SYSCLK} / [32 * (65536 - [\text{RCAP4H}:\text{RCAP4L}])]$$

Если требуется другая частота тактирования таймера, то установка в 1 бита C/T4 позволит использовать для этой цели входной сигнал на внешнем выводе T4. В этом случае скорость передачи данных для УАПП1 вычисляется по формуле:

$$\text{Baud Rate} = F_{\text{CLK}} / [16 * (65536 - [\text{RCAP4H}:\text{RCAP4L}])],$$

где F_{CLK} – частота входного сигнала на внешнем выводе T4,
[RCAP4H:RCAP4L] - 16-битное значение, хранящееся в регистрах захвата.

Как описано выше, в режиме генератора скорости передачи данных Таймер 4 не устанавливает флаг переполнения TF4 и поэтому не может генерировать прерывание. Однако, если бит EXEN4 установлен в 1, то под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T4EX будет установлен в 1 флаг EXF4 и будет сгенерировано прерывание от Таймера 4, если оно разрешено. Поэтому вход T4EX можно использовать как дополнительный источник внешнего прерывания.

Рисунок 22.27. Структурная схема Таймера 4 в режиме 2

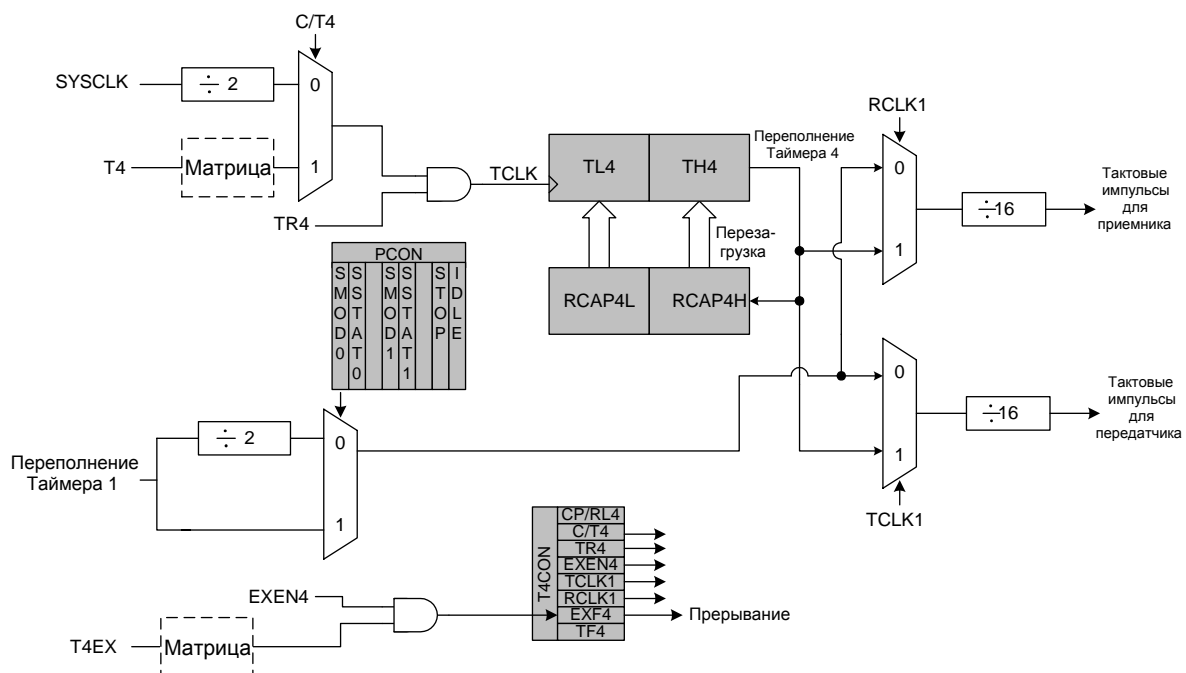


Рисунок 22.28. T4CON: Регистр управления Таймера 4

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: SFR Адрес: 0xC9 |
|-------|-------|-------|-------|-------|-------|-------|--------|---|
| TF4 | EXF4 | RCLK1 | TCLK1 | EXEN4 | TR4 | C/T4 | CP/RL4 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Бит 7: TF4: Флаг переполнения Таймера 4.
Устанавливается в 1 аппаратно, если Таймер 4 переполняется из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера 4 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 4. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно. Флаг TF4 не устанавливается, если RCLK1 = 1 и/или TCLK1 = 1.

Бит 6: EXF4: Флаг внешнего входного сигнала Таймера 4.
Устанавливается в 1 аппаратно, если под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T4EX происходит либо захват, либо перезагрузка, и EXEN4 = 1. Если прерывание от Таймера 4 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 4. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.

Бит 5: RCLK1: Флаг тактирования приемника УАПП1.
Этим битом осуществляется выбор таймера, используемого для тактирования приемника модуля УАПП1 (в режимах 1 или 3).
0: Для тактирования приемника УАПП1 используется переполнение Таймера 1.
1: Для тактирования приемника УАПП1 используется переполнение Таймера 4.

Бит 4: TCLK1: Флаг тактирования передатчика УАПП1.
Этим битом осуществляется выбор таймера, используемого для тактирования передатчика модуля УАПП1 (в режимах 1 или 3).
0: Для тактирования передатчика УАПП1 используется переполнение Таймера 1.
1: Для тактирования передатчика УАПП1 используется переполнение Таймера 4.

Бит 3: EXEN4: Разрешение внешнего сигнала для Таймера 4.
Разрешает переходам из 1 в 0 (срезам) входного сигнала на внешнем выводе T4EX вызывать захват или перезагрузку, если Таймер 4 не работает в режиме генератора скорости передачи данных.
0: Срезы внешнего сигнала на выводе T4EX игнорируются.
1: Срезы внешнего сигнала на выводе T4EX вызывают захват или перезагрузку.

Бит 2: TR4: Бит управления запуском Таймера 4.
Этот бит включает/отключает Таймер 4.
0: Таймер 4 отключен.
1: Таймер 4 включен.

Бит 1: C/T4: Выбор режима счетчика или таймера для Таймера 4.
0: Режим таймера: Таймер 4 инкрементируется от внутреннего сигнала тактирования, частота которого задается битом T4M (CKCON.6).
1: Режим счетчика: Таймер 4 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T4).

Бит 0: CP/RL4: Выбор режима захвата или перезагрузки.
Этот бит определяет, в каком режиме функционирует Таймер 4: в режиме захвата или в режиме автоперезагрузки. Бит EXEN4 должен быть установлен в 1, чтобы срезы внешнего сигнала на выводе T4EX распознавались и использовались для осуществления захвата или перезагрузки. Если RCLK1 = 1 или TCLK1 = 1, то этот бит игнорируется и Таймер 4 работает в режиме автоперезагрузки.
0: При переполнении Таймера 4 или под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T4EX происходит автоперезагрузка (если EXEN4 = 1).
1: Под воздействием перехода из 1 в 0 входного сигнала на внешнем выводе T4EX происходит захват (если EXEN4 = 1).

Рисунок 22.29. RCAP4L: Младший байт регистра захвата Таймера 4

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xE4 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: RCAP4L: Младший байт регистра захвата Таймера 4.
Регистр RCAP4L захватывает младший байт Таймера 4, если Таймер 4 работает в режиме захвата. Если Таймер 4 работает в режиме автоперезагрузки, то этот регистр содержит младший байт перезагружаемого значения.

Рисунок 22.30. RCAP4H: Старший байт регистра захвата Таймера 4

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xE5 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: RCAP4H: Старший байт регистра захвата Таймера 4.
Регистр RCAP4H захватывает старший байт Таймера 4, если Таймер 4 работает в режиме захвата. Если Таймер 4 работает в режиме автоперезагрузки, то этот регистр содержит старший байт перезагружаемого значения.

Рисунок 22.31. TL4: Младший байт Таймера 4

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xF4 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TL4: Младший байт Таймера 4.
Регистр TL4 содержит младший байт 16-разрядного Таймера 4.

Рисунок 22.32. TH4: Старший байт Таймера 4

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xF5 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: TH4: Старший байт Таймера 4.
Регистр TH4 содержит старший байт 16-разрядного Таймера 4.



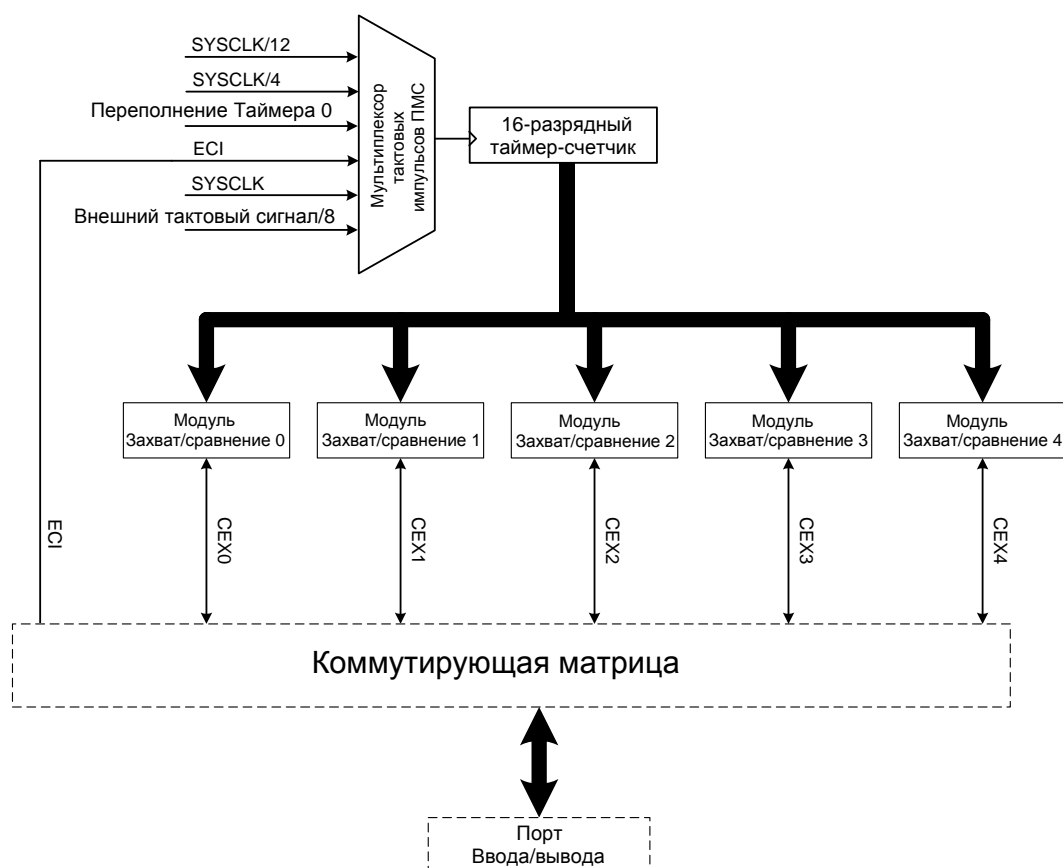
23. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ

Программируемый массив счетчиков (ПМС) реализует расширенные таймерные функции, при этом требует меньшего вмешательства со стороны процессорного ядра, чем стандартные таймеры/счетчики архитектуры 8051. ПМС состоит из специального 16-разрядного таймера/счетчика и пяти 16-разрядных модулей захват/сравнение. Каждый модуль захват/сравнение имеет свою собственную линию ввода/вывода (CEX_n), которая через матрицу соединяется, если разрешено, с портом ввода/вывода (подробная информация о настройке матрицы приведена в разделе 17.1). Таймер/счетчик тактируется программируемым внутренним сигналом, в качестве которого могут использоваться:

- внутренний сигнал с частотой, равной системной тактовой частоте;
- внутренний сигнал с частотой, равной 1/4 системной тактовой частоты;
- внутренний сигнал с частотой, равной 1/12 системной тактовой частоты;
- сигнал от внешнего генератора, деленный по частоте на 8;
- переполнение Таймера 0;
- входной сигнал на внешнем выводе ECI.

Каждый модуль можно независимо настроить для работы в одном из шести режимов: инициируемый по фронту сигнала захват, программный таймер, высокоскоростной выход, выход заданной частоты, 8-разрядный широтно-импульсный модулятор и 16-разрядный широтно-импульсный модулятор (описание каждого режима приведено в разделе 23.2). Для управления модулем ПМС и его настройки используются связанные с ним SFR регистры. Структурная схема модуля ПМС показана на рис.23.1.

Рисунок 23.1. Структурная схема ПМС



23.1. Таймер/счетчик модуля ПМС

16-разрядный таймер/счетчик модуля ПМС состоит из двух 8-разрядных SFR регистров: PCA0L и PCA0H. PCA0H является старшим байтом (СЗБ) 16-разрядного таймера/счетчика, а PCA0L образует младший байт (МЗБ). При чтении регистра PCA0L значение регистра PCA0H автоматически фиксируется в регистре-защелке; последующее чтение регистра PCA0H возвратит данные именно из этого регистра-защелки. Таким образом, для обеспечения точности считывания полного 16-разрядного значения таймера/счетчика ПМС необходимо сначала прочитать регистр PCA0L, а затем регистр PCA0H. Чтение регистров PCA0H или PCA0L не препятствует функционированию счетчика. Выбор внутреннего сигнала тактирования таймера/счетчика осуществляется битами CPS2 - CPS0 регистра PCA0MD, как показано в табл.23.2. **Следует иметь в виду, что если для тактирования таймера/счетчика ПМС используется сигнал от внешнего генератора, деленный по частоте на 8, то этот сигнал синхронизируется с системным тактовым сигналом и поэтому не должен превышать его по частоте.**

При переполнении таймера/счетчика из состояния 0xFFFF в состояние 0x0000 устанавливается в 1 флаг переполнения счетчика (CF) в регистре PCA0MD и, если прерывание от флага CF разрешено, генерируется запрос прерывания. Установка в 1 бита ECF в регистре PCA0MD разрешает генерацию запроса прерываний при установке флага CF. Бит CF не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Следует иметь в виду, что прерывания от флага CF распознаются только в том случае, если прерывания от модуля ПМС разрешены глобально. Прерывания от ПМС разрешаются глобально установкой в 1 битов EA (IE.7) и EPCA0 (EIE1.3). Сброс в 0 бита CIDL регистра PCA0MD позволяет ПМС продолжать нормальное функционирование в то время, когда МК переведен в режим ожидания.

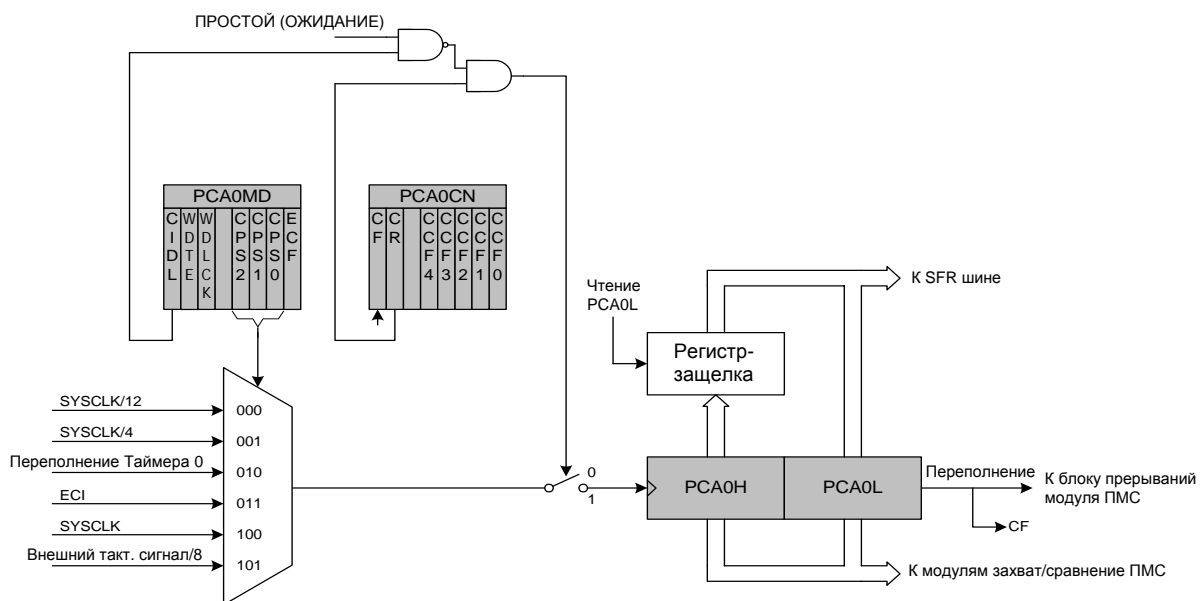
Таблица 23.1. Выбор тактового сигнала для ПМС

| CPS2 | CPS1 | CPS0 | Внутренний сигнал тактирования ПМС |
|------|------|------|--|
| 0 | 0 | 0 | SYSCLK/12 |
| 0 | 0 | 1 | SYSCLK/4 |
| 0 | 1 | 0 | Переполнение Таймера 0 |
| 0 | 1 | 1 | Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI** (макс. частота = SYSCLK/4) |
| 1 | 0 | 0 | SYSCLK |
| 1 | 0 | 1 | Сигнал от внешнего генератора, деленный по частоте на 8* |

* Сигнал от внешнего генератора, деленный по частоте на 8, синхронизируется с системным тактовым сигналом

** Минимальная длительность удержания высокого или низкого уровней сигнала на входе ECI составляет 2 системных тактовых цикла.

Рисунок 23.2. Структурная схема таймера/счетчика модуля ПМС

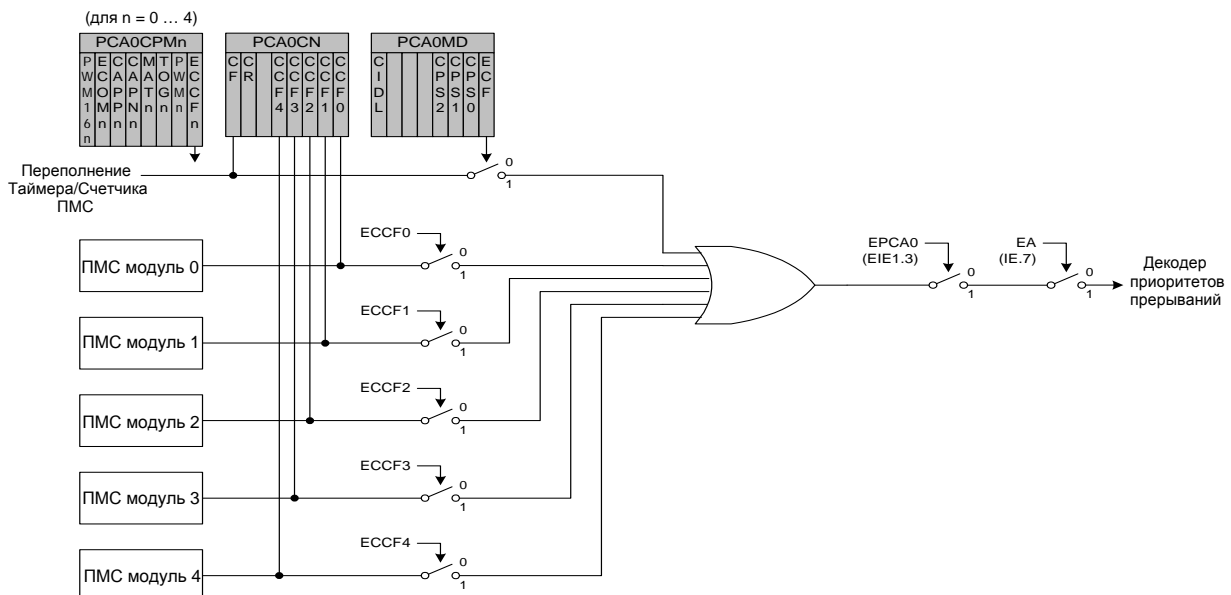


Важное замечание относительно регистра PCA0CN: если основной счетчик ПМС (PCA0H : PCA0L) переполняется во время выполнения команды типа чтение-модификация-запись (поразрядные операции SETB или CLR, ANL, ORL, XRL), которые адресуют регистр PCA0CN, то флаг переполнения CF не будет устанавливаться. При выполнении поразрядных операций с регистром PCA0CN необходимо придерживаться следующей последовательности действий:

1. Запретить глобально все прерывания ($EA = 0$).
2. Прочитать PCA0L. При этом значение PCA0H будет зафиксировано.
3. Прочитать PCA0H и сохранить полученное значение.
4. Выполнить битовую операцию над CCFn (например, CLR CCF0, или $CCF0 = 0$);).
5. Прочитать PCA0L.
6. Прочитать PCA0H и сохранить полученное значение.
7. Если значение PCA0H, прочитанное в п.3, равно 0xFF, а значение PCA0H, прочитанное в п.6, равно 0x00, то необходимо в программе явным образом установить в 1 бит CF (например, SETB CF, или $CF = 1$);).
8. Разрешить глобально все прерывания ($EA = 1$).

Ред. 1.4

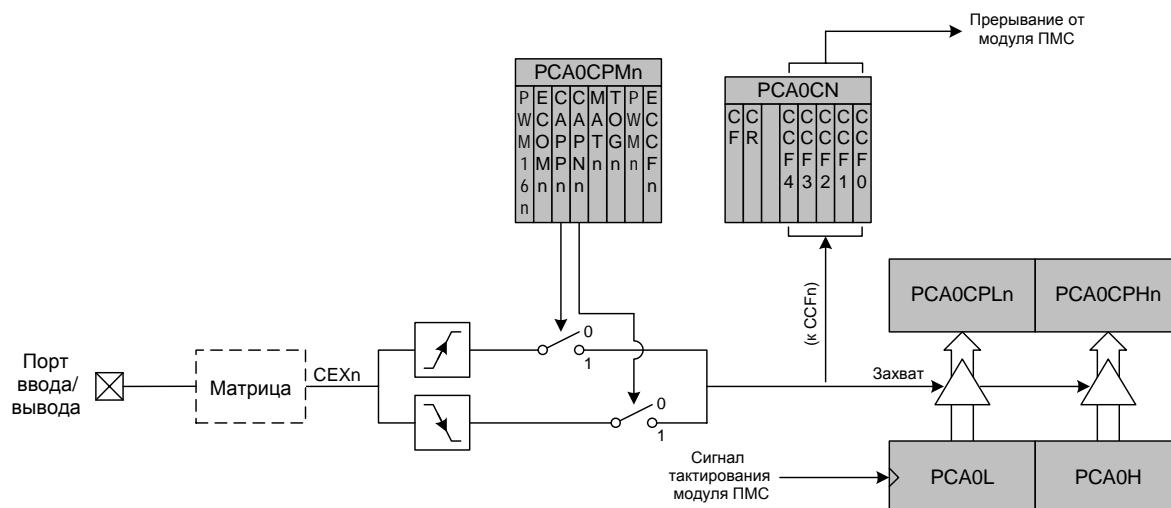
252



23.2.1. Режим захвата по фронту сигнала

В этом режиме активный фронт сигнала на внешнем выводе CEXn приведет к захвату значения таймера/счетчика ПМС и загрузке его в 16-разрядный регистр захвата/сравнения (PCA0CPLn и PCA0CPHn) соответствующего модуля. Биты CAPPn и CAPNn регистра PCA0CPMn определяют, по какому фронту будет осуществляться захват: по положительному (переход из 0 в 1), по отрицательному (переход из 1 в 0) или по любому фронту. Когда происходит захват, флаг захвата/сравнения (CCF_n) в регистре PCA0CN устанавливается в 1 и, если CCF прерывание разрешено, генерируется запрос прерывания. Бит CCF_n не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно.

Рисунок 23.4. Структурная схема ПМС в режиме захвата



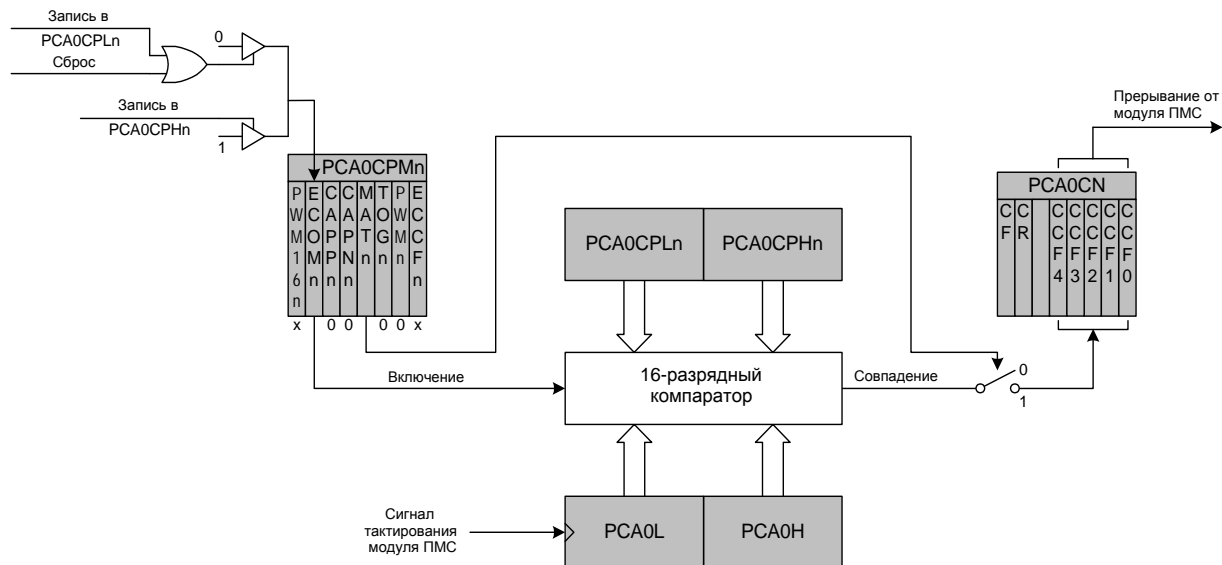
Примечание: Минимальная длительность удержания высокого или низкого уровней сигнала на входе СЕХп составляет 2 системных тактовых цикла, что необходимо для обеспечения правильного функционирования модуля ПМС.

23.2.2. Режим программного таймера (сравнения)

В режиме программного таймера значение таймера/счетчика ПМС сравнивается со значением 16-разрядного регистра захвата/сравнения (PCA0CPHn и PCA0CPLn) соответствующего модуля. Когда происходит совпадение, флаг захвата/сравнения (CCFn) в регистре PCA0CN устанавливается в 1 и, если CCFn прерывание разрешено, генерируется запрос прерывания. Бит CCFn не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Режим программного таймера включается установкой в 1 битов ECOMn и MATn регистра PCA0CPMn.

Важное замечание относительно регистров захвата/сравнения: При записи 16-разрядного значения в регистры захвата/сравнения модуля ПМС младший байт всегда необходимо записывать первым. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Рисунок 23.5. Структурная схема ПМС в режиме программного таймера

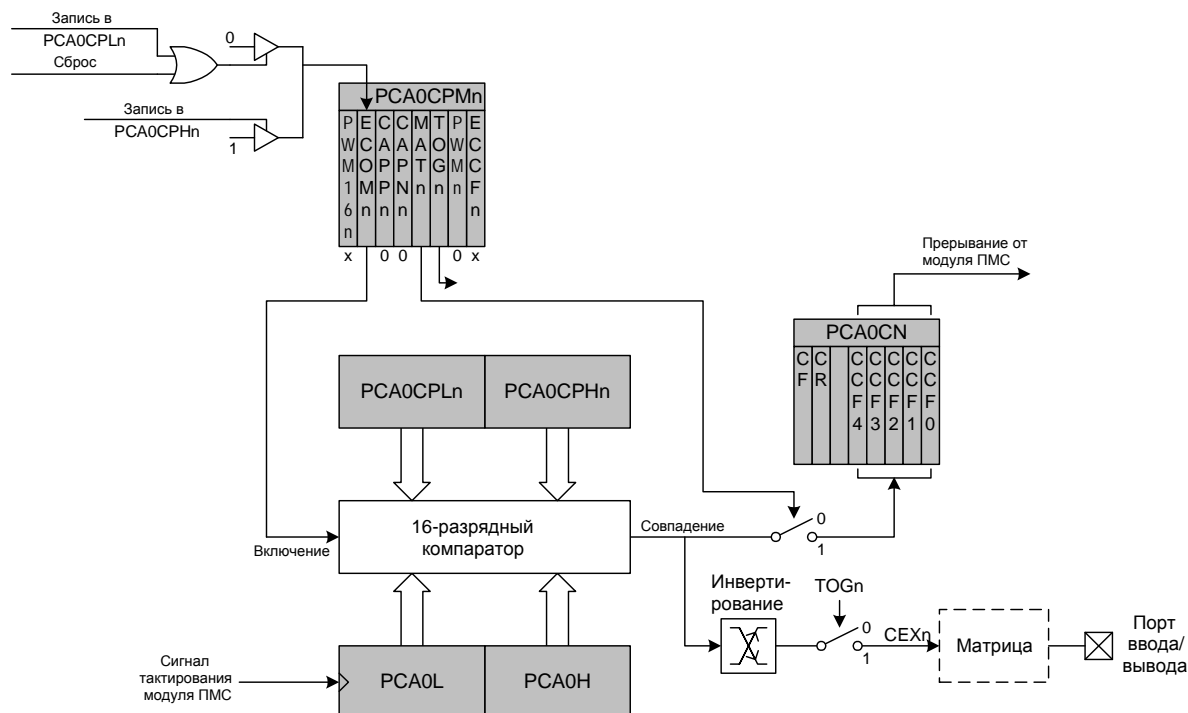


23.2.3. Режим высокоскоростного выхода

В этом режиме каждый раз, когда происходит совпадение значения таймера/счетчика ПМС и значения 16-разрядного регистра захвата/сравнения (PCA0CPHn and PCA0CPLn), логический уровень выходного сигнала на относящемся к модулю выводе CEXn будет инвертироваться. Режим высокоскоростного выхода включается установкой в 1 битов TOGn, MATn и ECOMn регистра PCA0CPMn.

Важное замечание относительно регистров захвата/сравнения: При записи 16-разрядного значения в регистры захвата/сравнения модуля ПМС младший байт всегда необходимо записывать первым. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Рисунок 23.6. Структурная схема ПМС в режиме высокоскоростного выхода



Ред. 1.4

256



23.2.5. Режим 8-разрядного широтно-импульсного модулятора

Каждый модуль захвата/сравнения можно использовать независимо от других для генерации на соответствующем ему выводе CEX_n выходного сигнала с широтно-импульсной модуляцией (ШИМ). Частота этого выходного сигнала зависит от частоты сигнала тактирования таймера/счетчика ПМС. Для изменения коэффициента заполнения (скважности) выходного ШИМ сигнала используется регистр захвата/сравнения PCA0CPL_n соответствующего модуля. Когда значение младшего байта таймера/счетчика ПМС (PCA0L) становится равным значению регистра PCA0CPL_n, на внешнем выводе CEX_n устанавливается сигнал высокого уровня. Когда регистр PCA0L переполнится, на выводе CEX_n установится сигнал низкого уровня (см. рис.23.8). Кроме этого, при переполнении младшего байта таймера/счетчика (PCA0L) из состояния 0xFF в состояние 0x00 регистр PCA0CPL_n автоматически перезагружается значением, хранящимся в регистре PCA0CPH_n, без вмешательства со стороны программы. Во избежание сбоев в работе цифрового компаратора рекомендуется осуществлять запись в регистр PCA0CPH_n, а не в регистр PCA0CPL_n. Режим 8-разрядного широтно-импульсного модулятора включается установкой в 1 бит ECOM_n и PWM_n регистра PCA0CPM_n. Скважность выходного сигнала в режиме 8-разрядного ШИМ определяется уравнением 23.2.

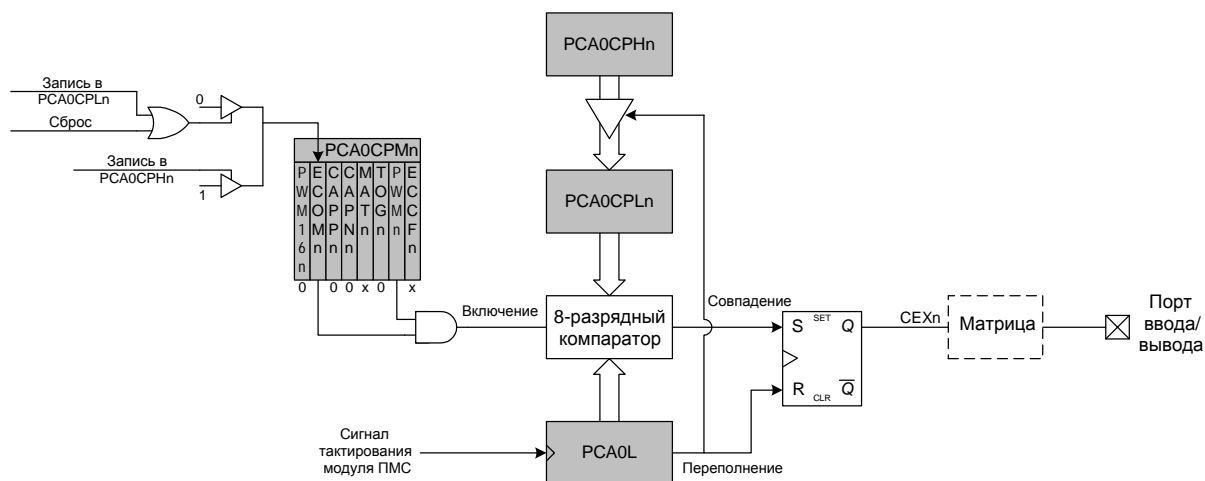
Важное замечание относительно регистров захвата/сравнения: При записи 16-разрядного значения в регистры захвата/сравнения модуля ПМС младший байт всегда необходимо записывать первым. Запись в регистр PCA0CPL_n сбрасывает в 0 бит ECOM_n; запись в регистр PCA0CPH_n устанавливает в 1 бит ECOM_n.

Уравнение 23.2. Скважность выходного сигнала в режиме 8-разр. ШИМ

$$DutyCycle = (256 - PCA0CPH_n) / 256$$

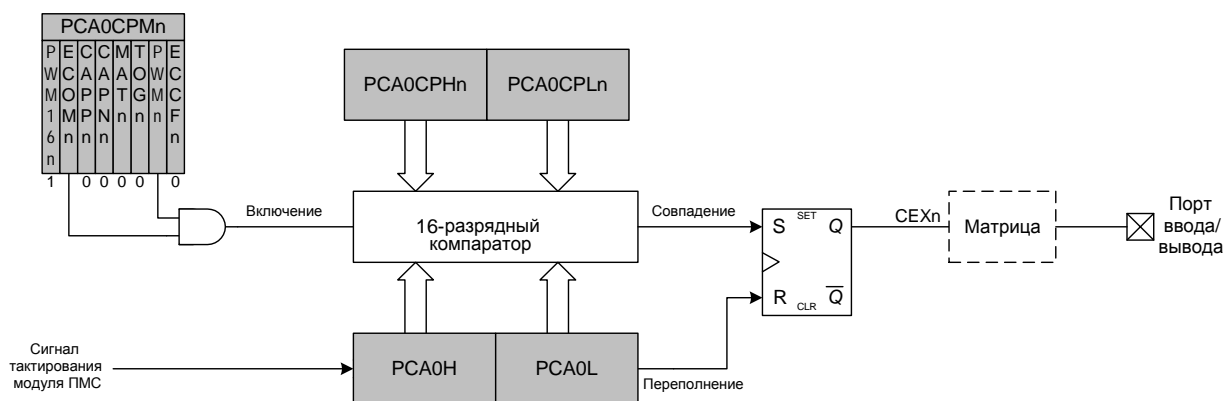
В соответствии с уравнением 23.2 максимальная скважность составляет 100% (PCA0CPH_n = 0), а минимальная скважность составляет 0,39% (PCA0CPH_n = 0xFF). Сигнал со скважностью, равной 0%, можно получить, сбросив в 0 бит ECOM_n.

Рисунок 23.8. Структурная схема ПМС в режиме 8-разр. ШИМ.



Ред. 1.4

258



23.3. Описание регистров модуля ПМС

Ниже приводится описание регистров специального назначения, связанных с работой модуля ПМС.

Рисунок 23.10. PCA0CN: Регистр управления ПМС

| R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|---------------------------------------|----------------------|
| CF | CR | - | CCF4 | CCF3 | CCF2 | CCF1 | CCF0 | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xD8 |
| | | | | | | | (доступен в битовом режиме адресации) | |

Бит 7: CF: Флаг переполнения Таймера/Счетчика ПМС.
Устанавливается в 1 аппаратно, когда Таймер/Счетчик ПМС переполняется из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера/Счетчика ПМС (от флага CF) разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно. (См. “Важное замечание относительно регистра PCA0CN” на стр.251).

Бит 6: CR: Управление запуском Таймера/Счетчика ПМС.
Этот бит включает/отключает Таймер/Счетчик ПМС.
0: Таймер/Счетчик ПМС отключен.
1: Таймер/Счетчик ПМС включен.

Бит 5: Не используется. Читается как 0b.

Бит 4: CCF4: Флаг захвата/сравнения модуля 4 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 3: CCF3: Флаг захвата/сравнения модуля 3 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 2: CCF2: Флаг захвата/сравнения модуля 2 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 1: CCF1: Флаг захвата/сравнения модуля 1 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 0: CCF0: Флаг захвата/сравнения модуля 0 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Рисунок 23.11. PCA0MD: Регистр режима ПМС

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: |
|-------|-------|-------|-------|-------|-------|-------|-------|----------------------|
| CIDL | - | - | - | CPS2 | CPS1 | CPS0 | ECF | 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | SFR Адрес: 0xD9 |

Бит 7: CIDL: Управление режимом простоя (ожидания) Таймера/Счетчика ПМС.
 Это бит определяет поведение ПМС в то время, когда МК находится в режиме простоя (ожидания).
 0: ПМС продолжает нормально функционировать в то время, когда МК находится в режиме простоя (ожидания).
 1: Работа ПМС приостанавливается в то время, когда МК находится в режиме простоя (ожидания).

Биты 6-4: Не используются. Читаются как 000b.

Биты 3-1: CPS2-CPS0: Выбор сигнала тактирования Таймера/Счетчика ПМС.
 Эти биты определяют, какой сигнал будет использоваться для тактирования Таймера/Счетчика ПМС.

| CPS2 | CPS1 | CPS0 | Внутренний сигнал тактирования ПМС |
|------|------|------|---|
| 0 | 0 | 0 | SYSCLK/12 |
| 0 | 0 | 1 | SYSCLK/4 |
| 0 | 1 | 0 | Переполнение Таймера 0 |
| 0 | 1 | 1 | Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI** (макс. частота = SYSCLK/4) |
| 1 | 0 | 0 | SYSCLK |
| 1 | 0 | 1 | Сигнал от внешнего источника, деленный по частоте на 8* |
| 1 | 1 | 0 | Зарезервировано |
| 1 | 1 | 1 | Зарезервировано |

* Сигнал от внешнего генератора, деленный по частоте на 8, синхронизируется с системным тактовым сигналом.
 ** Минимальная длительность удержания высокого или низкого уровней сигнала на входе ECI составляет 2 системных тактовых цикла.

Бит 0: ECF: Разрешение прерываний от переполнения Таймера/Счетчика ПМС.
 Этот бит разрешает/запрещает прерывания от переполнения Таймера/Счетчика ПМС (от флага CF).
 0: Прерывания от флага CF (PCA0CN.7) запрещены.
 1: Прерывания от флага CF (PCA0CN.7) разрешены.

Рисунок 23.12. PCA0CPMn: Регистры управления модулями захват/сравнение

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xDA-0xDE |
|--------|-------|-------|-------|-------|-------|-------|-------|--|
| PWM16n | ECOMn | CAPPn | CAPNn | MATn | TOGn | PWMn | ECCFn | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Адреса регистров PCA0CPMn: PCA0CPM0 = 0xDA (n = 0)
PCA0CPM1 = 0xDB (n = 1)
PCA0CPM2 = 0xDC (n = 2)
PCA0CPM3 = 0xDD (n = 3)
PCA0CPM4 = 0xDE (n = 4)

Бит 7: PWM16n: Включение режима 16-разрядного ШИМ.
Этот бит выбирает 16-разрядный режим, если режим ШИМ включен (PWMn = 1).
0: Выбран режим 8-разр. ШИМ.
1: Выбран режим 16-разр. ШИМ.

Бит 6: ECOMn: Разрешение функции компаратора.
Этот бит включает/отключает функцию компаратора модуля n ПМС.
0: Компаратор отключен.
1: Компаратор включен.

Бит 5: CAPPn: Разрешение функции захвата по положительному фронту.
Этот бит разрешает/запрещает захват по положительному фронту для модуля n ПМС.
0: Захват по положительному фронту запрещен.
1: Захват по положительному фронту разрешен.

Бит 4: CAPNn: Разрешение функции захвата по отрицательному фронту.
Этот бит разрешает/запрещает захват по отрицательному фронту для модуля n ПМС.
0: Захват по отрицательному фронту запрещен.
1: Захват по отрицательному фронту разрешен.

Бит 3: MATn: Разрешение функции определения совпадения.
Этот бит включает/отключает функцию определения совпадения для модуля n ПМС. Если MATn = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к установке в 1 бита CCFn в регистре PCA0MD.
0: Функция определения совпадения отключена.
1: Функция определения совпадения включена.

Бит 2: TOGn: Разрешение функции инвертирования выхода.
Этот бит включает/отключает функцию инвертирования выходного сигнала для модуля n ПМС. Если TOGn = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к инвертированию логического уровня выходного сигнала на внешнем выводе CEXn.
0: Функция инвертирования выхода отключена.
1: Функция инвертирования выхода включена.

Бит 1: PWMn: Включение режима ШИМ.
Этот бит включает/отключает функцию ШИМ для модуля n ПМС. Если PWMn = 1, то выходной ШИМ-сигнал появляется на внешнем выводе CEXn. Если PWM16n = 0, то используется режим 8-разр. ШИМ; если PWM16n = 1, то используется режим 16-разр. ШИМ. Если TOGn = 1, то модуль работает в режиме выхода заданной частоты.
0: Функция ШИМ отключена.
1: Функция ШИМ включена.

Бит 0: ECCFn: Разрешение прерываний от флага захвата/сравнения (CCFn).
Этот бит разрешает/запрещает прерывания от флага захвата/сравнения (CCFn).
0: Прерывания от флага CCFn запрещены.
1: Прерывания от флага CCFn разрешены.

Рисунок 23.13. PCA0L: Младший байт таймера/счетчика ПМС

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xE9 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: PCA0L: Младший байт таймера/счетчика ПМС.
Регистр PCA0L содержит младший байт (МЗБ) 16-разрядного таймера/счетчика ПМС.

Рисунок 23.14. PCA0H: Старший байт таймера/счетчика ПМС

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xF9 |
|-------|-------|-------|-------|-------|-------|-------|-------|---|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Биты 7-0: PCA0H: Старший байт таймера/счетчика ПМС.
Регистр PCA0H содержит старший байт (СЗБ) 16-разрядного таймера/счетчика ПМС.

Рисунок 23.15. PCA0CPLn: Младший байт модуля захвата ПМС

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xEA-0xEE |
|-------|-------|-------|-------|-------|-------|-------|-------|--|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Адреса регистров PCA0CPLn: PCA0CPL0 = 0xEA (n = 0)
PCA0CPL1 = 0xEB (n = 1)
PCA0CPL2 = 0xEC (n = 2)
PCA0CPL3 = 0xED (n = 3)
PCA0CPL4 = 0xEE (n = 4)

Биты 7-6: PCA0CPLn: Младший байт модуля захвата ПМС.
Регистр PCA0CPLn содержит младший байт (МЗБ) 16-разрядного модуля захвата *n*.

Рисунок 23.16. PCA0CPHn: Старший байт модуля захвата ПМС

| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | Значение при сбросе: 00000000 SFR Адрес: 0xFA-0xFE |
|-------|-------|-------|-------|-------|-------|-------|-------|--|
| | | | | | | | | |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Адреса регистров PCA0CPHn: PCA0CPH0 = 0xFA (n = 0)
PCA0CPH1 = 0xFB (n = 1)
PCA0CPH2 = 0xFC (n = 2)
PCA0CPH3 = 0xFD (n = 3)
PCA0CPH4 = 0xFE (n = 4)

Биты 7-0: PCA0CPHn: Старший байт модуля захвата ПМС.
Регистр PCA0CPHn содержит старший байт (СЗБ) 16-разрядного модуля захвата *n*.

ПРИМЕЧАНИЯ

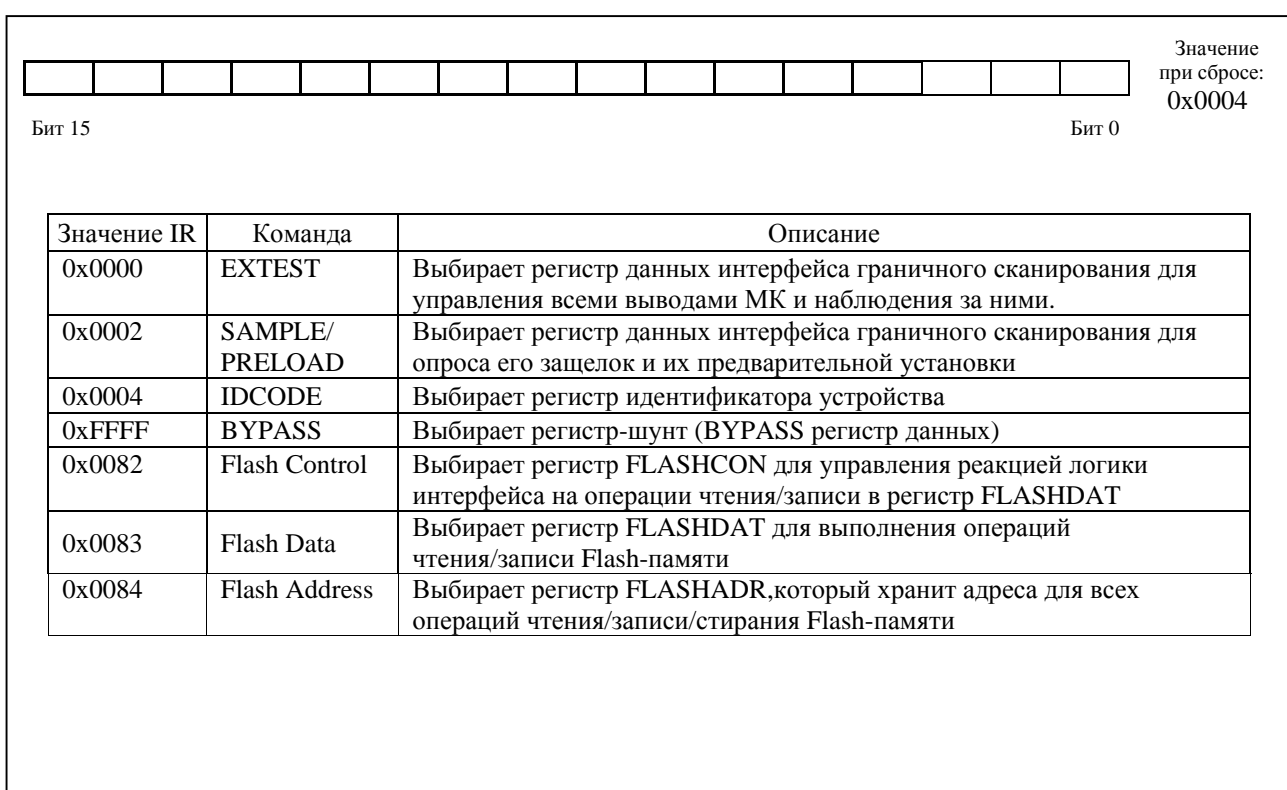
24. ИНТЕРФЕЙС JTAG (IEEE 1149.1)

Каждый МК имеет встроенный интерфейс JTAG и логику поддержки граничного сканирования, предназначенные для производственных испытаний и внутрисистемного тестирования, выполнения операций чтения и записи Flash-памяти, а также для проведения «неразрушающей» внутрисхемной отладки. Интерфейс JTAG полностью соответствует спецификации IEEE 1149.1. Эта спецификация содержит подробную информацию об интерфейсе тестирования и архитектуре граничного сканирования. Работа с регистром команд (IR) и регистром данных (DR) интерфейса JTAG описана в разделе «Test Access Port and Operation» (порт тестового доступа и работа в режиме тестирования) спецификации IEEE 1149.1.

Для работы с интерфейсом JTAG используются четыре специальных вывода МК: TCK, TMS, TDI и TDO.

Используя 16-разрядный регистр команд интерфейса JTAG (IR), можно подавать любую из восьми команд, показанных на рис.24.1. Имеется три регистра данных (DR), связанных с работой интерфейса граничного сканирования, и четыре регистра данных, связанных с выполнением операций чтения/записи Flash-памяти МК.

Рисунок 24.1. IR: Регистр команд интерфейса JTAG



24.1. Граничное сканирование

Регистр данных интерфейса граничного сканирования является 134-разрядным регистром сдвига. Этот регистр позволяет как управлять всеми выводами МК, SFR шиной и слаботочковыми подтягивающими резисторами, так и определять их состояние. Для этого используются команды EXTEST и SAMPLE.

Таблица 24.1. Описание бит регистра данных интерфейса граничного сканирования

Команда EXTEST позволяет осуществлять операции как захвата, так и обновления, а команда SAMPLE выполняет только захват.

| Бит | Действие | Целевой сигнал |
|------------------------------------|------------|--|
| 0 | Захват | Разрешение сброса от МК (C8051021/3) |
| | Обновление | Разрешение сброса на вывод /RST (C8051021/3) |
| 1 | Захват | Входной сигнал сброса с вывода /RST (C8051021/3) |
| | Обновление | Выходной сигнал сброса на вывод /RST (C8051021/3) |
| 2 | Захват | Разрешение сброса от МК (C8051020/2) |
| | Обновление | Разрешение сброса на вывод /RST (C8051020/2) |
| 3 | Захват | Входной сигнал сброса с вывода /RST (C8051020/2) |
| | Обновление | Выходной сигнал сброса на вывод /RST (C8051020/2) |
| 4 | Захват | Сигнал внешнего тактового генератора с вывода XTAL1 |
| | Обновление | Не используется |
| 5 | Захват | Разрешение слаботочковых подтягивающих резисторов от МК |
| | Обновление | Разрешение слаботочковых подтягивающих резисторов к выводам портов |
| 6, 8, 10, 12, 14, 16, 18, 20 | Захват | Разрешение выхода P0.n от МК (напр., Bit6=P0.0, Bit8=P0.1, и т.д.) |
| | Обновление | Разрешение выхода P0.n на вывод (напр., Bit6=P0.0oe, Bit8=P0.1oe, и т.д.)* |
| 7, 9, 11, 13, 15, 17, 19, 21 | Захват | Входной сигнал P0.n с вывода (напр., Bit7=P0.0, Bit9=P0.1, и т.д.) |
| | Обновление | Выходной сигнал P0.n на вывод (напр., Bit7=P0.0, Bit9=P0.1, и т.д.) |
| 22, 24, 26, 28, 30, 32, 34, 36 | Захват | Разрешение выхода P1.n от МК |
| | Обновление | Разрешение выхода P1.n на вывод |
| 23, 25, 27, 29, 31, 33, 35, 37 | Захват | Входной сигнал P1.n с вывода |
| | Обновление | Выходной сигнал P1.n на вывод |
| 38, 40, 42, 44, 46, 48, 50, 52 | Захват | Разрешение выхода P2.n от МК |
| | Обновление | Разрешение выхода P2.n на вывод |
| 39, 41, 43, 45, 47, 49, 51, 53 | Захват | Входной сигнал P2.n с вывода |
| | Обновление | Выходной сигнал P2.n на вывод |
| 54, 56, 58, 60, 62, 64, 66, 68 | Захват | Разрешение выхода P3.n от МК |
| | Обновление | Разрешение выхода P3.n на вывод |
| 55, 57, 59, 61, 63, 65, 67, 69 | Захват | Входной сигнал P3.n с вывода |
| | Обновление | Выходной сигнал P3.n на вывод |
| 70, 72, 74, 76, 78, 80, 82, 84 | Захват | Разрешение выхода P4.n от МК |
| | Обновление | Разрешение выхода P4.n на вывод |
| 71, 73, 75, 77, 79, 81, 83, 85 | Захват | Входной сигнал P4.n с вывода |
| | Обновление | Выходной сигнал P4.n на вывод |
| 86, 88, 90, 92, 94, 96, 98, 100 | Захват | Разрешение выхода P5.n от МК |
| | Обновление | Разрешение выхода P5.n на вывод |
| 87, 89, 91, 93, 95, 97, 99, 101 | Захват | Входной сигнал P5.n с вывода |
| | Обновление | Выходной сигнал P5.n на вывод |

| Бит | Действие | Целевой сигнал |
|--|------------|---------------------------------|
| 102, 104, 106, 108, 110, 112, 114, 116 | Захват | Разрешение выхода P6.n от МК |
| | Обновление | Разрешение выхода P6.n на вывод |
| 103, 105, 107, 109, 111, 113, 115, 117 | Захват | Входной сигнал P6.n с вывода |
| | Обновление | Выходной сигнал P6.n на вывод |
| 118, 120, 122, 124, 126, 128, 130, 132 | Захват | Разрешение выхода P7.n от МК |
| | Обновление | Разрешение выхода P7.n на вывод |
| 119, 121, 123, 125, 127, 129, 131, 133 | Захват | Входной сигнал P7.n с вывода |
| | Обновление | Выходной сигнал P7.n на вывод |

* oe = output enable (разрешение выхода)

24.1.1. Команда EXTEST

Команда EXTEST подается с помощью регистра IR. Регистр данных интерфейса граничного сканирования DR позволяет как управлять всеми выводами МК и слаботочными подтягивающими резисторами, так и определять их состояние. Все входы к элементам встроенной логики установлены в 1.

24.1.2. Команда SAMPLE

Команда SAMPLE подается с помощью регистра IR. Регистр данных интерфейса граничного сканирования DR используется для опроса защелок пути сканирования и их предварительной установки.

24.1.3. Команда BYPASS

Команда BYPASS подается с помощью регистра IR. Она обеспечивает доступ к стандартному 1-разрядному регистру-шунту (BYPASS регистру данных) интерфейса JTAG.

24.1.4. Команда IDCODE

Команда IDCODE подается с помощью регистра IR. Она обеспечивает доступ к 32-регистру идентификатора устройства.

Рисунок 24.2. DEVICEID: Регистр JTAG идентификатора устройства

| Версия | | Шифр компонента | | Идентификатор производителя | | 1 | Значение при сбросе: 0хп0003243 |
|---|--------|-----------------|--------|-----------------------------|-------|-------|---------------------------------------|
| Бит 31 | Бит 28 | Бит 27 | Бит 12 | Бит 11 | Бит 1 | Бит 0 | |
| Версия = 0000b | | | | | | | |
| Шифр компонента = 0000 0000 0000 0011b (C8051F020/1/2/3) | | | | | | | |
| Идентификатор производителя = 0010 0100 001b (Silicon Laboratories) | | | | | | | |

24.2. Команды программирования Flash-памяти

Flash-память можно программировать непосредственно через интерфейс JTAG, используя следующие регистры: Flash Control (регистр управления режимами чтения/записи Flash-памяти), Flash Data (регистр данных Flash-памяти), Flash Address (регистр адреса Flash-памяти) и Flash Scale (регистр делителя модуля Flash-памяти). Обращение к этим косвенным регистрам данных осуществляется через регистр команд интерфейса JTAG. Для выполнения операций чтения и записи косвенных регистров данных сначала необходимо установить адрес соответствующего регистра данных DR в регистре команд IR. Затем каждая операция чтения или записи инициируется записью соответствующего косвенного кода операции в выбранный регистр данных. Поступающие в этот регистр команды имеют следующий формат:

| | |
|--------------------|---------------------|
| 19:18 | 17:0 |
| Косв. код операции | Записываемые данные |

Косв. код операции: Эти биты определяют тип выполняемой операции в соответствии со следующей таблицей:

| Косв. код операции | Операция |
|--------------------|----------|
| 0x | Опрос |
| 10 | Чтение |
| 11 | Запись |

Операция «Опрос» используется для проверки бита занятости, как описано ниже. Несмотря на то, что при опросе выполняется захват данных регистра DR, обновление регистра DR запрещено, поэтому опрос может быть осуществлен путем сдвига (в регистр/из регистра) одного единственного бита.

Операция «Чтение» инициирует чтение из регистра, адресуемого регистром IR. Чтение можно инициировать сдвигом лишь двух бит в косвенный регистр данных. После того, как операция чтения инициирована, необходимо выполнять опрос бита занятости, чтобы определить момент завершения операции.

Операция «Запись» инициирует запись «записываемых данных» в регистр, адресуемый регистром IR. Могут быть записаны регистры с разрядностью до 18 бит включительно. Если записываемый регистр содержит менее 18 бит, то записываемые данные должны быть выровнены влево, т.е. СЗР должен занимать бит 17. Это позволяет использовать для записи более коротких регистров меньшее число тактовых циклов интерфейса JTAG. Например, запись 8-разрядного регистра можно осуществить путем сдвига только 10 бит. После того, как операция записи инициирована, необходимо выполнять опрос бита занятости, чтобы определить момент, когда можно инициировать следующую операцию. Содержимое регистра команд IR нельзя изменять, пока выполняются операции чтения или записи.

Исходящие данные косвенного регистра данных имеют следующий формат:

| | | |
|----|--------------------|--------|
| 19 | 18:1 | 0 |
| 0 | Считываемые данные | Занято |

Бит «Занято» показывает, что текущая операция не завершена. Он устанавливается в 1, когда операция инициируется, и сбрасывается в 0, когда операция завершается. Команды чтения или записи игнорируются, пока бит занятости равен единице. В действительности, если за операцией опроса бита занятости на равенство нулю следует операция чтения или записи, то запись (посредством интерфейса JTAG) следующей операции можно осуществлять во время проверки бита занятости на равенство нулю. Следующая операция (чтения или записи) будет игнорироваться до тех пор, пока бит занятости читается как ноль, и будет инициирована, как только бит занятости станет равен единице. Бит «Занято» занимает бит 0 косвенного регистра данных, что позволяет опросить его путем одноразрядного сдвига. Когда при ожидании завершения операции чтения бит занятости становится равен нулю, можно сдвигать следующие 18 бит для получения результирующих данных. Считываемые данные всегда выровнены вправо. Это позволяет для чтения регистров с разрядностью менее 18 бит использовать меньшее число сдвигов. Например, для получения результата операции чтения байта требуется 9 сдвигов (бит занятости + 8 бит данных).

**Рисунок 24.3. FLASHCON: Регистр управления режимами чтения/записи
Flash-памяти интерфейса JTAG.**

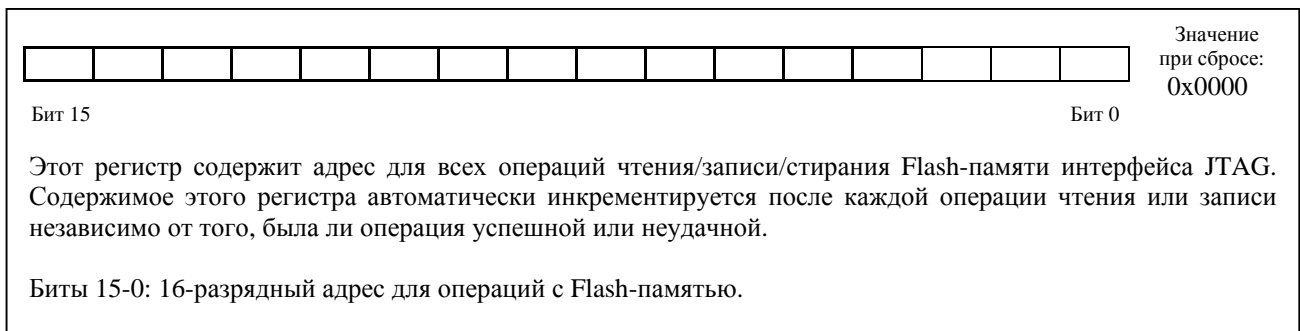
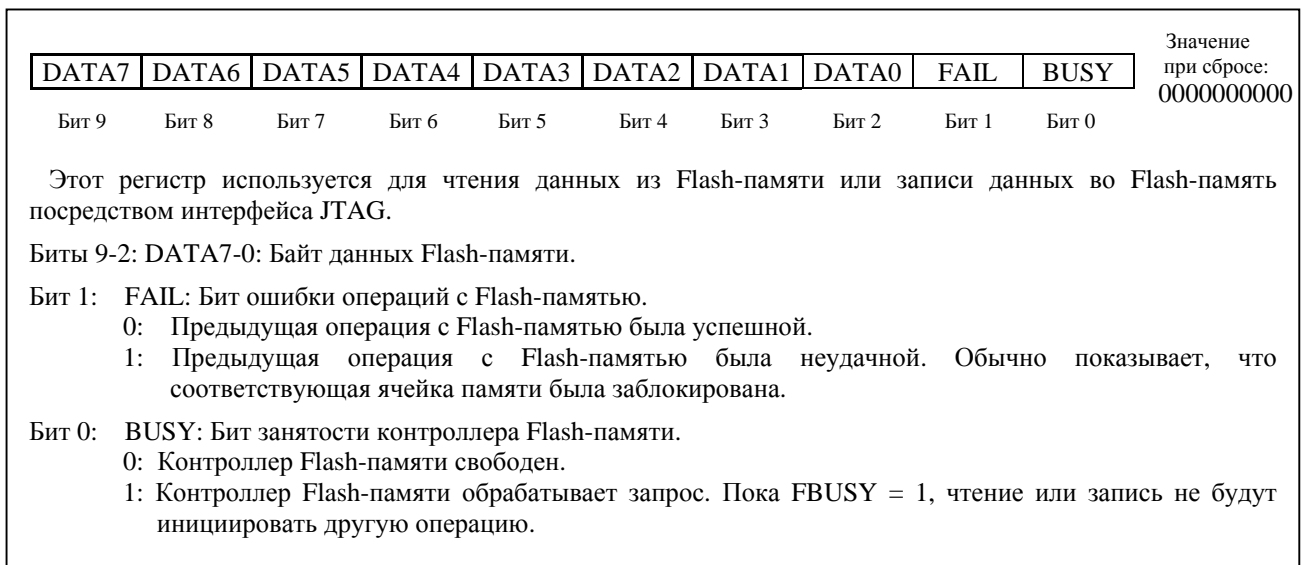
| | | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|-------------------------------------|
| SFLE | WRMD2 | WRMD1 | WRMD0 | RDMD3 | RDMD2 | RDMD1 | RDMD0 | Значение при сбросе: 00000000 |
| Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | |

Этот регистр определяет, каким образом контроллер Flash-памяти будет реагировать на операции чтения и записи в регистр FLASHDAT.

Бит 7: SFLE: Разрешение доступа к области сверхоперативной Flash-памяти.
 Когда этот бит установлен, операции чтения/записи Flash-памяти будут относиться к 128-байтному сектору сверхоперативной Flash-памяти. Когда SFLE = 1, доступ к Flash-памяти по адресам за пределами диапазона 0x00 – 0x7F запрещен. Операции чтения/записи за пределами этого диапазона приведут к непредсказуемым результатам.
 0: Операции с Flash-памятью относятся к 64-Кбайтному сектору Flash-памяти программ/данных.
 1: Операции с Flash-памятью относятся к 128-байтному сектору сверхоперативной Flash-памяти.

Биты 6-4: WRMD2-0: Биты выбора режима записи.
 Биты выбора режима записи управляют реакцией контроллера Flash-памяти на операции записи в регистр FLASHDAT. Возможны следующие варианты:
 000: Запись регистра FLASHDAT заменяет данные в регистре FLASHDAT, но во всем остальном игнорируется.
 001: Запись регистра FLASHDAT инициирует запись содержимого FLASHDAT в ячейку памяти, адресуемую регистром FLASHADR. После завершения содержимое регистра FLASHADR инкрементируется (увеличивается на 1).
 010: Запись регистра FLASHDAT инициирует стирание (установку всех байт в состояние 0xFF) той страницы Flash-памяти, которая содержит адрес, указанный в регистре FLASHADR. Чтобы стирание произошло, в регистр FLASHDAT должно быть записано значение 0xA5. FLASHADR не изменяется. Если FLASHADR = 0x7DFE – 0x7DFF, то будет стерто все доступное пользователю пространство памяти (т.е. вся Flash-память за исключением зарезервированной области 0x7E00 – 0x7FFF).
 (Все другие значения бит WRMD3-0 зарезервированы.)

Биты 3-0: RDMD3-0: Биты выбора режима чтения.
 Биты выбора режима чтения управляют реакцией контроллера Flash-памяти на операции чтения из регистра FLASHDAT. Возможны следующие варианты:
 0000: Операция чтения регистра FLASHDAT возвращает данные из регистра FLASHDAT, но во всем остальном игнорируется.
 0001: Чтение регистра FLASHDAT инициирует чтение байта, адресуемого регистром FLASHADR, если на данный момент нет активных операций. Этот режим используется для чтения блоков памяти.
 0010: Чтение регистра FLASHDAT инициирует чтение байта, адресуемого регистром FLASHADR только в том случае, если на данный момент нет активных операций и любые данные, полученные в результате предыдущей операции чтения, уже прочитаны из регистра FLASHDAT. Этот режим позволяет читать одиночные байты (или последний байт блока) без инициации дополнительного чтения.
 (Все другие значения бит RDMD3-0 зарезервированы.)

Рисунок 24.4. FLASHADR: Регистр адреса Flash-памяти интерфейса JTAG.**Рисунок 24.5. FLASHDAT: Регистр данных Flash-памяти интерфейса JTAG**

24.3. Средства поддержки отладки

Каждый МК имеет встроенные интерфейс JTAG и средства отладки, которые обеспечивают «неразрушающую» внутрисхемную отладку в режиме реального времени с использованием МК, установленного в конечное изделие. Средства отладки фирмы Silicon Laboratories' поддерживают проверку и модификацию памяти и регистров, расстановку точек останова, пошаговую отладку. При этом не требуется никаких специальных дополнительных ОЗУ, памяти программ или каналов связи. Во время отладки все цифровые и аналоговые периферийные модули не отключаются и работают корректно (остаются в режиме синхронизации). При остановке МК в точке останова или при пошаговой отладке сторожевой таймер отключается.

Комплект средств разработки C8051F020DK для МК C8051F020/1/2/3 содержит все необходимые аппаратные и программные средства для разработки программного кода и выполнения внутрисхемной отладки. Каждый комплект включает в себя программный пакет с интегрированной средой разработки, которая содержит отладчик и встроенный ассемблер стандарта 8051. Имеется также блок-преобразователь (адаптер) RS-232/JTAG, а также демонстрационная плата с установленным МК (C8051F020). Кроме этого в комплект средств разработки входят кабели RS-232 и JTAG, а также блок питания в отдельном корпусе.

Contact Information**Silicon Laboratories Inc.**

4635 Boston Lane

Austin, TX 78735

Tel: 1+(512) 416-8500

Fax: 1+(512) 416-9669

Toll Free: 1+(877) 444-3032

Email: productinfo@silabs.comInternet: www.silabs.com

The information in this document is believed to be accurate in all respects at the time of publication but is subject to change without notice. Silicon Laboratories assumes no responsibility for errors and omissions, and disclaims responsibility for any consequences resulting from the use of information included herein. Additionally, Silicon Laboratories assumes no responsibility for the functioning of undescribed features or parameters. Silicon Laboratories reserves the right to make changes without further notice. Silicon Laboratories makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Silicon Laboratories assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. Silicon Laboratories products are not designed, intended, or authorized for use in applications intended to support or sustain life, or for any other application in which the failure of the Silicon Laboratories product could create a situation where personal injury or death may occur. Should Buyer purchase or use Silicon Laboratories products for any such unintended or unauthorized application, Buyer shall indemnify and hold Silicon Laboratories harmless against all claims and damages.

Silicon Laboratories and Silicon Labs are trademarks of Silicon Laboratories Inc.

Other products or brandnames mentioned herein are trademarks or registered trademarks of their respective holder.