



SILICON LABORATORIES

C8051F060/1/2/3/4/5/6/7**Mixed Signal ISP FLASH MCU Family****АНАЛОГОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ****- Два 16-разр. АЦП последовательного приближения**

Разрядность: 16 бит.

Нелинейность $\pm 0,75$ МЗР. Непропадание кодов.

Программируемая скорость преобразования (до 1 млн. преобразований в секунду).

Функционирует как один дифференциальный АЦП или как два однофазных АЦП.

Прямой доступ к памяти; данные сохраняются в ОЗУ без вмешательства со стороны программы.

Формирование прерывания при попадании результата преобразования в заданный диапазон значений.

- 10-разр. АЦП посл. приближения (C8051F060/1/2/3)

Программируемая скорость преобразования (до 200 тыс. преобразований в секунду).

До 8-ми внешних входов (программируются как одиночные или дифференциальные).

Встроенный датчик температуры.

- Два 12-разрядных ЦАП (C8051F060/1/2/3)

Синхронизация выходов с таймерами для генерации сигнала без фазовых искажений.

- Три аналоговых компаратора

Программируемые гистерезис/время отклика.

- Источник опорного напряжения**- Прецизионная схема слежения за напряжением питания/детектор снижения напряжения питания****ВСТРОЕННЫЙ JTAG ОТЛАДЧИК И ИНТЕРФЕЙС ГРАНИЧНОГО СКАНИРОВАНИЯ**

- Встроенный отладчик обеспечивает «неразрушающую» внутрисхемную/внутрисистемную отладку в режиме реального времени (без эмулятора).

- Расстановка точек останова и временных меток, пошаговая отладка, слежение за стеком; контроль/модификация памяти и регистров.

- Производительность на уровне эмуляторов с отладочными кристаллами, специальными адаптерами и разъемами.

- Граничное сканирование в соответствии с протоколом IEEE1149.1

- Полный комплект средств для разработки и отладки.

ВЫСОКОПРОИЗВОДИТЕЛЬНОЕ 8051-СОВМЕСТИМОЕ ПРОЦЕССОРНОЕ ЯДРО

- Конвейерная архитектура; 70% команд выполняются за 1 или 2 системных тактовых цикла.

- Производительность до 25MIPS при тактовой частоте 25MHz.

- Гибкая система прерываний.

ПАМЯТЬ

- 4352 (4k + 256) байт внутреннего ОЗУ данных.

- 64 Кбайт (C8051F060/1/2/3/4/5) или 32 Кбайт ((C8051F066/7)

FLASH-памяти; возможно внутрисистемное программирование FLASH-памяти секторами по 512 байт.

- Интерфейс внешней (64 Кбайт) памяти данных с возможностью мультиплексированного и немultipлексированного режимов работы (C8051F060/2/4/6).

ЦИФРОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ

- 59 портов ввода/вывода общего назначения (C8051F060/2/4/6).

- 24 порта ввода/вывода общего назначения (C8051F061/3/5/7).

- Встроенные контроллер CAN 2.0B (C8051F060/1/2/3).

- Последовательные интерфейсы SMBus (I²C-совместимый), SPI и два УАПЧ (доступны одновременно).

- Программируемый массив 16-разрядных таймеров/счетчиков (ПМС) с шестью модулями захвата/сравнения.

- Пять 16-разрядных таймеров/счетчиков общего назначения.

- Отдельный сторожевой таймер.

- Двухнаправленный вывод сброса.

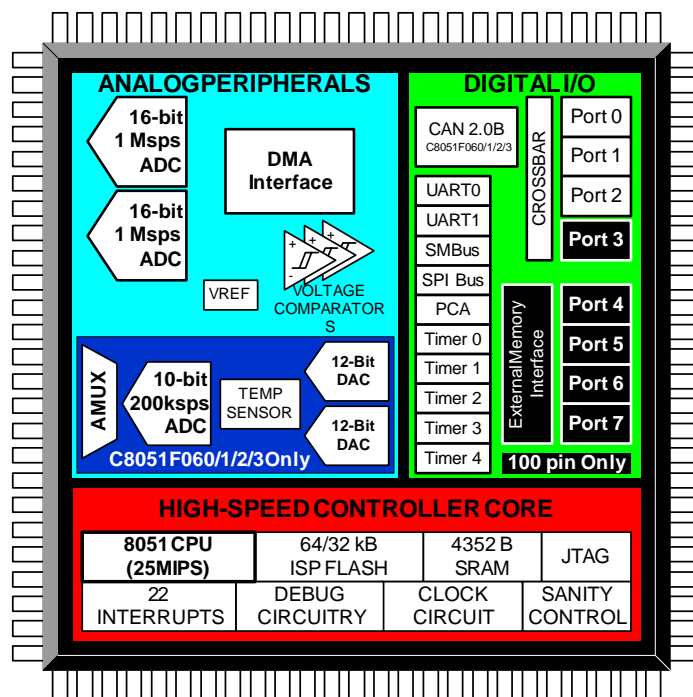
ИСТОЧНИКИ ТАКОВЫХ ИМПУЛЬСОВ

- Внутренний калибруемый прецизионный генератор 24,5МГц.

- Внешний генератор: кварцевый, RC-, C-, или счетчик.

НАПЯЖЕНИЕ ПИТАНИЯ: 2.7V...3.6V

- Различные режимы управления энергопотреблением.

КОРПУСА: 100-выв. TQFP, 64-выв. TQFP.**РАБОЧАЯ ТЕМПЕРАТУРА: -40°C...+85°C**

Примечания

СОДЕРЖАНИЕ

1. КРАТКИЙ ОБЗОР.....	19
1.1. Процессорное ядро CIP-51™.....	25
1.1.1. Полная совместимость со стандартом 8051.....	25
1.1.2. Улучшенная производительность.....	25
1.1.3. Дополнительные функции.....	26
1.2. Встроенная память.....	27
1.3. JTAG отладчик и интерфейс граничного сканирования.....	28
1.4. Программируемые цифровые порты ввода/вывода и матрица соединений.....	29
1.5. Программируемый массив счетчиков (ПМС).....	30
1.6. Контроллер локальной сети (CAN).....	31
1.7. Последовательные порты.....	32
1.8. 16-разрядные аналого-цифровые преобразователи.....	33
1.9. 10-разрядный аналого-цифровой преобразователь.....	34
1.10 12-разрядные цифро-аналоговые преобразователи.....	35
1.11. Аналоговые компараторы.....	36
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ.....	37
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	38
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	39
5. 16-разрядные АЦП (АЦП0 и АЦП1).....	51
5.1. Однофазный и дифференциальный режимы работы.....	52
5.1.1. Псевдо-дифференциальные входы.....	52
5.2. Источник опорного напряжения.....	53
5.3. Режимы работы АЦП.....	54
5.3.1. Запуск преобразования.....	54
5.3.2. Режимы слежения.....	54
5.3.3. Время установления.....	56
5.4. Калибровка.....	66
5.5. Программируемый детектор диапазона АЦП0.....	69
6. Интерфейс прямого доступа к памяти (DMA0).....	75
6.1. Запись в буфер команд.....	75
6.2. Формат команд DMA0.....	76
6.3. Настройка и адресация XRAM.....	76
6.4. Выполнение команд в режиме 0.....	77
6.5. Выполнение команд в режиме 1.....	78
6.6. Источники прерываний.....	79
6.7. Предупреждения и ошибки при переполнении буфера данных.....	79
7. 10-разрядный АЦП (АЦП2, C8051F060/1/2/3).....	87
7.1. Аналоговый мультимплексор.....	88
7.2. Режимы работы АЦП2.....	89
7.2.1. Запуск преобразования.....	89
7.2.2. Режимы слежения.....	90
7.2.3. Время установления.....	91
7.3. Программируемый детектор диапазона АЦП2.....	97
7.3.1. Детектор диапазона в однофазном режиме.....	99

7.3.2. Детектор диапазона в дифференциальном режиме.....	100
8. 12-разрядные ЦАП (ЦАП0 и ЦАП1, C8051F060/1/2/3).....	103
8.1. Формирование выходного сигнала ЦАП.....	104
8.1.1. Обновление выходного сигнала “по требованию”.....	104
8.1.2. Обновление выходного сигнала при переполнении таймера.....	104
8.2. Форматирование входных данных ЦАП.....	104
9. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F060/2).....	111
10. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F061/3).....	113
11. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F064/5/6/7).....	115
12. КОМПАРАТОРЫ.....	117
12.1. Входы компаратора.....	119
13. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	123
13.1. Система команд.....	125
13.1.1. Команды и тактирование.....	125
13.1.2. Команда MOVX и память программ.....	125
13.2. Организация памяти.....	130
13.2.1. Память программ.....	130
13.2.2. Память данных.....	131
13.2.3. Регистры общего назначения.....	131
13.2.4. Ячейки памяти с битовой адресацией.....	131
13.2.5. Стек.....	131
13.2.6. Регистры специального назначения.....	132
13.2.6.1. Страницы SFR.....	132
13.2.6.2. Прерывания и страницы SFR.....	132
13.2.6.3. Пример стека страниц SFR.....	134
13.2.7. Описание регистров.....	148
13.3. Обработка прерываний.....	151
13.3.1. Источники и векторы прерываний.....	151
13.3.2. Внешние прерывания.....	151
13.3.3. Приоритеты прерываний.....	153
13.3.4. Задержка обработки прерываний.....	153
13.3.5. Описание регистров прерываний.....	154
13.4. Режимы управления электропитанием.....	160
13.4.1. Режим ожидания.....	160
13.4.2. Режим остановки.....	161
14. ИСТОЧНИКИ СБРОСА.....	163
14.1. Сброс при включении питания.....	164
14.2. Сброс при исчезновении питания.....	164
14.3. Внешний сброс.....	164
14.4. Сброс от детектора исчезновения тактирования.....	165
14.5. Сброс от Компаратора 0.....	165
14.6. Сброс от внешнего вывода CNVSTR2.....	165
14.7. Сброс от сторожевого таймера.....	165
14.7.1. Включение/сброс WDT.....	166
14.7.2. Отключение WDT.....	166
14.7.3. Блокировка отключения WDT.....	166
14.7.4. Установка временного интервала (таймаута) WDT.....	166

15. ГЕНЕРАТОРЫ.....	171
15.1. Программируемый внутренний генератор.....	171
15.2. Схема возбуждения внешнего генератора.....	173
15.3. Выбор источника системного тактового сигнала.....	173
15.4. Пример использования внешнего резонатора.....	175
15.5. Пример использования RC-генератора.....	175
15.6. Пример использования внешнего генератора с конденсатором.....	175
16. FLASH-ПАМЯТЬ.....	177
16.1. Программирование FLASH-памяти.....	177
16.2. Долговременное хранение данных.....	178
16.3. Защита FLASH-памяти.....	179
16.3.1. Обзор методов защиты FLASH-памяти.....	183
17. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ XRAM.....	187
17.1. Доступ к памяти XRAM.....	187
17.1.1. Пример использования команды MOVX с 16-разрядным адресом.....	187
17.1.2. Пример использования команды MOVX с 8-разрядным адресом.....	187
17.2. Настройка интерфейса внешней памяти.....	188
17.3. Выбор и настройка портов.....	188
17.4. Мультиплексированный и не мультиплексированный режимы работы.....	190
17.4.1. Мультиплексированный режим.....	190
17.4.2. Не мультиплексированный режим.....	191
17.5. Выбор режима доступа к памяти.....	192
17.5.1. Режим доступа только к внутренней памяти XRAM.....	192
17.5.2. Режим раздельного доступа без выбора банка.....	192
17.5.3. Режим раздельного доступа с выбором банка.....	193
17.5.4. Режим доступа только к внешней памяти.....	193
17.6. Тактирование и динамические параметры.....	194
17.6.1. Не мультиплексированный режим.....	196
17.6.2. Мультиплексированный режим.....	199
18. ПОРТЫ ВВОДА/ВЫВОДА.....	203
18.1. Порты 0...3 и приоритетный декодер матрицы.....	205
18.1.1. Назначение и распределение выводов при помощи матрицы.....	205
18.1.2. Настройка выходных драйверов портов.....	206
18.1.3. Настройка выводов портов как цифровых входов.....	207
18.1.4. Слаботочковые подтяжки.....	207
18.1.5. Настройка выводов Портов 1 и 2 как аналоговых входов.....	207
18.1.6. Пример назначения выводов при помощи матрицы.....	208
18.2. Порты 4...7 (только C8051F060/2/4/6).....	219
18.2.1. Настройка портов, не имеющих внешние выводы.....	219
18.2.2. Настройка выходных драйверов портов.....	219
18.2.3. Настройка выводов портов как цифровых входов.....	219
18.2.4. Слаботочковые подтяжки.....	219
18.2.5. Интерфейс внешней памяти.....	220
19. КОНТРОЛЛЕР ЛОКАЛЬНОЙ СЕТИ (CAN0, C8051F060/1/2/3).....	225
19.1. Функционирование контроллера CAN.....	227
19.2. Регистры CAN.....	228
19.2.1. Регистры протокола контроллера CAN.....	228

19.2.2. Регистры объектного интерфейса сообщений.....	228
19.2.3. Регистры обработчика сообщений.....	228
19.2.4. Регистры специального назначения CIP-51.....	229
19.2.5. Использование CAN0ADR, CAN0DATH, CAN0DATL для доступа к регистрам CAN.....	229
19.2.6. Функция автоинкремента CAN0ADR.....	229
20. МОДУЛЬ SMBus / I2C (SMBUS0).....	235
20.1. Техническая документация.....	236
20.2. Протокол SMBus.....	236
20.2.1. Арбитраж.....	237
20.2.2. Растягивание тактового сигнала.....	237
20.2.3. Таймаут низкого уровня на линии SCL.....	237
20.2.4. Таймаут высокого уровня на линии SCL (шина SMBus свободна).....	237
20.3. Режимы работы модуля SMBus.....	238
20.3.1. Режим ведущего передатчика.....	238
20.3.2. Режим ведущего приемника.....	238
20.3.3. Режим ведомого передатчика.....	239
20.3.4. режим ведомого приемника.....	239
20.4. Регистры специального назначения модуля SMBus.....	241
20.4.1. Регистр управления.....	241
20.4.2. Регистр установки скорости передачи данных.....	244
20.4.3. Регистр данных.....	245
20.4.4. Регистр адреса.....	245
20.4.5. Регистр состояния.....	246
21. МОДУЛЬ SPI (SPI0).....	251
21.1. Описание сигналов шины SPI.....	252
21.1.1. Выход ведущего, вход ведомого (MOSI).....	252
21.1.2. Вход ведущего, выход ведомого (MISO).....	252
21.1.3. Тактовые импульсы (SCK).....	252
21.1.4. Выбор ведомого (NSS).....	252
21.2. Функционирование SPI0 в режиме ведущего.....	253
21.3. Функционирование SPI0 в режиме ведомого.....	255
21.4. Источники прерываний модуля SPI0.....	255
21.5. Тактирование.....	256
21.6. Регистры специального назначения модуля SPI.....	258
22. УАППО.....	265
22.1. Режимы работы УАППО.....	266
22.1.1. Режим 0: синхронный режим.....	266
22.1.2. Режим 1: 8-разр. УАПП, изменяемая скорость передачи.....	267
22.1.3. Режим 2: 9-разр. УАПП, фиксированная скорость передачи.....	269
22.1.4. Режим 3: 9-разр. УАПП, изменяемая скорость передачи.....	270
22.2. Поддержка связи с несколькими МК.....	271
22.2.1. Установка маскированного адреса.....	271
22.2.2. Широковещательная адресация.....	271
22.3. Определение ошибок формата и ошибок передачи.....	272
23. УАПП1.....	277
23.1. Усовершенствованный режим генерации скорости передачи.....	278
23.2. Режимы работы УАПП1.....	279

23.2.1. 8-разрядный УАПП.....	279
23.2.2. 9-разрядный УАПП.....	280
23.3. Поддержка связи с несколькими МК.....	281
24. ТАЙМЕРЫ.....	287
24.1. Таймер 0 и Таймер 1.....	287
24.1.1. Режим 0: 13-разрядный таймер/счетчик.....	287
24.1.2. Режим 1: 16-разрядный таймер/счетчик.....	289
24.1.3. Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой.....	289
24.1.4. Режим 3: два 8-разрядных таймера/счетчика (только Таймер 0).....	290
24.2. Таймер 2, Таймер 3 и Таймер 4.....	295
24.2.1. Работа Таймеров 2, 3 и 4 в режиме обратного отсчета.....	295
24.2.2. Режим захвата.....	296
24.2.3. Режим автоперезагрузки.....	297
24.2.4. Режим инвертирования выхода.....	298
25. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ.....	303
25.1. Таймер/Счетчик модуля ПМС.....	304
25.2. Модули захват/сравнение.....	305
25.2.1. Режим захвата по фронту сигнала.....	306
25.2.2. Режим программного таймера (сравнения).....	307
25.2.3. Режим высокоскоростного выхода.....	308
25.2.4. Режим выхода заданной частоты.....	309
25.2.5. Режим 8-разрядного широтно-импульсного модулятора.....	310
25.2.6. Режим 16-разрядного широтно-импульсного модулятора.....	311
25.3. Описание регистров модуля ПМС.....	312
26. ИНТЕРФЕЙС JTAG (IEEE 1149.1).....	317
26.1. Граничное сканирование.....	318
26.1.1. Команда EXTEST.....	321
26.1.1. Команда SAMPLE.....	321
26.1.1. Команда BYPASS.....	321
26.1.1. Команда IDCODE.....	321
26.2. Команды программирования Flash-памяти.....	322
26.3. Средства поддержки отладки.....	325
27. СПИСОК ИЗМЕНЕНИЙ.....	327
27.1. Отличия ред.1.2 от ред.1.1.....	327

Примечания

ПЕРЕЧЕНЬ РИСУНКОВ

1. КРАТКИЙ ОБЗОР.....	19
Рисунок 1.1. Структурная схема C8051F060/2.....	21
Рисунок 1.2. Структурная схема C8051F061/3.....	22
Рисунок 1.3. Структурная схема C8051F064/6.....	23
Рисунок 1.4. Структурная схема C8051F065/7.....	24
Рисунок 1.5. Максимальная производительность различных микроконтроллеров.....	25
Рисунок 1.6. Структурная схема модуля тактирования и сброса.....	26
Рисунок 1.7. Карта распределения памяти.....	27
Рисунок 1.8. Модель отладки.....	28
Рисунок 1.9. Структурная схема цифровой матрицы.....	29
Рисунок 1.10. Структурная схема модуля ПМС.....	30
Рисунок 1.11. Структурная схема контроллера CAN.....	31
Рисунок 1.12. Структурная схема 16-разрядного АЦП.....	33
Рисунок 1.13. Структурная схема 10-разрядного АЦП.....	34
Рисунок 1.14. Структурная схема ЦАП.....	35
Рисунок 1.15. Структурная схема компараторов.....	36
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ.....	37
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	38
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	39
Рисунок 4.1. Цоколевка корпуса TQFP-100 (C8051F060/2).....	45
Рисунок 4.2. Цоколевка корпуса TQFP-100 (C8051F064/6).....	46
Рисунок 4.3. Чертеж корпуса TQFP-100	47
Рисунок 4.4. Цоколевка корпуса TQFP-64 (C8051F061/3).....	48
Рисунок 4.5. Цоколевка корпуса TQFP-64 (C8051F065/7).....	49
Рисунок 4.6. Чертеж корпуса TQFP-64	50
5. 16-разрядные АЦП (АЦП0 и АЦП1).....	51
Рисунок 5.1. Схема тракта управления 16-разр. АЦП0 и АЦП1.....	51
Рисунок 5.2. Схема тракта данных 16-разр. АЦП0 и АЦП1.....	52
Рисунок 5.3. Структурная схема источника опорного напряжения.....	53
Рисунок 5.4. Временные диаграммы процесса преобразования 16-разр. АЦП.....	55
Рисунок 5.5. Эквивалентные схемы входов АЦП0 и АЦП1.....	56
Рисунок 5.6. AMX0SL: Регистр конфигурации AMUX.....	57
Рисунок 5.7. ADC0CF: Регистр конфигурации АЦП0.....	58
Рисунок 5.8. ADC1CF: Регистр конфигурации АЦП1.....	59
Рисунок 5.9. ADC0CN: Регистр управления АЦП0.....	60
Рисунок 5.10. ADC1CN: Регистр управления АЦП1.....	61
Рисунок 5.11. REF0CN: Регистр управления ИОН АЦП0.....	62
Рисунок 5.12. REF1CN: Регистр управления ИОН АЦП1.....	62
Рисунок 5.13. ADC0H: Регистр старшего байта слова данных АЦП0.....	63
Рисунок 5.14. ADC0L: Регистр младшего байта слова данных АЦП0.....	63
Рисунок 5.15. Пример слова данных АЦП0.....	64
Рисунок 5.16. ADC1H: Регистр старшего байта слова данных АЦП1.....	65
Рисунок 5.17. ADC1L: Регистр младшего байта слова данных АЦП1.....	65
Рисунок 5.18. Пример слова данных АЦП1.....	65
Рисунок 5.19. Расположение калибровочных коэффициентов.....	66

Рисунок 5.20. Использование значений регистров смещения и усиления.....	67
Рисунок 5.21. Схема калибровки смещения и усиления.....	67
Рисунок 5.22. ADC0CPT: Регистр-указатель калибровки АЦП.....	68
Рисунок 5.23. ADC0CCF: Регистр коэффициента калибровки АЦП.....	68
Рисунок 5.24. ADC0GTH: Регистр старшего байта нижней границы диапазона.....	69
Рисунок 5.25. ADC0GTL: Регистр младшего байта нижней границы диапазона.....	69
Рисунок 5.26. ADC0LTH: Регистр старшего байта верхней границы диапазона.....	70
Рисунок 5.27. ADC0LTL: Регистр младшего байта верхней границы диапазона.....	70
Рисунок 5.28. Пример использования детектора диапазона 16-разр. АЦПО: вход одиночный.....	71
Рисунок 5.29. Пример использования детектора диапазона 16-разр. АЦПО: вход дифференциальный.....	72
6. Интерфейс прямого доступа к памяти (DMA0).....	75
Рисунок 6.1 Структурная схема DMA0.....	75
Рисунок 6.2. Функционирование DMA в режиме 0.....	77
Рисунок 6.3. Функционирование DMA в режиме 1.....	78
Рисунок 6.4. DMA0CN: Регистр управления DMA0.....	80
Рисунок 6.5. DMA0CF: Регистр конфигурации DMA0.....	81
Рисунок 6.6. DMA0IPT: Регистр адреса команд DMA0.....	82
Рисунок 6.7. DMA0IDT: Регистр данных команд DMA0.....	82
Рисунок 6.8. DMA0BND: Регистр границы команд DMA0.....	83
Рисунок 6.9. DMA0ISW: Регистр состояния команд DMA0.....	83
Рисунок 6.10. DMA0DAH: Регистр старшего байта начального адреса данных DMA0.....	84
Рисунок 6.11. DMA0DAL: Регистр младшего байта начального адреса данных DMA0.....	84
Рисунок 6.12. DMA0DSH: Регистр старшего байта указателя адреса данных DMA0.....	84
Рисунок 6.13. DMA0DSL: Регистр младшего байта указателя адреса данных DMA0.....	84
Рисунок 6.14. DMA0CTH: Регистр старшего байта границы счетчика повторений DMA0.....	85
Рисунок 6.15. DMA0CTL: Регистр младшего байта границы счетчика повторений DMA0.....	85
Рисунок 6.16. DMA0CSH: Регистр старшего байта счетчика повторений DMA0.....	85
Рисунок 6.17. DMA0CSL: Регистр младшего байта счетчика повторений DMA0.....	85
7. 10-разрядный АЦП (АЦП2, C8051F060/1/2/3).....	87
Рисунок 7.1. Функциональная схема 10-разрядного АЦП2.....	87
Рисунок 7.2. Передаточная характеристика датчика температуры.....	89
Рисунок 7.3. Временные диаграммы процесса преобразования 10-разр. АЦП.....	90
Рисунок 7.4. Эквивалентные схемы входов АЦП2.....	91
Рисунок 7.5. AMX2CF: Регистр конфигурации мультиплексора AMUX2.....	92
Рисунок 7.6. AMX2SL: Регистр выбора канала мультиплексора AMUX2.....	93
Рисунок 7.7. ADC2CF: Регистр конфигурации АЦП2.....	94
Рисунок 7.8. ADC2H: Регистр старшего байта слова данных АЦП2.....	95
Рисунок 7.9. ADC2L: Регистр младшего байта слова данных АЦП2.....	95
Рисунок 7.10. ADC2CN: Регистр управления АЦП2.....	96
Рисунок 7.11. ADC2GTH: Регистр старшего байта нижней границы диапазона.....	97
Рисунок 7.12. ADC2GTL: Регистр младшего байта нижней границы диапазона.....	97
Рисунок 7.13. ADC2LTH: Регистр старшего байта верхней границы диапазона.....	98
Рисунок 7.14. ADC2LTL: Регистр младшего байта верхней границы диапазона.....	98

Рисунок 7.15. Пример использования детектора диапазона 10-разрядного АЦП2 (данные выровнены вправо, вход однофазный).....	99
Рисунок 7.16. Пример использования детектора диапазона 10-разрядного АЦП2 (данные выровнены влево, вход однофазный).....	99
Рисунок 7.17. Пример использования детектора диапазона 10-разрядного АЦП2 (данные выровнены вправо, вход дифференциальный).....	100
Рисунок 7.18. Пример использования детектора диапазона 10-разрядного АЦП2 (данные выровнены влево, вход дифференциальный).....	100
8. 12-разрядные ЦАП (ЦАП0 и ЦАП1, C8051F060/1/2/3).....	103
Рисунок 8.1. Функциональная схема ЦАП.....	103
Рисунок 8.2. DAC0H: Регистр старшего байта ЦАП0.....	105
Рисунок 8.3. DAC0L: Регистр младшего байта ЦАП0.....	105
Рисунок 8.4. DAC0CN: Регистр управления ЦАП0.....	106
Рисунок 8.5. DAC1H: Регистр старшего байта ЦАП1.....	107
Рисунок 8.6. DAC1L: Регистр младшего байта ЦАП1.....	107
Рисунок 8.7. DAC1CN: Регистр управления ЦАП1.....	108
9. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ 2 (C8051F060/2).....	111
Рисунок 9.1. Функциональная схема источника опорного напряжения.....	111
Рисунок 9.2. REF2CN: Регистр управления источника опорного напряжения.....	112
10. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ 2 (C8051F061/3).....	113
Рисунок 10.1. Функциональная схема источника опорного напряжения.....	113
Рисунок 10.2. REF2CN: Регистр управления источника опорного напряжения.....	114
11. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ 2 (C8051F064/5/6/7).....	115
Рисунок 11.1. Функциональная схема источника опорного напряжения.....	115
Рисунок 11.2. REF2CN: Регистр управления источника опорного напряжения.....	116
12. КОМПАРАТОРЫ.....	117
Рисунок 12.1. Функциональная схема компаратора.....	117
Рисунок 12.2. Гистерезис компаратора.....	118
Рисунок 12.3. CPTnCN: Регистр управления Компараторов 0, 1 и 2.....	120
Рисунок 12.4. CPTnMD: Регистр выбора режима Компаратора.....	121
13. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	123
Рисунок 13.1. Структурная схема CIP-51.....	124
Рисунок 13.2. Карта распределения памяти.....	130
Рисунок 13.3. Стек страниц SFR.....	133
Рисунок 13.4. Стек страниц SFR при использовании страницы SFR 0x0F для обращения к Порту 5.....	134
Рисунок 13.5. Стек страниц SFR после возникновения прерывания от детектора диапазона АЦП2.....	135
Рисунок 13.6. Стек страниц SFR после возникновения прерывания от модуля ПМС во время выполнения процедуры обслуживания прерывания от АЦП2.....	136
Рисунок 13.7. Стек страниц SFR после возврата из процедуры обслуживания прерывания от модуля ПМС.....	137
Рисунок 13.8. Стек страниц SFR после возврата из процедуры обслуживания прерывания от детектора диапазона АЦП2.....	138
Рисунок 13.9. SFRPGCN: Регистр управления страницами SFR	139
Рисунок 13.10. SFRPAGE: Регистр страницы SFR	139
Рисунок 13.11. SFRNEXT: Регистр следующей страницы SFR	140

Рисунок 13.12. SFRLAST: Регистр последней страницы SFR	140
Рисунок 13.13. SP: Указатель стека.....	148
Рисунок 13.14. DPL: Младший байт указателя данных.....	148
Рисунок 13.15. DPH: Старший байт указателя данных.....	148
Рисунок 13.16. PSW: Слово состояния программы.....	149
Рисунок 13.17. ACC: Аккумулятор.....	150
Рисунок 13.18. B: Регистр B.....	150
Рисунок 13.19. IE: Регистр разрешения прерываний.....	154
Рисунок 13.20. IP: Регистр приоритетов прерываний.....	155
Рисунок 13.21. EIE1: Дополнительный регистр разрешения прерываний 1.....	156
Рисунок 13.22. EIE2: Дополнительный регистр разрешения прерываний 2.....	157
Рисунок 13.23. EIP1: Дополнительный регистр приоритетов прерываний 1.....	158
Рисунок 13.24. EIP2: Дополнительный регистр приоритетов прерываний 2.....	159
Рисунок 13.25. PCON: Регистр управления электропитанием.....	161
14. ИСТОЧНИКИ СБРОСА.....	163
Рисунок 14.1. Структурная схема источников сброса.....	163
Рисунок 14.2. Временная диаграмма работы схемы слежения за напряжением питания...	164
Рисунок 14.3. WDTCN: Регистр управления сторожевым таймером.....	167
Рисунок 14.4. RSTSRC: Регистр источников сброса.....	168
15. ГЕНЕРАТОРЫ.....	171
Рисунок 15.1. Структурная схема генератора.....	171
Рисунок 15.2. OSCICL: Регистр калибровки внутреннего генератора.....	172
Рисунок 15.3. OSCICN: Регистр управления внутренним генератором.....	172
Рисунок 15.4. CLKSEL: Регистр выбора тактового генератора.....	173
Рисунок 15.5. OSCXCN: Регистр управления внешним генератором.....	174
16. FLASH ПАМЯТЬ.....	177
Рисунок 16.1. Карта распределения и байты защиты FLASH-памяти программ (C8051F060/1/2/3/4/5).....	180
Рисунок 16.2. Карта распределения и байты защиты FLASH-памяти программ (C8051F066/7).....	181
Рисунок 16.3. FLACL: Регистр ограничения доступа к FLASH-памяти	182
Рисунок 16.4. FLSCL: Регистр управления контроллером FLASH-памяти	184
Рисунок 16.5. PSCTL: Регистр управления записью/стиранием памяти программ.....	185
17. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ ХРАМ.....	187
Рисунок 17.1. EMI0CN: Регистр управления интерфейсом внешней памяти.....	189
Рисунок 17.2. EMI0CF: Регистр конфигурации внешней памяти.....	189
Рисунок 17.3. Пример конфигурации с мультиплексированной шиной адреса/данных.....	190
Рисунок 17.4. Пример конфигурации с немultipлексированной шиной адреса/данных.....	191
Рисунок 17.5. Режимы работы интерфейса внешней памяти.....	192
Рисунок 17.6. EMI0TC: Регистр управления временными параметрами внешней памяти.....	194
Рисунок 17.7. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 16-разр. MOVX).....	196

Рисунок 17.8. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 8-разр. MOVX без выбора банка).....	197
Рисунок 17.9. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 8-разр. MOVX с выбором банка).....	198
Рисунок 17.10. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 16-разр. MOVX).....	199
Рисунок 17.11. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX без выбора банка).....	200
Рисунок 17.12. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX с выбором банка).....	201
18. ПОРТЫ ВВОДА/ВЫВОДА.....	203
Рисунок 18.1. Структурная схема ячейки порта ввода/вывода.....	203
Рисунок 18.2. Функциональная схема портов ввода/вывода.....	204
Рисунок 18.3. Таблица декодирования приоритетов матрицы.....	205
Рисунок 18.4. Пример использования матрицы.....	209
Рисунок 18.5. XBR0: Регистр 0 матрицы портов ввода/вывода.....	210
Рисунок 18.6. XBR1: Регистр 1 матрицы портов ввода/вывода.....	211
Рисунок 18.7. XBR2: Регистр 2 матрицы портов ввода/вывода.....	212
Рисунок 18.8. XBR3: Регистр 3 матрицы портов ввода/вывода.....	213
Рисунок 18.9. P0: Регистр данных Porta 0.....	214
Рисунок 18.10. P0MDOUT: Регистр настройки выходов Porta 0.....	214
Рисунок 18.11. P1: Регистр данных Porta 1.....	215
Рисунок 18.12. P1MDIN: Регистр настройки входов Porta 1.....	215
Рисунок 18.13. P1MDOUT: Регистр настройки выходов Porta 1.....	216
Рисунок 18.14. P2: Регистр данных Porta 2.....	216
Рисунок 18.15. P2MDIN: Регистр настройки входов Porta 2.....	217
Рисунок 18.16. P2MDOUT: Регистр настройки выходов Porta 2.....	217
Рисунок 18.17. P3: Регистр данных Porta 3.....	218
Рисунок 18.18. P3MDOUT: Регистр настройки выходов Porta 3.....	218
Рисунок 18.19. P4: Регистр данных Porta 4.....	221
Рисунок 18.20. P4MDOUT: Регистр настройки выходов Porta 4.....	221
Рисунок 18.21. P5: Регистр данных Porta 5.....	222
Рисунок 18.22. P5MDOUT: Регистр настройки выходов Porta 5.....	222
Рисунок 18.23. P6: Регистр данных Porta 6.....	223
Рисунок 18.24. P6MDOUT: Регистр настройки выходов Porta 6.....	223
Рисунок 18.25. P7: Регистр данных Porta 7.....	224
Рисунок 18.26. P7MDOUT: Регистр настройки выходов Porta 7.....	224
19. КОНТРОЛЛЕР ЛОКАЛЬНОЙ СЕТИ (CAN0, C8051F060/1/2/3).....	225
Рисунок 19.1. Структурная схема контроллера CAN.....	226
Рисунок 19.2. Типичная конфигурация шины CAN.....	226
Рисунок 19.3. CAN0DATH: Старший байт регистра данных CAN.....	231
Рисунок 19.4. CAN0DATL: Младший байт регистра данных CAN.....	231
Рисунок 19.5. CAN0ADR: Индексный регистр адреса CAN.....	232
Рисунок 19.6. CAN0CN: Регистр управления CAN.....	232
Рисунок 19.7. CAN0TST: Регистр тестирования CAN.....	233
Рисунок 19.8. CAN0STA: Регистр состояния CAN.....	233
20. МОДУЛЬ SMBus / I2C (SMBUS0).....	235
Рисунок 20.1. Структурная схема модуля SMBus.....	235

Рисунок 20.2. Подключение к шине SMBus	236
Рисунок 20.3. Формат сообщения SMBus.....	237
Рисунок 20.4. Передача данных в режиме ведущего.....	238
Рисунок 20.5. Прием данных в режиме ведущего.....	238
Рисунок 20.6. Передача данных в режиме ведомого.....	239
Рисунок 20.7. Прием данных в режиме ведомого.....	240
Рисунок 20.8. SMB0CN: Регистр управления модуля SMBus0.....	243
Рисунок 20.9. SMB0CR: Регистр установки тактовой частоты модуля SMBus0.....	244
Рисунок 20.10. SMB0DAT: Регистр данных модуля SMBus0.....	245
Рисунок 20.11. SMB0ADR: Регистр адреса модуля SMBus0.....	246
Рисунок 20.12. SMB0STA: Регистр состояния модуля SMBus0.....	247
21. УСОВЕРШЕНСТВОВАННЫЙ МОДУЛЬ SPI (SPI0).....	251
Рисунок 21.1. Структурная схема модуля SPI0.....	251
Рисунок 21.2. Схема включения в режиме с несколькими ведущими.....	254
Рисунок 21.3. Схема соединения одного ведущего и одного ведомого с использованием 3-х проводной шины SPI.....	254
Рисунок 21.4. Схема соединения одного ведущего и нескольких ведомых с использованием 4-х проводной шины SPI.....	254
Рисунок 21.5. Временные диаграммы сигналов данных/тактирования в режиме ведущего.....	256
Рисунок 21.6. Временные диаграммы сигналов данных/тактирования в режиме ведомого (СКРНА = 0).....	257
Рисунок 21.7. Временные диаграммы сигналов данных/тактирования в режиме ведомого (СКРНА = 1).....	257
Рисунок 21.8. SPI0CFG: Регистр конфигурации модуля SPI0.....	258
Рисунок 21.9. SPI0CN: Регистр управления модуля SPI0.....	259
Рисунок 21.10. SPI0CKR: Регистр установки тактовой частоты модуля SPI0.....	260
Рисунок 21.11. SPI0DAT: Регистр данных модуля SPI0.....	261
Рисунок 21.12. Временные диаграммы ведущего SPI (СКРНА = 0).....	262
Рисунок 21.13. Временные диаграммы ведущего SPI (СКРНА = 1).....	262
Рисунок 21.14. Временные диаграммы ведомого SPI (СКРНА = 0).....	263
Рисунок 21.15. Временные диаграммы ведомого SPI (СКРНА = 1).....	263
22. УАППО.....	265
Рисунок 22.1. Структурная схема УАППО.....	265
Рисунок 22.2. Временные диаграммы УАППО в режиме 0.....	267
Рисунок 22.3. Пример использования УАППО в режиме 0.....	267
Рисунок 22.4. Временные диаграммы УАППО в режиме 1.....	267
Рисунок 22.5. Временные диаграммы УАППО в режиме 2 и 3.....	269
Рисунок 22.6. Пример использования УАППО в режимах 1, 2 и 3.....	270
Рисунок 22.7. Пример использования УАППО в многопроцессорном режиме.....	272
Рисунок 22.8. SCON0: Регистр управления УАППО.....	274
Рисунок 22.9. SSTA0: Регистр состояния и выбора источника тактирования УАППО.....	275
Рисунок 22.10. SBUF0: Регистр буфера данных УАППО.....	276
Рисунок 22.11. SADDR0: Регистр адреса ведомого УАППО.....	276
Рисунок 22.12. SADEN0: Регистр разрешения адреса ведомого УАППО.....	276
23. УАПП1.....	277
Рисунок 23.1. Структурная схема УАПП1.....	277
Рисунок 23.2. Логика генератора скорости передачи данных УАПП1.....	278

Рисунок 23.3. Примеры использования УАПП1.....	279
Рисунок 23.4. Временные диаграммы 8-разр. УАПП.....	279
Рисунок 23.5. Временные диаграммы 9-разр. УАПП.....	280
Рисунок 23.6. Пример использования УАПП1 в многопроцессорном режиме.....	281
Рисунок 23.7. SCON1: Регистр управления УАПП1.....	282
Рисунок 23.8. SBUF1: Регистр буфера данных УАПП1.....	283
24. ТАЙМЕРЫ.....	287
Рисунок 24.1. Структурная схема таймера 0 в режиме 0.....	288
Рисунок 24.2. Структурная схема таймера 0 в режиме 2.....	289
Рисунок 24.3. Структурная схема таймера 0 в режиме 3.....	290
Рисунок 24.4. TCON: Регистр управления таймерами 0 и 1.....	291
Рисунок 24.5. TMOD: Регистр режима таймеров 0 и 1.....	292
Рисунок 24.6. TCON: Регистр управления тактированием таймеров 0 и 1.....	293
Рисунок 24.7. TL0: Младший байт таймера 0.....	294
Рисунок 24.8. TL1: Младший байт таймера 1.....	294
Рисунок 24.9. TH0: Старший байт таймера 0.....	294
Рисунок 24.10. TH1: Старший байт таймера 1.....	294
Рисунок 24.11. Структурная схема Таймеров 2, 3 и 4 в режиме захвата.....	296
Рисунок 24.12. Структурная схема Таймеров 2, 3 и 4 в режиме автоперезагрузки.....	297
Рисунок 24.13. TMRnCN: Регистры управления таймерами 2, 3 и 4.....	299
Рисунок 24.14. TMRnCF: Регистры конфигурации таймеров 2, 3 и 4.....	300
Рисунок 24.15. RCAPnL: Младший байт регистра захвата таймеров 2, 3 и 4.....	301
Рисунок 24.16. RCAPnH: Старший байт регистра захвата таймеров 2, 3 и 4.....	301
Рисунок 24.17. TMRnL: Младший байт таймеров 2, 3 и 4.....	301
Рисунок 24.18. TMRnH: Старший байт таймеров 2, 3 и 4.....	302
25. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ.....	303
Рисунок 25.1. Структурная схема ПМС.....	303
Рисунок 25.2. Структурная схема таймера/счетчика ПМС.....	304
Рисунок 25.3. Схема формирования прерывания от ПМС.....	305
Рисунок 25.4 Структурная схема ПМС в режиме захвата.....	306
Рисунок 25.5. Структурная схема ПМС в режиме программного таймера.....	307
Рисунок 25.6. Структурная схема ПМС в режиме высокоскоростного выхода.....	308
Рисунок 25.7. Структурная схема ПМС в режиме выхода заданной частоты.....	309
Рисунок 25.8. Структурная схема ПМС в 8-разр. режиме ШИМ.....	310
Рисунок 25.9. Структурная схема ПМС в 16-разр. режиме ШИМ.....	311
Рисунок 25.10. PCA0CN: Регистр управления ПМС.....	312
Рисунок 25.11. PCA0MD: Регистр режима ПМС.....	313
Рисунок 25.12. PCA0CPMn: Регистры управления модулями захват/сравнение.....	314
Рисунок 25.13. PCA0L: Младший байт таймера/счетчика ПМС.....	315
Рисунок 25.14. PCA0H: Старший байт таймера/счетчика ПМС.....	315
Рисунок 25.15. PCA0CPLn: Младший байт модуля захвата ПМС.....	316
Рисунок 25.16. PCA0CPHn: Старший байт модуля захвата ПМС.....	316
26. ИНТЕРФЕЙС JTAG (IEEE 1149.1)	317
Рисунок 26.1. IR: Регистр команд интерфейса JTAG	317
Рисунок 26.2. DEVICEID: Регистр JTAG идентификатора устройства.....	321
Рисунок 26.3. FLASHCON: Регистр управления режимами чтения/записи Flash-памяти интерфейса JTAG.....	323
Рисунок 26.4. FLASHDAT: Регистр данных Flash-памяти интерфейса JTAG.....	324

Рисунок 26.5. FLASHADR: Регистр адреса Flash-памяти интерфейса JTAG	324
27. СПИСОК ИЗМЕНЕНИЙ.....	327

ПЕРЕЧЕНЬ ТАБЛИЦ

1. КРАТКИЙ ОБЗОР.....	19
Таблица 1.1. Сравнительная характеристика микроконтроллеров.....	20
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ.....	37
Таблица 2.1. Предельно допустимые параметры.....	37
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	38
Таблица 3.1. Основные электрические параметры.....	38
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	39
Таблица 4.1. Описание выводов.....	39
5. 16-разрядные АЦП (АЦП0 и АЦП1).....	51
Таблица 5.1. Время преобразования (t_{Conv}).....	55
Таблица 5.2. Электрические характеристики 16-разр. АЦП0 и АЦП1.....	73
Таблица 5.3. Электрические характеристики ИОН0 и ИОН1.....	74
6. Интерфейс прямого доступа к памяти (DMA0).....	75
Таблица 6.1. Система команд DMA0.....	76
7. 10-разрядный АЦП (АЦП2, C8051F060/1/2/3).....	87
Таблица 7.1. Электрические характеристики АЦП2.....	101
8. 12-разрядные ЦАП (ЦАП0 и ЦАП1, C8051F060/1/2/3).....	103
Таблица 8.1. Электрические характеристики ЦАП.....	109
9. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F060/2).....	111
Таблица 9.1. Электрические характеристики источника опорного напряжения.....	112
10. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F061/3).....	113
Таблица 10.1. Электрические характеристики источника опорного напряжения.....	114
11. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (C8051F064/5/6/7).....	115
Таблица 11.1. Электрические характеристики источника опорного напряжения.....	116
12. КОМПАРАТОРЫ.....	117
Таблица 12.1. Электрические характеристики компаратора.....	122
13. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	123
Таблица 13.1. Система команд CIP-51.....	126
Таблица 13.2. Распределение регистров специального назначения в памяти.....	141
Таблица 13.3. Регистры специального назначения.....	143
Таблица 13.4. Источники прерываний.....	152
14. ИСТОЧНИКИ СБРОСА.....	163
Таблица 14.1. Электрические параметры источников сброса.....	169
15. ГЕНЕРАТОРЫ.....	171
Таблица 15.1. Электрические параметры внутреннего генератора.....	173
16. FLASH-ПАМЯТЬ.....	177
Таблица 16.1. Электрические параметры FLASH-памяти.....	178
17. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ XRAM.....	187
Таблица 17.1. Временные параметры интерфейса внешней памяти.....	202
18. ПОРТЫ ВВОДА/ВЫВОДА.....	203
Таблица 18.1. Электрические характеристики портов ввода/вывода.....	203
19. КОНТРОЛЛЕР ЛОКАЛЬНОЙ СЕТИ (CAN0, C8051F060/1/2/3).....	225
Таблица 19.2. Индексы регистров CAN и их значения, устанавливаемые при сбросе.....	229
20. МОДУЛЬ SMBus / I2C (SMBUS0).....	235
Таблица 20.1. Коды состояния модуля SMBus0.....	248

21. МОДУЛЬ SPI (SPI0).....	251
Таблица 21.1. Временные параметры ведомого SPI.....	264
22. УАППО.....	265
Таблица 22.1. Режимы работы УАППО.....	266
Таблица 22.2. Тактовые частоты, соответствующие стандартным скоростям обмена.....	273
23. УАППО1.....	277
Таблица 22.1. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании системы от внутреннего генератора.....	284
Таблица 22.2. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании системы от внешнего генератора.....	284
Таблица 22.3. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании системы от внешнего генератора.....	285
Таблица 22.4. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании системы от внешнего генератора.....	285
Таблица 22.5. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании системы от внешнего генератора.....	286
Таблица 22.6. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании системы от внешнего генератора.....	286
24. ТАЙМЕРЫ.....	287
25. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ.....	303
Таблица 25.1. Выбор тактового сигнала для ПМС.....	304
Таблица 25.2. Настройка модулей захват/сравнение в регистре PCA0CPM.....	305
26. ИНТЕРФЕЙС JTAG (IEEE 1149.1).....	317
Таблица 26.1. Описание бит регистра данных интерфейса граничного сканирования (C8051F060/2/4/6).....	318
Таблица 26.2. Описание бит регистра данных интерфейса граничного сканирования (C8051F061/3/5/7).....	320
27. СПИСОК ИЗМЕНЕНИЙ.....	327



1. КРАТКИЙ ОБЗОР

Микроконтроллеры (МК) C8051F06x представляют собой полностью интегрированные на одном кристалле системы для обработки смешанных (аналого-цифровых) сигналов, которые имеют 59 (C8051F060/2/4/6) или 24 (C8051F061/3/5/7) цифровых входа/выхода, а также два встроенных 16-разрядных АЦП с производительностью 1 млн. преобразований в секунду. Отличительные особенности данного семейства МК перечислены ниже. Сравнительная характеристика МК приведена в таблице 1.1.

- Высокопроизводительное микропроцессорное ядро CIP-51 с конвейерной архитектурой, совместимое со стандартом 8051 (максимальная производительность – 25 MIPS).

- Два встроенных 16-разрядных АЦП (производительность - 1 млн. преобразований в секунду) с контроллером прямого доступа к памяти.

- Контроллер локальной сети (CAN 2.0B) с 32 объектами сообщений, каждое из которых имеет собственную маску идентификатора (C8051F060/1/2/3).

- Встроенные средства отладки, обеспечивающие внутрисистемную, «неразрушающую» отладку в режиме реального времени.

- 10-разрядный 8-канальный АЦП (максимальная производительность – 200 тыс. преобр./сек.) с программируемым усилителем и аналоговым мультиплексором (C8051F060/1/2/3).

- Два 12-разрядных ЦАП с программируемым обновлением выходного сигнала (C8051F060/1/2/3).

- 64 Кбайта (C8051F060/1/2/3/4/5) или 32 Кбайта (C8051F066/7) Flash-памяти, программируемой внутрисистемно.

- 4352 (4096 + 256) байт встроенного ОЗУ.

- Интерфейс внешней памяти данных с доступным адресным пространством 64 Кбайта (C8051F060/2/4/6).

- Аппаратно реализованные последовательные интерфейсы I²C/SMBus, SPI и два УАПП.

- Пять 16-разрядных таймеров общего назначения.

- Программируемый массив счетчиков/таймеров (ПМС) с шестью модулями захвата/сравнения.

- Встроенные сторожевой таймер, схема слежения за напряжением питания и датчик температуры.

Все МК имеют встроенные схему слежения за напряжением питания, сторожевой таймер, тактовый генератор и представляют собой, таким образом, функционально-законченную систему на кристалле. Все аналоговые и цифровые периферийные модули могут включаться/отключаться и настраиваться программой пользователя. Имеется возможность внутрисхемного программирования Flash-памяти, что обеспечивает долговременное (энергонезависимое) хранение данных, а также позволяет осуществлять обновление программного обеспечения в готовых изделиях.

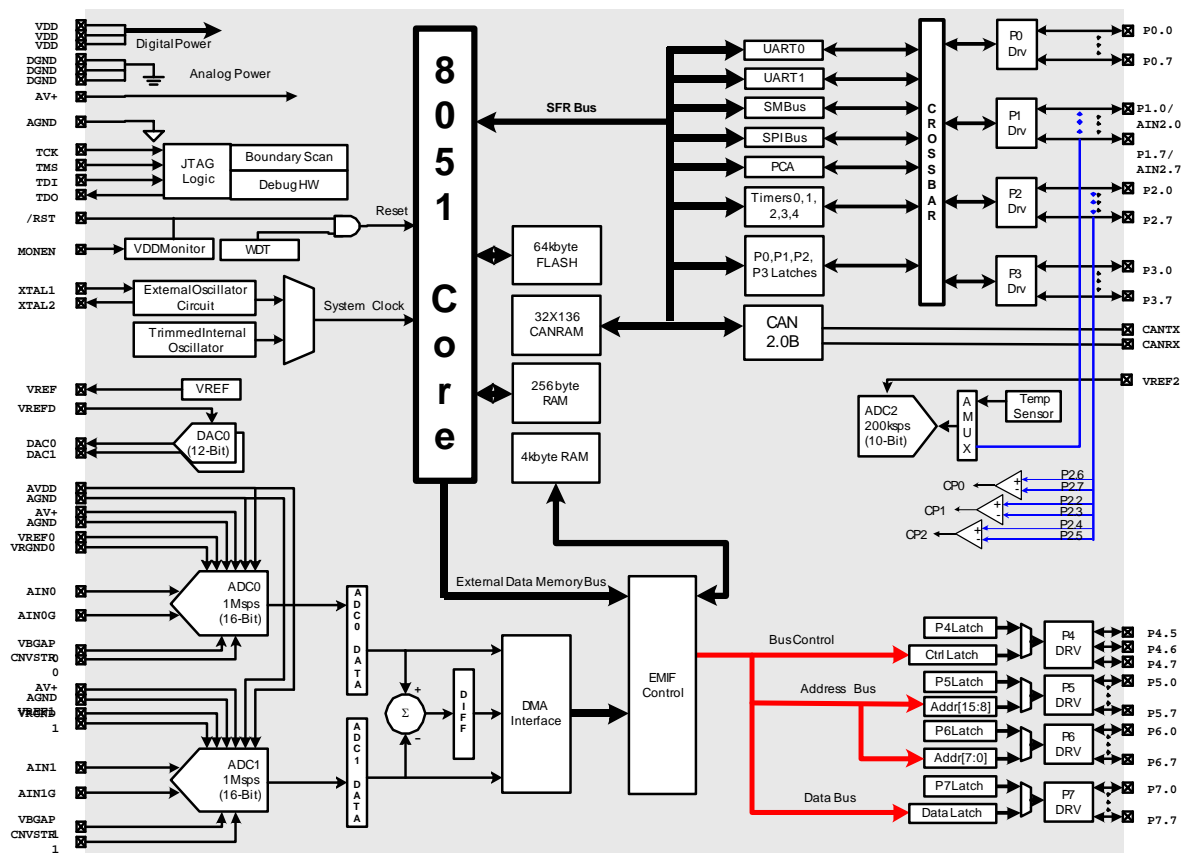
Встроенный интерфейс JTAG позволяет производить «неразрушающую» (не используются внутренние ресурсы) внутрисхемную отладку в режиме реального времени, используя МК, установленные в конечное изделие. Средства отладки обеспечивают проверку и модификацию памяти и регистров, расстановку точек останова и временных меток, пошаговое исполнение программы, а также поддерживают команды запуска и остановки. В процессе отладки с использованием интерфейса JTAG все аналоговые и цифровые периферийные модули полностью сохраняют свою работоспособность.

Каждый МК предназначен для работы в промышленном температурном диапазоне (-45°C...+85°C) при напряжении питания 2,7В...3,6В. МК C8051F060/2/4/6 выпускаются в 100-выводных корпусах типа TQFP. МК C8051F061/3/5/7 выпускаются в 64-выводных корпусах типа TQFP (см. структурные схемы на рис.1.1, рис.1.2, рис.1.3, рис.1.4).

Таблица 1.1. Сравнительная характеристика микроконтроллеров

	MIPS (макс.)	FLASH - память	ОЗУ	Интерфейс внешней памяти	SMBus/I2C и SPI	CAN	UART	Таймеры (16-разр.)	Программируемый массив счетчиков	Цифровые порты ввода/вывода	Типовая нелинейность 16-разрядного АЦП в МЗР	Количество каналов 10-разр. АЦП (200 тыс. преобр./сек.)	Источник опорного напряжения	Датчик температуры	Разрядность ЦАП (бит)	Выходы ЦАП	Аналоговые компараторы	Тип корпуса
C8051F060	25	64k	4352	√	√	√	2	5	√	59	±0,75	8	√	√	12	2	3	100TQFP
C8051F061	25	64k	4352	-	√	√	2	5	√	24	±0,75	8	√	√	12	2	3	64TQFP
C8051F062	25	64k	4352	√	√	√	2	5	√	59	±1,5	8	√	√	12	2	3	100TQFP
C8051F063	25	64k	4352	-	√	√	2	5	√	24	±1,5	8	√	√	12	2	3	64TQFP
C8051F064	25	64k	4352	√	√	-	2	5	√	59	±0,75	-	√	-	-	-	3	100TQFP
C8051F065	25	64k	4352	-	√	-	2	5	√	24	±0,75	-	√	-	-	-	3	64TQFP
C8051F066	25	32k	4352	√	√	-	2	5	√	59	±0,75	-	√	-	-	-	3	100TQFP
C8051F067	25	32k	4352	-	√	-	2	5	√	24	±0,75	-	√	-	-	-	3	64TQFP

Рисунок 1.1. Структурная схема С8051F060/062



Ред. 1.2



Рисунок 1.3. Структурная схема C8051F064/066

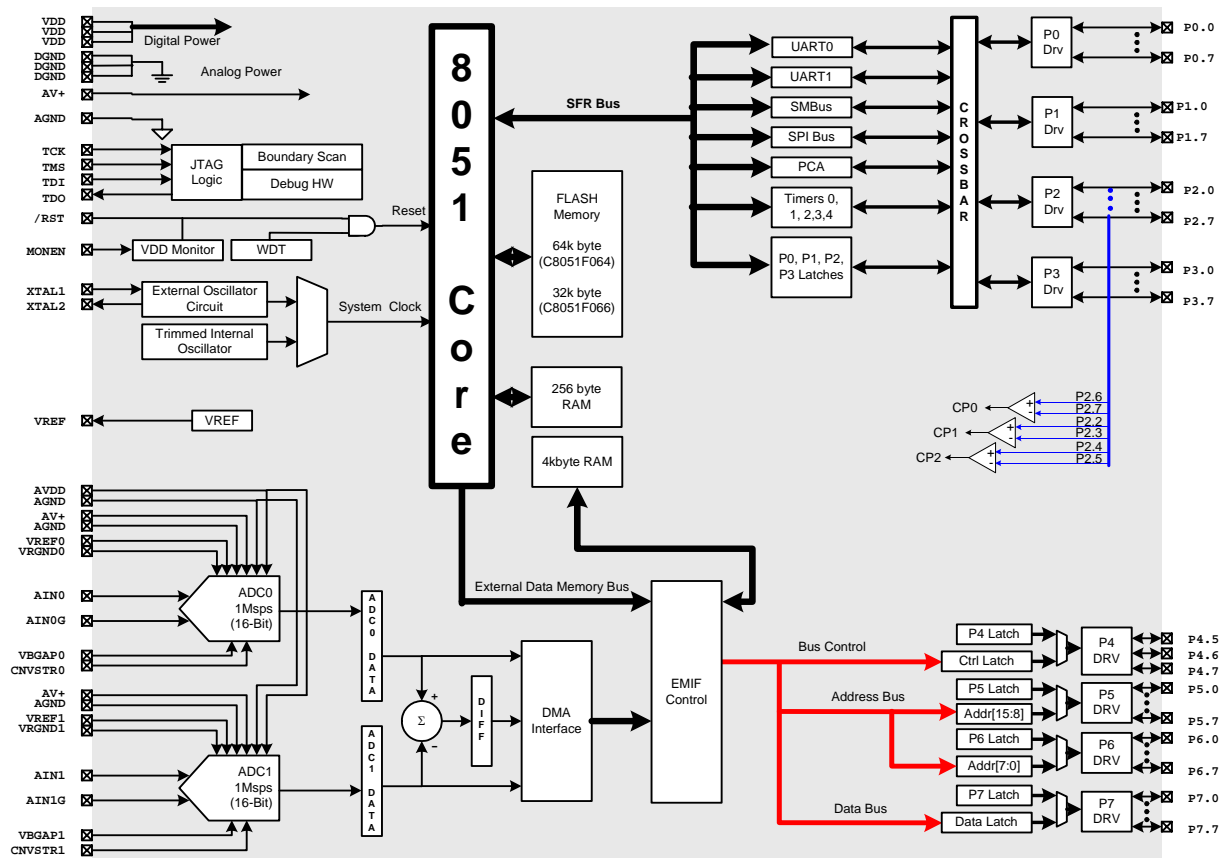
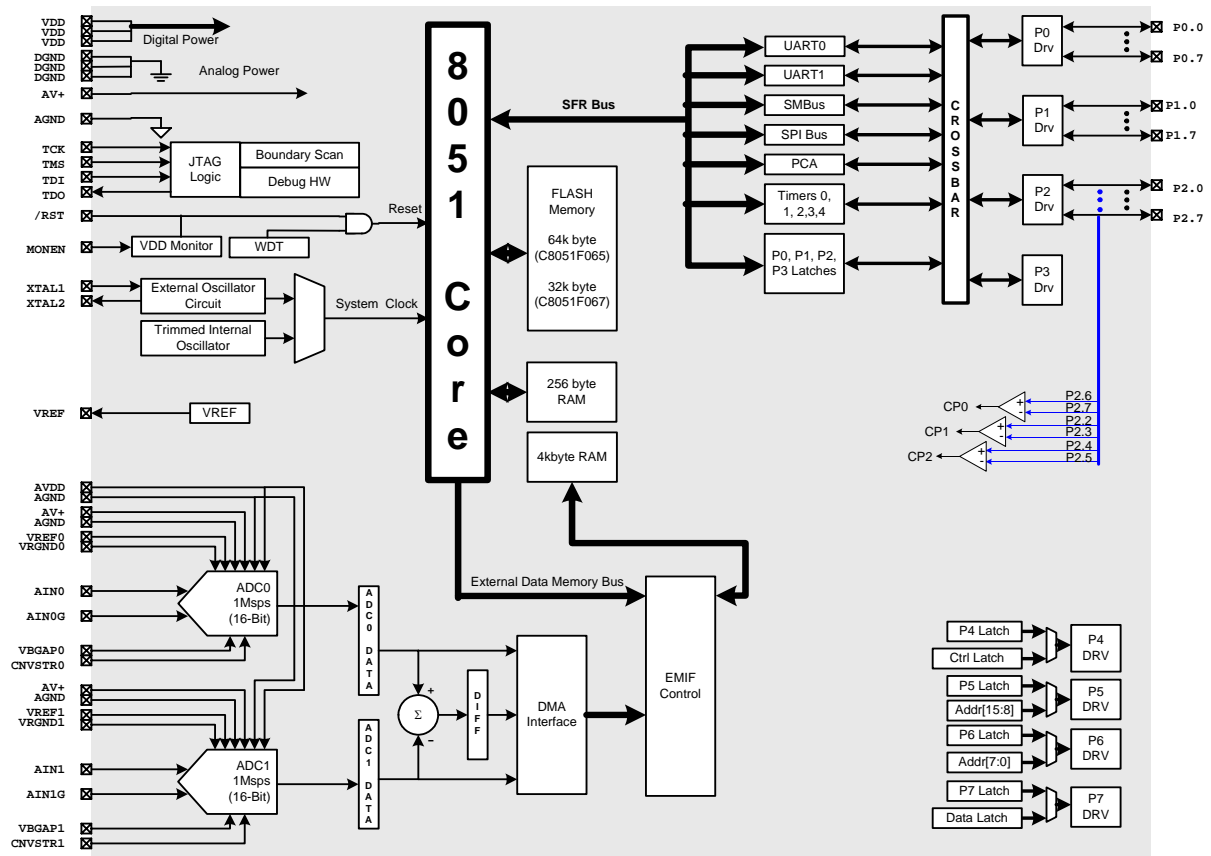


Рисунок 1.4. Структурная схема C8051F065/067



1.1. Процессорное ядро CIP-51™

1.1.1. Полностью 8051-совместимая архитектура

МК семейства C8051F06х используют разработанное фирмой Silicon Labs' процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51™. Для разработки программного обеспечения могут использоваться стандартные 803х/805х ассемблеры и компиляторы. Ядро содержит все периферию, соответствующую стандарту 8052, включая пять 16-разрядных таймеров/счетчиков, два полнодуплексных УАПП, 256 байт внутреннего ОЗУ, 128 байт адресного пространства регистров специального назначения, а также адресуемые побитно порты ввода/вывода.

1.1.2. Улучшенная производительность

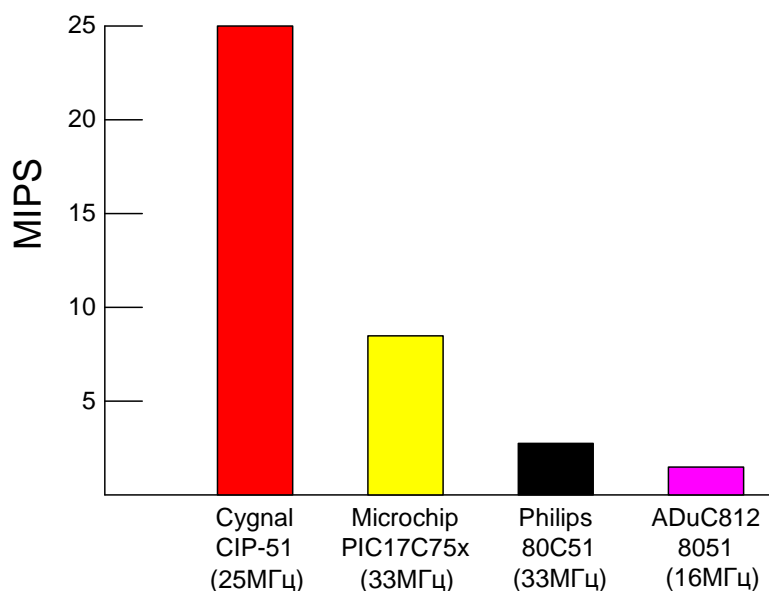
CIP-51 использует конвейерную архитектуру, что существенно повышает скорость выполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 системных тактовых цикла при максимальной тактовой частоте 12...24 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два системных тактовых цикла, и только четыре команды требуют более четырех системных тактовых циклов.

Система команд CIP-51 состоит из 109 команд, которые требуют от одного до восьми системных тактовых циклов:

Количество команд	26	50	5	14	7	3	1	2	1
Количество системных тактовых циклов	1	2	2/3	3	3/4	4	4/5	5	8

При работе на тактовой частоте 25 МГц производительность ядра CIP-51 может достигать 25 MIPS. На рис.1.3 показана пиковая производительность различных 8-разрядных МК, работающих на максимально возможных для них частотах.

Рисунок 1.5. Максимальная производительность различных микроконтроллеров



1.1.3. Дополнительные функции

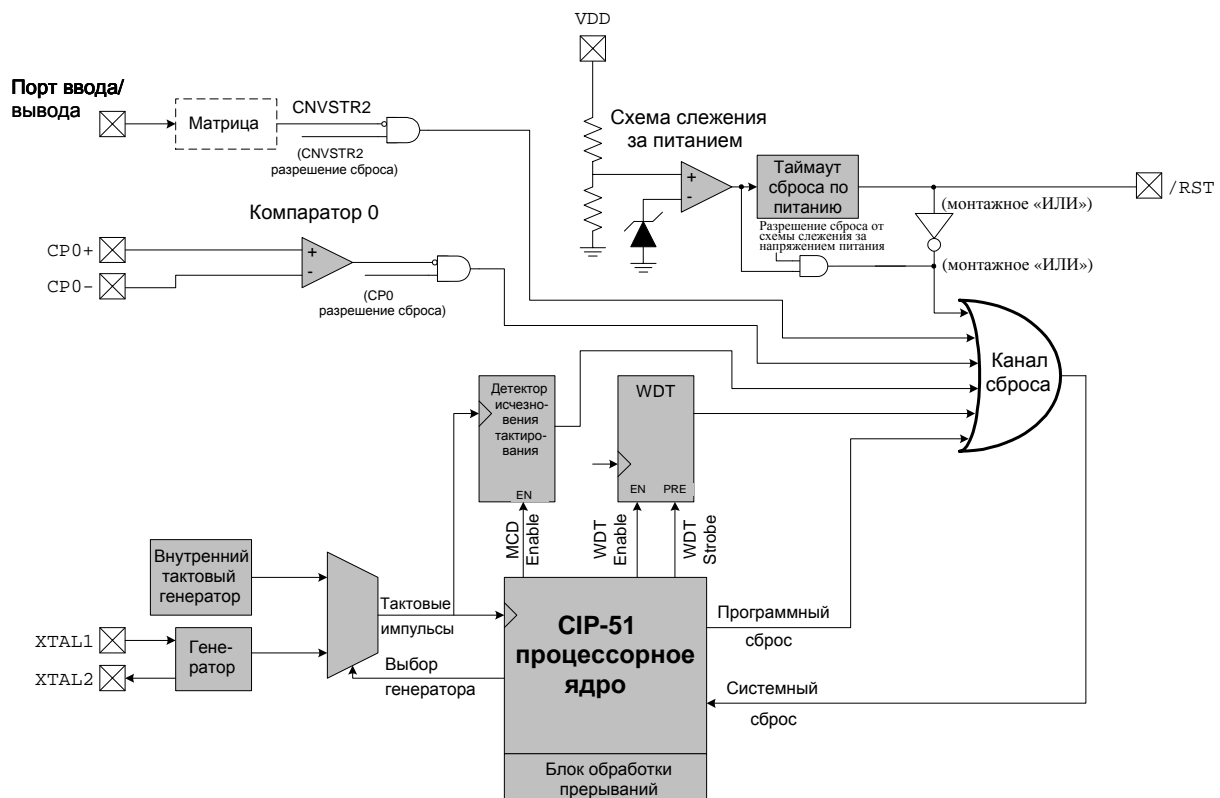
МК семейства C8051F06х имеют ряд важных особенностей, которые позволяют улучшить общую производительность и упростить использование МК в конечных приложениях.

22 источников прерываний позволяют многочисленным аналоговым и цифровым периферийным модулям прерывать работу МК. Система управления прерываниями требует меньшего вмешательства со стороны программы, что улучшает ее производительность. Дополнительные источники прерываний очень полезны при построении многозадачных систем, работающих в режиме реального времени.

Имеется семь источников сброса: встроенная схема слежения за напряжением питания, сторожевой таймер, детектор исчезновения тактирования, компаратор 0, принудительный программный сброс, входной сигнал CNVSTR2 и вывод /RST. Вывод /RST является двунаправленным, т.е. может быть как входом внешнего сигнала сброса, так и выходом сигнала сброса, сгенерированного внутри МК схемой слежения за питанием. Любой источник сброса, за исключением схемы слежения за питанием и входного вывода сброса, могут быть отключены программно; для включения/отключения схемы слежения за питанием используется вывод MONEN. Стороживой таймер может быть включен после сброса типа POR (сброс при включении питания) в процессе инициализации МК.

МК имеет внутренний автономный тактовый генератор, который после сброса используется как источник тактовых импульсов по умолчанию. При необходимости можно “на лету” подключить внешний тактовый генератор, который для генерации тактовых импульсов использует кварцевый или керамический резонатор, конденсатор, RC-цепочку или внешний источник импульсов. В приложениях с пониженным энергопотреблением крайне полезным может быть режим работы МК с медленным (мало потребляющим) внешним кварцевым генератором с периодическим переключением на быстрый (до 25 МГц) внутренний генератор.

Рисунок 1.6. Структурная схема модуля тактирования и сброса



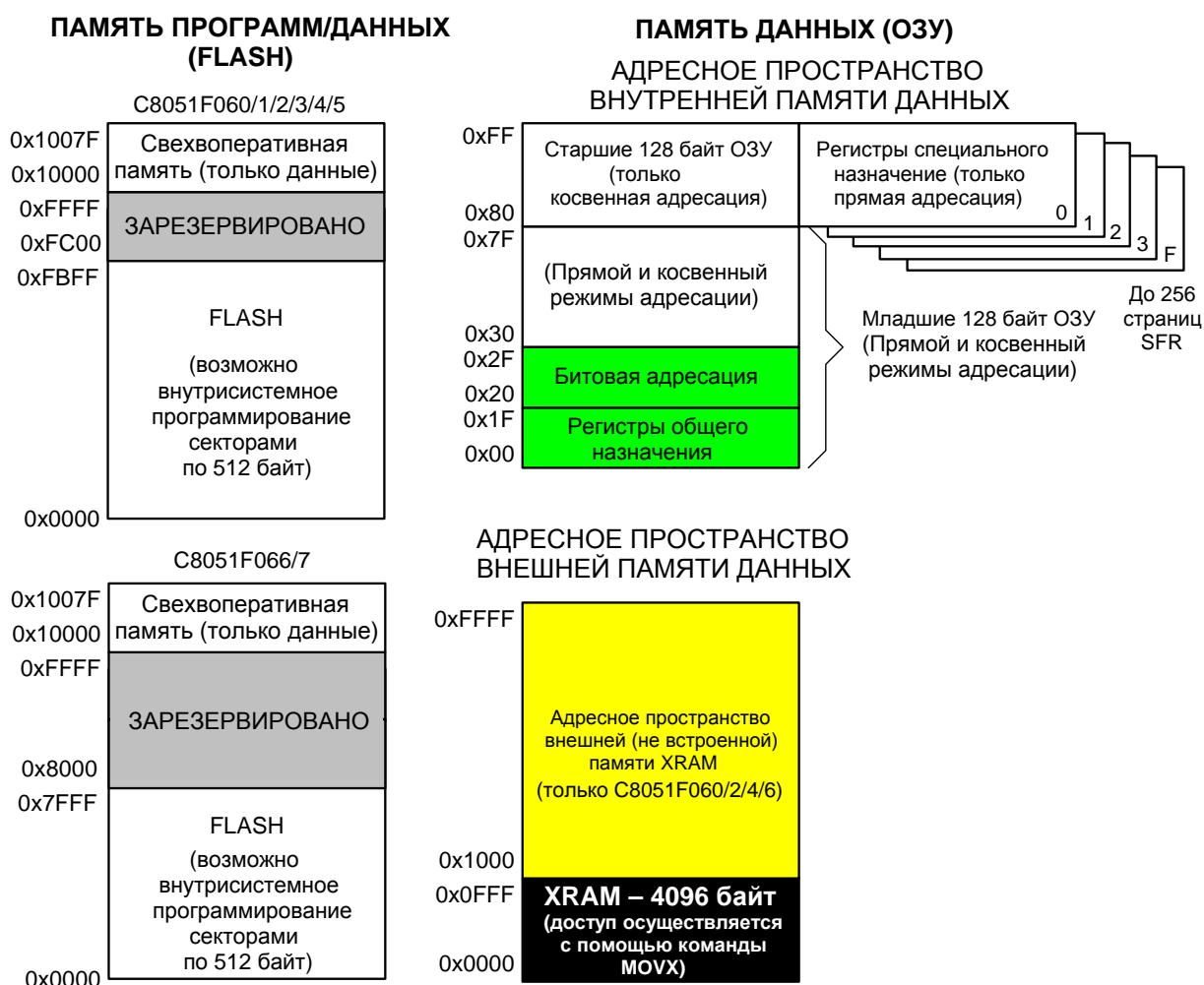
1.2. Встроенная память

CIP-51 имеет стандартную (8051) структуру адресного пространства памяти программ и данных. В состав памяти входит ОЗУ объемом 256 байт, старшие 128 байт которого имеют двойную конфигурацию. В режиме косвенной адресации осуществляется доступ к старшим 128 байтам ОЗУ общего назначения, а в режиме прямой адресации осуществляется доступ к 128 байтам адресного пространства регистров специального назначения (SFR). Адресное пространство SFR содержит до 256 *страниц SFR*. Таким образом, МК на основе CIP-51 могут использовать множество регистров SFR для управления и настройки различных периферийных модулей, имеющихся в данных МК. Младшие 128 байт ОЗУ доступны в режиме как прямой, так и косвенной адресации. Из них первые 32 байта адресуются как четыре банка регистров общего назначения, а следующие 16 байт адресуются побайтно или побитно.

МК C8051F060/1/2/3/4/5/6/7 дополнительно имеют встроенный блок 4-Кбайтного ОЗУ. К этому встроенному 4-Кбайтному блоку памяти можно обращаться во всем диапазоне адресов 64 Кбайтной внешней памяти данных (с перекрытием адресов по 4Кбайтным границам). МК C8051F060/2/4/6 имеют также интерфейс внешней памяти (external memory interface – EMIF) для доступа к внешней памяти данных или к периферийным модулям, отображенным на эту память. На адресное пространство внешней памяти данных может быть отображена либо только встроенная память, либо только внешняя память, либо их комбинация (адреса до 4Кбайт относятся к встроенной памяти, адреса свыше 4Кбайт относятся к EMIF). EMIF может работать с мультиплексированными и не мультиплексированными шинами адреса/данных.

Память программ МК состоит из 64 Кбайт (C8051F060/1/2/3/4/5) или 32 Кбайт (C8051F066/7) Flash-памяти. Эта память может перепрограммироваться внутрисистемно секторами по 512 байт, не требуя при этом специального внешнего напряжения программирования. В МК C8051F060/1/2/3/4/5 1024 байт с адресами от 0xEC00 до 0xFFFF зарезервированы для нужд производителя. Во всех МК имеется также дополнительный 128-байтный сектор с адресами от 0x10000 до 0x1007F, который может использоваться в качестве небольшой таблицы программных констант. На рис.1.7 приведена карта распределения памяти МК.

Рисунок 1.7. Карта распределения памяти



1.3. JTAG ОТЛАДЧИК И ИНТЕРФЕЙС ГРАНИЧНОГО СКАНИРОВАНИЯ

МК семейства C8051F06х имеют встроенные интерфейс граничного сканирования и отладчик, которые посредством 4-х проводного интерфейса JTAG позволяют осуществлять в режиме реального времени «неразрушающую» (не используются внутренние ресурсы) внутрисхемную отладку, используя МК, установленный в конечное изделие. Посредством JTAG интерфейса, полностью совместимого с протоколом IEEE 1149.1, осуществляется граничное сканирование, которое используется для тестирования и производственных испытаний.

Средства отладки фирмы Silicon Labs поддерживают проверку и модификацию памяти и регистров, расстановку точек останова и временных меток, контроль стека, пошаговую отладку. При этом не требуется никаких специальных дополнительных ОЗУ, памяти программ, таймеров или каналов связи. Во время отладки все цифровые и аналоговые периферийные модули не отключаются и работают корректно. При остановке МК в точке останова или при пошаговой отладке работа всех периферийных модулей (кроме АЦП и SMBus) блокируется, что необходимо для удержания их в режиме синхронизации с выполнением команд.

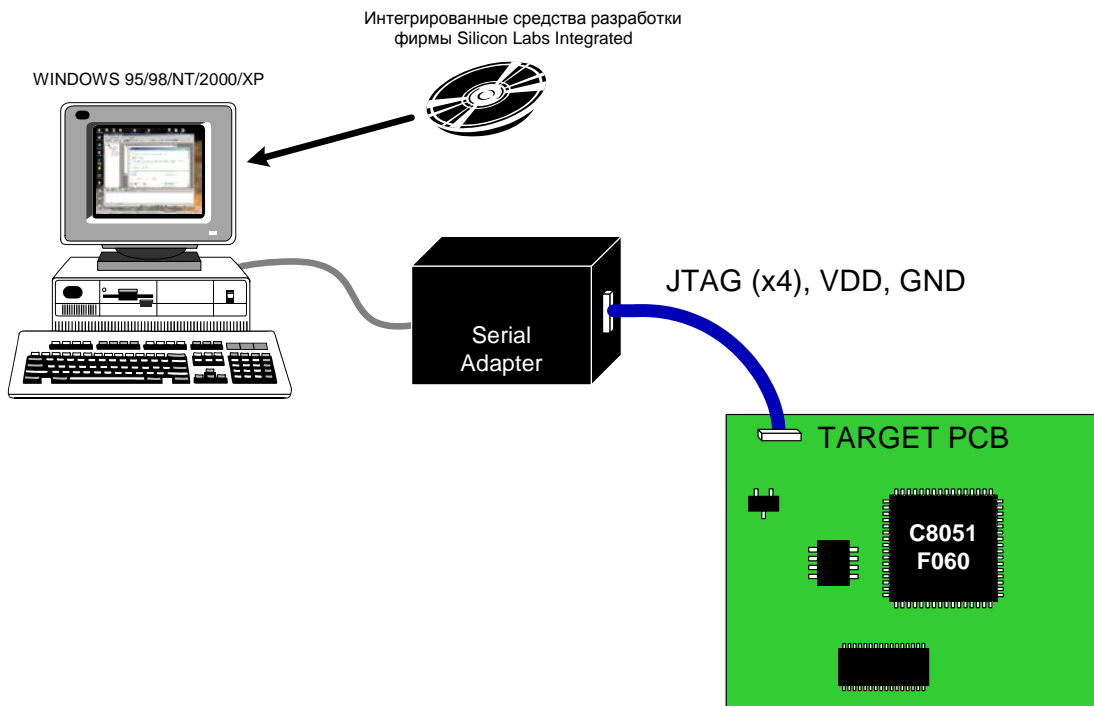
Комплект средств разработки C8051F060DK содержит все необходимые аппаратные и программные средства для разработки программного кода и выполнения внутрисхемной отладки систем на основе МК C8051F06х. Этот комплект содержит программный пакет с интегрированной средой разработки, работающий под ОС Windows (95 или более поздней), адаптер последовательного порта для подключения к порту JTAG, а также демонстрационную плату с установленным МК C8051F060. Кроме этого имеются все необходимые кабели, а также блок питания в отдельном корпусе.

По сравнению со стандартными симуляторами такой способ разработки и отладки встроенных систем обеспечивает следующие преимущества:

- не требуется отладочный кристалл;
- не используются специализированные кабели;
- не требуется использовать разъем для установки МК на плату.

Отладочная среда фирмы Silicon Labs обеспечивает удобство работы с прецизионными аналоговыми периферийными модулями и при этом не ухудшает их производительности.

Рисунок 1.8. Модель отладки



1.4. Программируемые цифровые порты ввода/вывода и матрица соединений

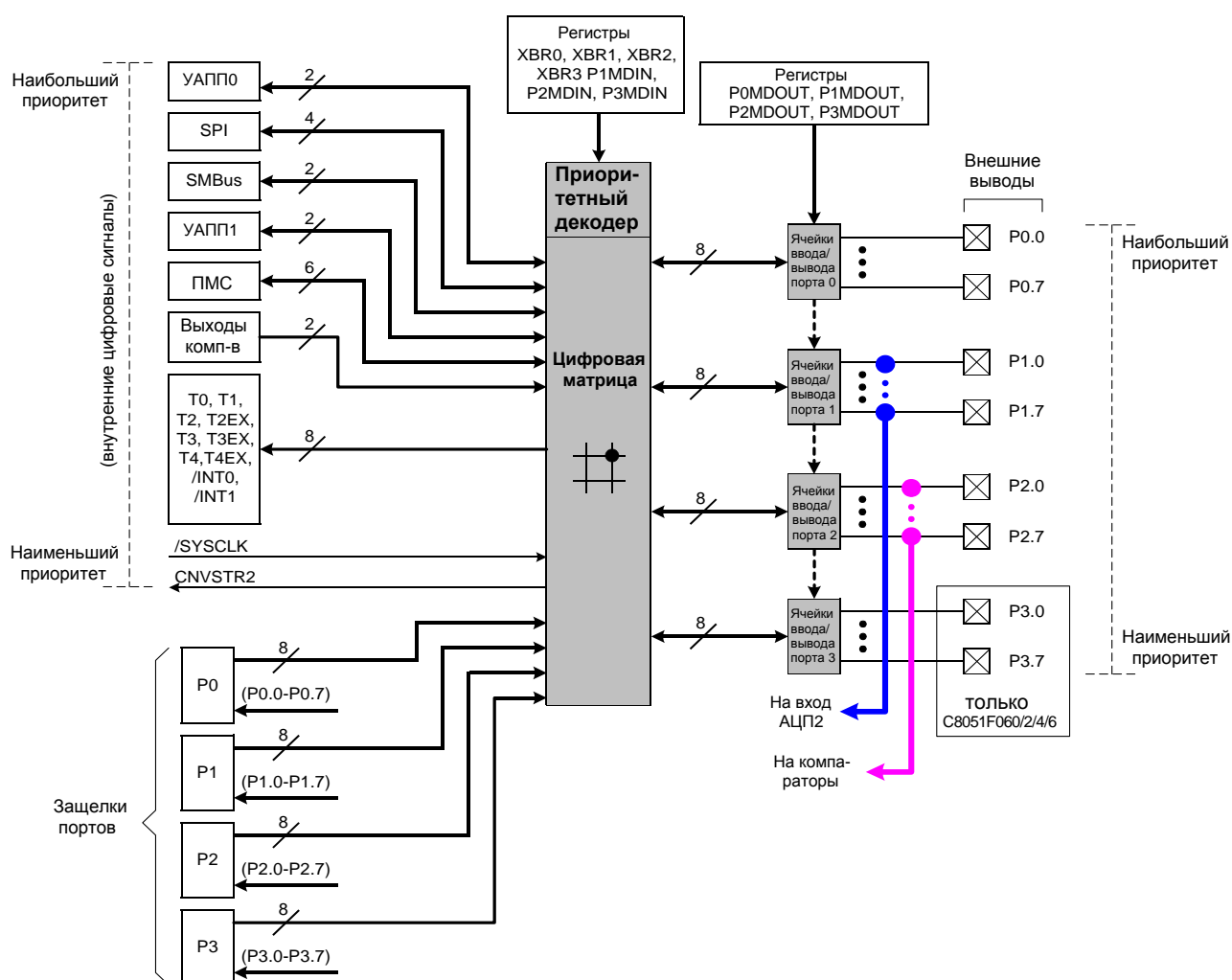
Все МК имеют три стандартных для архитектуры 8051 порта (0, 1 и 2). МК C8051F060/2/4/6 имеют четыре дополнительных 8-разрядных порта (3, 5, 6 и 7) и один 3-разрядный порт (4), т.е. всего 59 линий ввода/вывода общего назначения. Порты функционируют в соответствии со стандартом 8051 с некоторыми дополнительными возможностями.

Каждый вывод порта может быть настроен либо как цифровой вход-выход, либо как выход с открытым стоком. Кроме этого, возможно общее отключение подтягивающих резисторов (которые в стандартной архитектуре 8051 обычно нельзя отключать), что позволяет еще более снизить энергопотребление в критичных к этому параметру приложениях.

Наиболее важным усовершенствованием является цифровая матрица. По существу это большая сеть цифровой коммутации, которая позволяет необходимым образом соединять внутренние цифровые системные ресурсы с выводами портов ввода/вывода P0, P1, P2 и P3 (см. рис.1.9). При этом, в отличие от МК со стандартными мультиплексированными цифровыми портами ввода/вывода, возможны любые комбинации для МК в любом корпусе.

При помощи регистров управления матрицей на выводы портов могут быть выведены сигналы от внутренних таймеров/счетчиков, от последовательных интерфейсов, аппаратные прерывания, входной сигнал запуска АЦП, выходы компараторов и др. Это позволяет пользователю выбрать точную комбинацию связей между портами ввода/вывода общего назначения и цифровыми ресурсами, необходимую для каждого конкретного приложения.

Рисунок 1.9. Структурная схема цифровой матрицы



1.5. Программируемый массив счетчиков (ПМС)

МК семейства C8051F06x кроме пяти 16-разрядных таймеров/счетчиков общего назначения имеют внутренний программируемый массив счетчиков (ПМС). ПМС состоит из специального 16-разрядного таймера/счетчика временных интервалов с шестью программируемыми модулями захват/сравнение. В качестве тактового сигнала для этого счетчика могут использоваться:

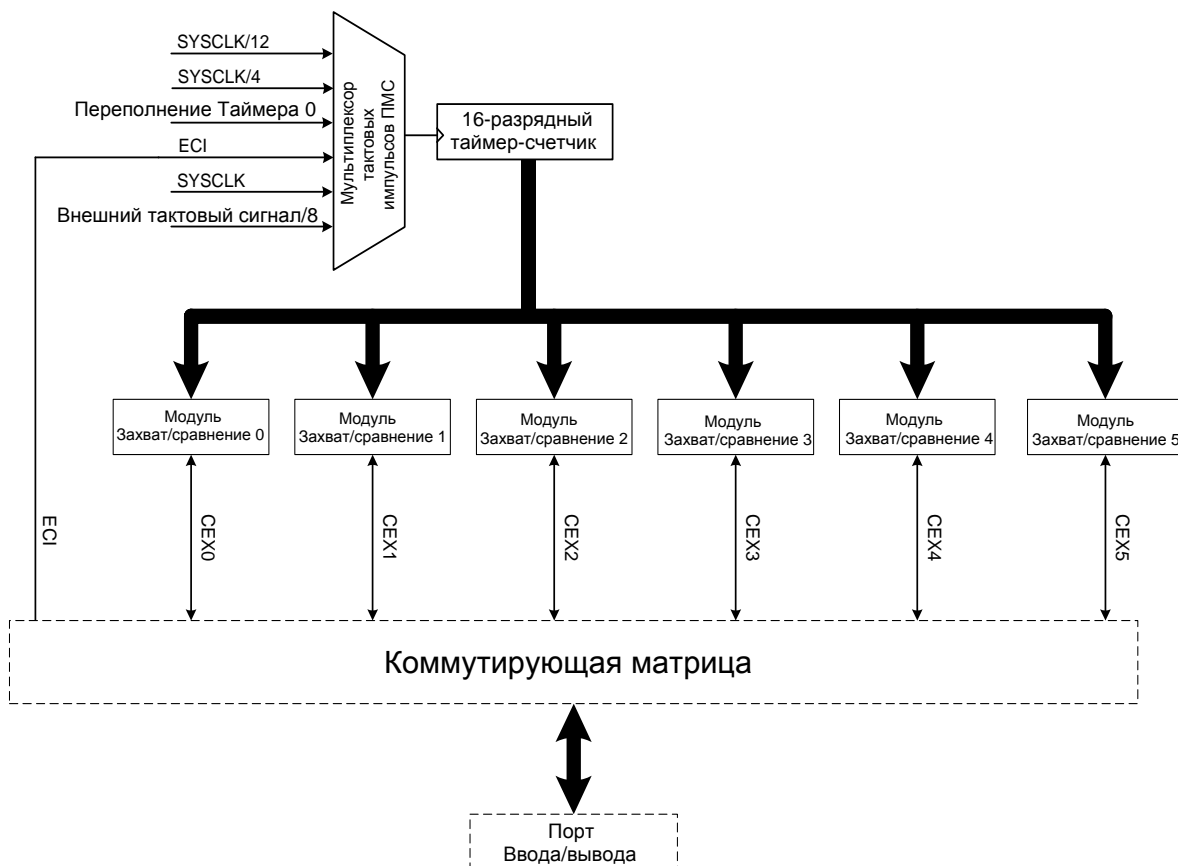
- сигнал системного тактового генератора с частотой, деленной на 12;
- сигнал системного тактового генератора с частотой, деленной на 4;
- сигнал переполнения таймера 0;
- сигнал от внешнего входа тактирования (ECI – external clock input);
- системный тактовый сигнал;
- сигнал внешнего генератора с частотой, деленной на 8.

Каждый модуль захват/сравнение может быть настроен на работу в одном из шести режимах:

- захват, управляемый фронтом (сигнала);
- программный таймер;
- высокоскоростной выход;
- выход заданной частоты;
- 8-разрядный широтно-импульсный модулятор;
- 16-разрядный широтно-импульсный модулятор.

Входы/выходы модулей захват/сравнение ПМС и внешний вход тактирования (ECI) соединены с портами ввода/вывода МК через цифровую коммутирующую матрицу.

Рисунок 1.10. Структурная схема модуля ПМС

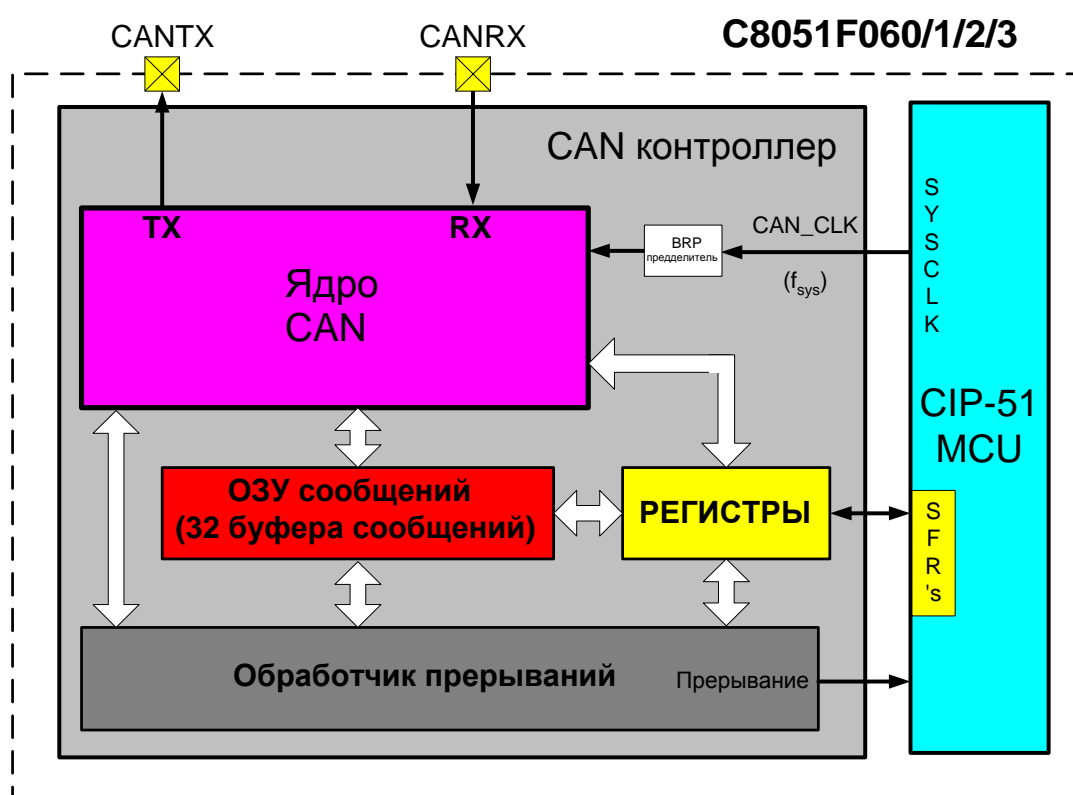


1.6. Контроллер локальной сети (CAN)

МК C8051F060/1/2/3 имеют контроллер локальной сети (CAN), который осуществляет взаимодействие по последовательному каналу с использованием протокола CAN. Контроллер CAN обеспечивает обмен информацией в сети CAN в соответствии со спецификациями фирмы Bosch 2.0A (базовый CAN) и 2.0B (расширенный CAN). Контроллер CAN состоит из ядра CAN, ОЗУ сообщений (отдельное от ОЗУ C8051), конечного автомата обработчика сообщений и регистров управления.

Контроллер CAN может функционировать со скоростью передачи данных до 1Мбит/сек. Контроллер CAN фирмы Silicon Labs имеет 32 буфера сообщений, каждый из которых имеет собственную маску идентификатора, используемую для фильтрации получаемых сообщений. Поступающие данные, буферы сообщений и маски идентификаторов хранятся в ОЗУ сообщений CAN. Все функции протокола, связанные с передачей данных и фильтрацией получаемых сообщений, выполняются контроллером CAN, а не процессорным ядром МК. Таким образом, для обмена информацией по протоколу CAN процессорное ядро используется в минимальной степени. C8051 использует регистры специального назначения (SFR) для настройки контроллера CAN, чтения принятых данных и выдачи данных для передачи.

Рисунок 1.11. Структурная схема контроллера CAN



1.7. Последовательные порты

В МК семейства C8051F06x встроены следующие последовательные интерфейсы:

- два усовершенствованных полнодуплексных УАПП;
- усовершенствованный SPI;
- I2C/SMBus.

Каждый из этих интерфейсов реализован на аппаратном уровне и широко использует прерывания, требуя лишь незначительного вмешательства со стороны программы пользователя. Эти интерфейсы не имеют общих ресурсов, таких как таймеры, прерывания или порты ввода/вывода, поэтому все они могут использоваться одновременно.

1.8. 16-разрядный аналого-цифровой преобразователь

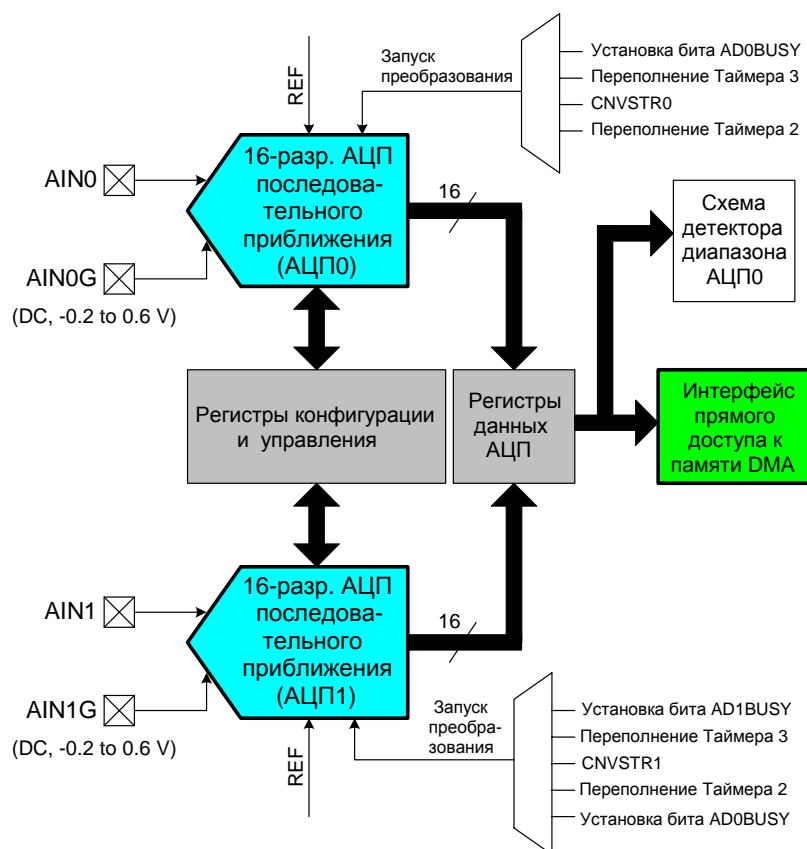
МК C8051F060/1/2/3/4/5/6/7 имеют два встроенных 16-разрядных АЦП последовательного приближения (АЦП0 и АЦП1), которые могут использоваться по отдельности в однофазном режиме или совместно в дифференциальном режиме. С помощью интерфейса прямого доступа к памяти (DMA), АЦП0 и АЦП1 могут непосредственно обращаться к внутреннему или внешнему ОЗУ. При максимальной производительности 1 млн. преобразований в секунду эти АЦП обеспечивают 16-битную точность преобразования с двумя уровнями нелинейности. АЦП0 и АЦП1 каждый могут использовать либо специальный внутренний источник опорного напряжения (ИОН), либо внешний ИОН.

Управление АЦП осуществляется при помощи регистров специального назначения. Имеется возможность отключения этих АЦП с целью уменьшения энергопотребления.

Преобразование может быть запущено четырьмя способами: командой в программе, при переполнении таймера 2, при переполнении таймера 3 или внешним входным сигналом. Такая гибкость позволяет запускать преобразование при возникновении определенных программных событий, по сигналам от внешних устройств или периодически при переполнении таймера. Оба АЦП могут функционировать как независимо друг от друга, так и синхронно, что позволяет осуществлять преобразования одновременно. По окончании преобразования устанавливается специальный бит состояния и инициируется прерывание, если оно разрешено, после чего полученное 16-разрядное слово данных записывается в два регистра специального назначения. Также имеется интерфейс DMA, который позволяет получать результаты преобразований АЦП и сохранять их непосредственно во внутреннем или внешнем ОЗУ.

АЦП0 содержит также детектор диапазона, который можно настроить таким образом, чтобы генерировать прерывание лишь при попадании или непадании результата преобразования в заданный диапазон значений (окно). АЦП0 может непрерывно отслеживать сигнал в фоновом режиме, но не прерывать МК до тех пор, пока преобразованные данные не окажутся в пределах заданного диапазона.

Рисунок 1.12. Структурная схема 16-разрядного АЦП



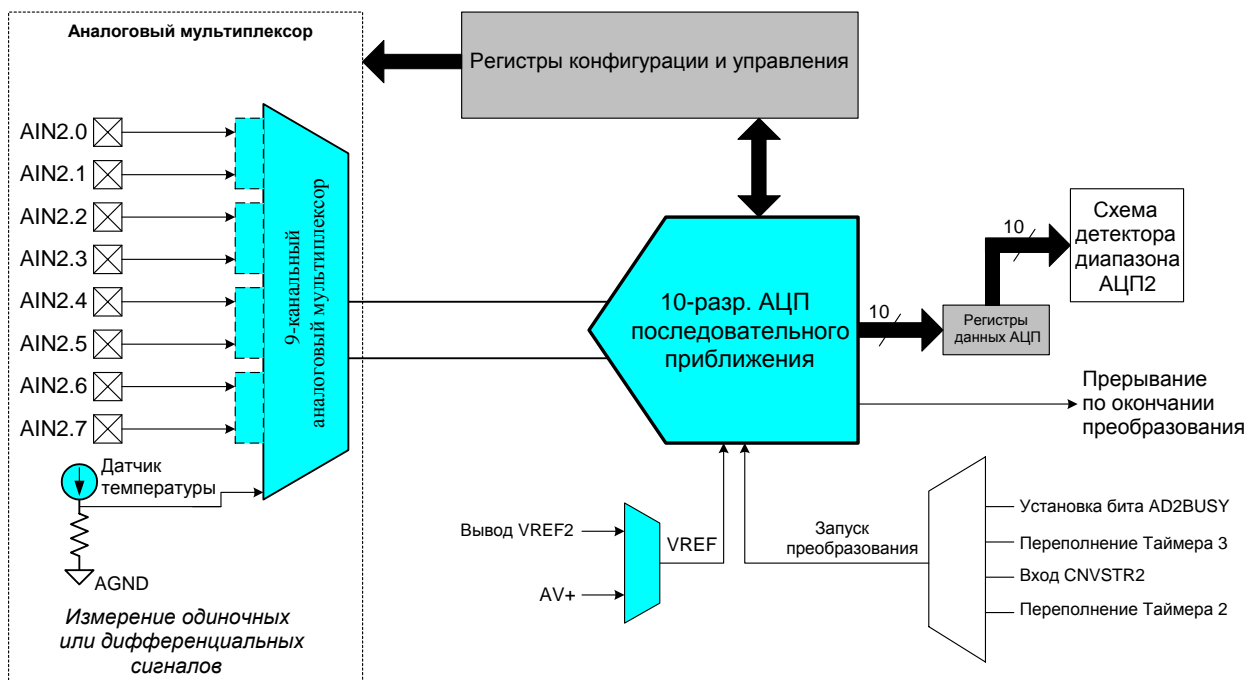
1.9. 10-разрядный аналого-цифровой преобразователь

МК C8051F060/1/2/3 имеют встроенный 10-разрядный АЦП (АЦП2) последовательного приближения с 9-канальным входным мультиплексором и программируемым усилителем. Этот АЦП отличается максимальной производительностью 200 тыс. преобразований в секунду и 10-битной точностью преобразования с нелинейностью на уровне $\pm 1\text{МЗР}$. Все восемь входных выводов доступны для проведения измерений и могут быть настроены как одиночные или дифференциальные входы. Кроме этого, сигнал от встроенного датчика температуры можно использовать в качестве входного сигнала АЦП. Управление АЦП осуществляется при помощи регистров специального назначения. В качестве опорного напряжения АЦП2 может использоваться напряжение питания аналоговых цепей (AV+) и внешнее напряжение с вывода VREF2. Имеется возможность отключения АЦП2 с целью уменьшения энергопотребления.

Гибкая система управления преобразованиями позволяет инициировать преобразование АЦП2 командой из программы, внешним входным сигналом или по переполнению таймера. По окончании преобразования устанавливается специальный бит состояния и инициируется прерывание, если оно разрешено, после чего полученное 10-разрядное слово данных АЦП записывается в регистры специального назначения.

АЦП2 содержит также детектор диапазона, который можно настроить таким образом, чтобы генерировать прерывание лишь при попадании или непопадании результата преобразования в заданный диапазон значений (окно). АЦП2 может непрерывно отслеживать сигнал в фоновом режиме, но не прерывать МК до тех пор, пока преобразованные данные не окажутся в пределах заданного диапазона.

Рисунок 1.13. Структурная схема 10-разрядного АЦП

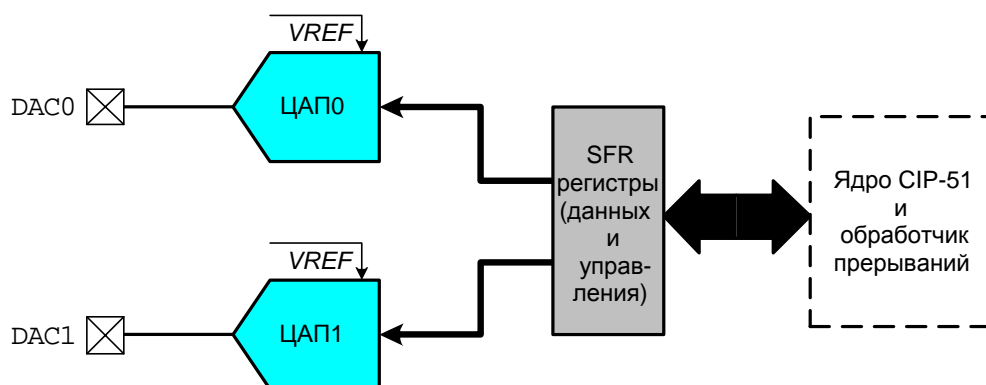


1.10. 12-разрядные ЦАП

МК C8051F060/1/2/3 имеет два встроенных 12-разрядных ЦАП. Управление каждым ЦАП осуществляется через регистры специального назначения. Любой ЦАП может быть переведен в режим пониженного энергопотребления.

Выходным сигналом ЦАП является напряжение. ЦАП имеет гибкий механизм обновления выходного сигнала, который позволяет производить обновление сигнала на выходе ЦАП либо командой из программы, либо по переполнению таймеров 2, 3 или 4. Опорное напряжение ЦАП подается через специальный входной вывод VREFD (в МК C8051F060/2) или через специальный входной вывод VREF2 (в МК C8051F061/3), напряжение с которого используется также и АЦП2. ЦАП удобно использовать для формирования порогового напряжения компаратора или напряжения смещения дифференциальных входов АЦП.

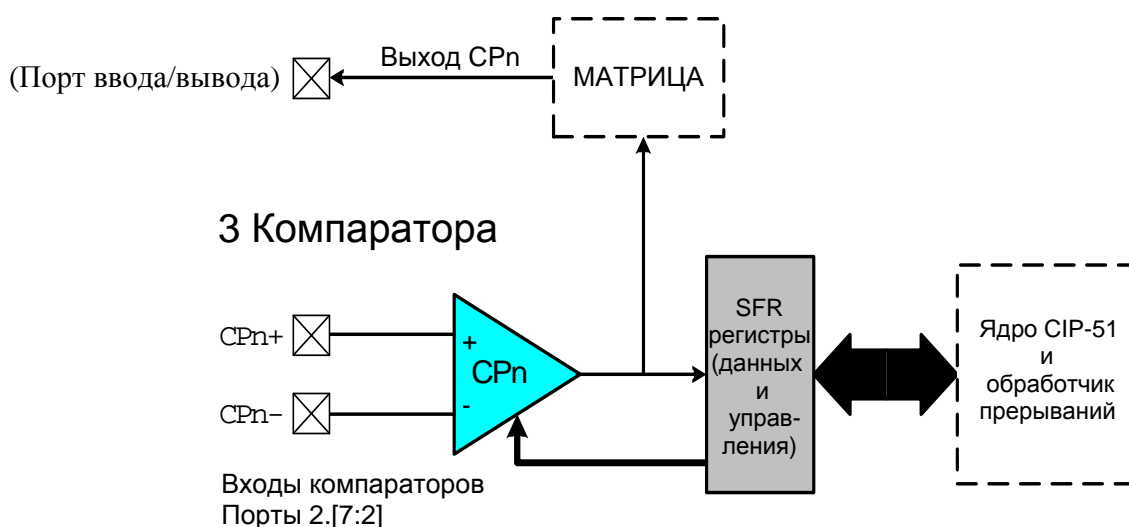
Рисунок 1.14. Структурная схема ЦАП



1.11. Аналоговые компараторы

Каждый МК семейства C8051F06x имеет три встроенных аналоговых компаратора. Компараторы допускают программирование гистерезиса и времени отклика. Каждый компаратор может генерировать прерывание по переднему или заднему фронту петли гистерезиса, либо по обоим фронтам. Эти прерывания могут вывести МК из режима остановки, а прерывание от Компаратора 0 может также использоваться в качестве источника сброса. Состояние выходов компараторов можно опрашивать программно. Кроме этого, с помощью коммутирующей матрицы можно вывести сигналы с выходов компараторов на внешние порты ввода/вывода. Когда компараторы не используются, их можно перевести в режим пониженного энергопотребления.

Рисунок 1.15. Структурная схема компаратора



2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ**Таблица 2.1. Предельно допустимые параметры ***

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Предельная рабочая температура		- 55		125	°C
Температура хранения		- 65		150	°C
Напряжение на любом выводе (кроме Vdd, AV+, AVDD и Порта 0) относительно DGND		- 0,3		VDD + 0,3	В
Напряжение на любом выводе Порта 0 относительно DGND		- 0,3		5,8	В
Напряжение на выводах Vdd, AV+, AVDD относительно DGND		- 0,3		4,2	В
Максимальный суммарный ток выводов VDD, AV+, AVDD, DGND и AGND				800	мА
Максимальный выходной втекающий ток любого вывода порта ввода/вывода				100	мА
Максимальный выходной втекающий ток любого другого вывода				50	мА
Максимальный выходной вытекающий ток любого вывода порта ввода/вывода				100	мА
Максимальный выходной вытекающий ток любого другого вывода				50	мА

* Выход за указанные значения может привести к необратимым повреждениям микроконтроллера. Работа микроконтроллера в предельном режиме в течение длительного времени не предусмотрена. Длительная эксплуатация микроконтроллера в недопустимых условиях может повлиять на его надежность.

3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

Таблица 3.1. Основные электрические параметры

Температура от -40°C до +85°C, тактовая частота 25МГц, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Напряжение источника питания аналоговых цепей (AV+, AVDD)	(см. примечание 1)	2.7	3.0	3.6	В
Напряжение питания цифровых цепей (VDD)		2.7	3.0	3.6	В
Разность между напряжениями питания аналоговых и цифровых цепей ($ VDD - AV+ $ или $ VDD - AVDD $)				0.5	В
Ток потребления аналоговых модулей (активных)	Все внутренние ИОН, АЦП, ЦАП, компараторы включены (см. примечание 2).		14		мА
Ток потребления аналоговых модулей (отключенных)	Все внутренние ИОН, АЦП, ЦАП, компараторы отключены, генератор отключен.		0,2		мкА
Ток потребления ЦПУ и цифровых модулей (ЦПУ в активном режиме) (см. примечание 3).	VDD = 2.7В, Частота = 25 МГц		18		мА
	VDD = 2.7В, Частота = 1 МГц		0,7		мА
	VDD = 2.7В, Частота = 32 кГц		30		мкА
	VDD = 3.0В, Частота = 25 МГц		20		мА
	VDD = 3.0В, Частота = 1 МГц		1,0		мА
	VDD = 3.0В, Частота = 32 кГц		35		мкА
Ток потребления ЦПУ и цифровых модулей (ЦПУ остановлено, нет обращений к Flash-памяти)	VDD = 2.7В, Частота = 25 МГц		13		мА
	VDD = 2.7В, Частота = 1 МГц		0,5		мА
	VDD = 2.7В, Частота = 32 кГц		20		мкА
	VDD = 3.0В, Частота = 25 МГц		16		мА
	VDD = 3.0В, Частота = 1 МГц		0,8		мА
	VDD = 3.0В, Частота = 32 кГц		23		мкА
Ток потребления в режиме пониженного энергопотребления	Генератор остановлен.		0,2		мкА
Напряжение сохранения данных ОЗУ			1.5		В
Рабочая температура		-40		+85	°C
SYSCLK (системная тактовая частота)	(см. примечание 4)	0		25	МГц

Примечание 1: При напряжении питания аналоговых цепей AV+ менее 1В схема слежения за напряжением питания не работает.

Примечание 2: Токи потребления внутреннего генератора и схемы слежения за напряжением питания не учитываются. Значение тока потребления каждого модуля по отдельности приведено в разделе, посвященном описанию этого модуля.

Примечание 3: Ток потребления увеличивается линейно с увеличением напряжения питания.

Примечание 4: Отладка невозможна при SYSCLK менее 32 кГц.

4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ

Таблица 4.1. Описание выводов

Обоз- начение вывода	Номер вывода				Тип	Описание
	F060	F061	F064	F065		
	F062	F063	F066	F067		
VDD	37, 64, 90	26, 40 55	37, 64, 90	26, 40 55		Положительное напряжение питания цифровых цепей (+2,7В ... +3,6В).
DGND	38, 63, 89	27, 39, 54	38, 63, 89	27, 39, 54		Общий вывод питания цифровых цепей.
AV+	11, 16, 24	7, 10, 18	11, 16, 24	7, 10, 18		Положительное напряжение питания аналоговых цепей (+2,7В ... +3,6В).
AVDD	13	23	13	23		Положительное напряжение питания аналоговых цепей (+2,7В ... +3,6В).
AGND	10, 14, 17, 23	6, 11, 19, 22	10, 14, 17, 23	6, 11, 19, 22		Общий вывод питания аналоговых цепей.
TCK	97	53	97	53	D In	JTAG: тактовый вход с внутренним подтягивающим резистором
TMS	96	52	96	52	D In	JTAG: вход выбора режима с внутренним подтягивающим резистором
TDI	98	56	98	56	D In	JTAG: вход данных с внутренним подтягивающим резистором. Данные стробируются по переднему фронту сигнала TCK
TDO	99	57	99	57	D Out	JTAG: выход данных (трех стабильный) с внутренним подтягивающим резистором. Данные выдаются на выход TDO по заднему фронту сигнала TCK
XTAL1	26	20	26	20	A In	Вход генератора.
XTAL2	27	21	27	21	A Out	Вход внешнего тактового сигнала.
/RST	100	58	100	58	D I/O	Выход генератора. Подключается кварцевый или керамический резонатор
MONEN	28	63	28	63	D In	Сброс МК. Выход с открытым стоком внутренней схемы слежения за напряжением питания. Устанавливается в низкий логический уровень, если Vdd < 2,7В и MONEN=1. Внешний источник может вызвать сброс МК, установив низкий логический уровень на этом выводе.
VREF	4	61	4	61	A Out	Включение схемы слежения за напряжением питания. Установка напряжения высокого уровня на этом выводе приведет к включению схемы слежения за напряжением питания, которая вызовет системный сброс, если Vdd станет меньше 2,7В. Установка напряжения низкого уровня на этом выводе приведет к отключению схемы слежения за напряжением питания. Рекомендуется подключать этот вывод непосредственно к шине питания VDD.
VREF0	21	15	21	15	A I/O	Выход стабилизированного опорного напряжения.
VRGND0	20	14	20	14	A In	Выход стабилизированного опорного напряжения для АЦП0. Вход внешнего опорного напряжения АЦП0.
VBGAP0	22	16	22	16	A Out	Вывод «земля» ИОН АЦП0. Этот вывод следует заземлить, если используется АЦП.
VREF1	6	2	6	2	A I/O	Шунтирующий вывод стабилизатора напряжения АЦП0.
VRGND1	7	3	7	3	A In	Выход стабилизированного опорного напряжения для АЦП1. Вход внешнего опорного напряжения АЦП1.
VBGAP1	5	1	5	1	A Out	Вывод «земля» ИОН АЦП1. Этот вывод следует заземлить, если используется АЦП.
VREF2	2				A In	Шунтирующий вывод стабилизатора напряжения АЦП1.
		62			A In	Вход опорного напряжения АЦП2.
VREFD	3				A In	Вход опорного напряжения АЦП2, ЦАП0 и ЦАП1.
AIN0	18	12	18	12	A In	Вход опорного напряжения ЦАП0 и ЦАП1
AIN0G	19	13	19	13	A In	Вход АЦП0
AIN1	9	5	9	5	A In	Вход смещения по постоянному току АЦП0
AIN1G	8	4	8	4	A In	Вход АЦП1
CNVSTR0	15	9	15	9	D In	Вход смещения по постоянному току АЦП1
						Вход внешнего сигнала запуска АЦП0.

Таблица 4.1. Описание выводов (продолжение)

Обоз- начение вывода	Номер вывода				Тип	Описание
	F060	F061	F064	F065		
	F062	F063	F066	F067		
CNVSTR1	12	8	12	8	D In	Вход внешнего сигнала запуска АЦП1.
CANTX	94	59			D Out	Выход передатчика контроллера CAN
CANRX	95	60			D In	Вход приемника контроллера CAN
DAC0	25	17			A Out	Выход ЦАП0
DAC1	1	64			A Out	Выход ЦАП1
P0.0	62	51	62	51	D I/O	Порт 0.0.
P0.1	61	50	61	50	D I/O	Порт 0.1.
P0.2	60	49	60	49	D I/O	Порт 0.2.
P0.3	59	48	59	48	D I/O	Порт 0.3.
P0.4	58	47	58	47	D I/O	Порт 0.4.
P0.5	57	46	57	46	D I/O	Порт 0.5.
P0.6	56	45	56	45	D I/O	Порт 0.6.
P0.7	55	44	55	44	D I/O	Порт 0.7.
AIN2.0/P1.0	36	33	36	33	A In D I/O	Входной канал 0 АЦП2 (только C8051F060/1/2/3). Порт 1.0.
AIN2.1/P1.1	35	32	35	32	A In D I/O	Входной канал 1 АЦП2 (только C8051F060/1/2/3). Порт 1.1.
AIN2.2/P1.2	34	31	34	31	A In D I/O	Входной канал 2 АЦП2 (только C8051F060/1/2/3). Порт 1.2.
AIN2.3/P1.3	33	30	33	30	A In D I/O	Входной канал 3 АЦП2 (только C8051F060/1/2/3). Порт 1.3.
AIN2.4/P1.4	32	29	32	29	A In D I/O	Входной канал 4 АЦП2 (только C8051F060/1/2/3). Порт 1.4.
AIN2.5/P1.5	31	28	31	28	A In D I/O	Входной канал 5 АЦП2 (только C8051F060/1/2/3). Порт 1.5.
AIN2.6/P1.6	30	25	30	25	A In D I/O	Входной канал 6 АЦП2 (только C8051F060/1/2/3). Порт 1.6.
AIN2.7/P1.7	29	24	29	24	A In D I/O	Входной канал 7 АЦП2 (только C8051F060/1/2/3). Порт 1.7.
P2.0	46	43	46	43	D I/O	Порт 2.0.
P2.1	45	42	45	42	D I/O	Порт 2.1.
P2.2	44	41	44	41	D I/O	Порт 2.2.
P2.3	43	38	43	38	D I/O	Порт 2.3.
P2.4	42	37	42	37	D I/O	Порт 2.4.
P2.5	41	36	41	36	D I/O	Порт 2.5.
P2.6	40	35	40	35	D I/O	Порт 2.6.
P2.7	39	34	39	34	D I/O	Порт 2.7.
P3.0	54		54		D I/O	Порт 3.0.
P3.1	53		53		D I/O	Порт 3.1.
P3.2	52		52		D I/O	Порт 3.2.
P3.3	51		51		D I/O	Порт 3.3.
P3.4	50		50		D I/O	Порт 3.4.
P3.5	49		49		D I/O	Порт 3.5.
P3.6	48		48		D I/O	Порт 3.6.
P3.7	47		47		D I/O	Порт 3.7.

Таблица 4.1. Описание выводов (продолжение)

Обоз- начение вывода	Номер вывода				Тип	Описание
	F060	F061	F064	F065		
	F062	F063	F066	F067		
ALE/P4.5	93		93		D I/O	Строб ALE шины адреса интерфейса внешней памяти (мультиплексированный режим). Порт 4.5.
/RD/P4.6	92		92		D I/O	Строб /RD шины адреса интерфейса внешней памяти. Порт 4.6.
/WR/P4.7	91		91		D I/O	Строб /WR шины адреса интерфейса внешней памяти. Порт 4.7.
A8 /P5.0	88		88		D I/O	Бит 8 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 5.0.
A9 /P5.1	87		87		D I/O	Бит 9 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 5.1.
A10 /P5.2	86		86		D I/O	Бит 10 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 5.2.
A11 /P5.3	85		85		D I/O	Бит 11 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 5.3.
A12 /P5.4	84		84		D I/O	Бит 12 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 5.4.
A13 /P5.5	83		83		D I/O	Бит 13 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 5.5.
A14 /P5.6	82		82		D I/O	Бит 14 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 5.6.
A15 /P5.7	81		81		D I/O	Бит 15 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 5.7.
A8m/A0/P6.0	80		80		D I/O	Бит 8 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 6.0.
A9m/A1/P6.1	79		79		D I/O	Бит 9 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 6.1.
A10m/A2/P6.2	78		78		D I/O	Бит 10 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 6.2.
A11m/A3/P6.3	77		77		D I/O	Бит 11 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 6.3.
A12m/A4/P6.4	76		76		D I/O	Бит 12 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 6.4.

Таблица 4.1. Описание выводов (продолжение)

Обоз- начение вывода	Номер вывода				Тип	Описание
	F060	F061	F064	F065		
	F062	F063	F066	F067		
A13m/A5/P6.5	75		75		D I/O	Бит 13 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 6.5.
A14m/A6/P6.6	74		74		D I/O	Бит 14 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 6.6.
A15m/A7/P6.7	73		73		D I/O	Бит 15 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 6.7.
AD0m/D0/P7.0	72		72		D I/O	Бит 0 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 7.0.
AD1m/D1/P7.1	71		71		D I/O	Бит 1 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 7.1.
AD2m/D2/P7.2	70		70		D I/O	Бит 2 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 7.2.
AD3m/D3/P7.3	69		69		D I/O	Бит 3 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 7.3.
AD4m/D4/P7.4	68		68		D I/O	Бит 4 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 7.4.
AD5m/D5/P7.5	67		67		D I/O	Бит 5 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 7.5.
AD6m/D6/P7.6	66		66		D I/O	Бит 6 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 7.6.
AD7m/D7/P7.7	65		65		D I/O	Бит 7 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 7.7.
NC			1, 2, 3, 25, 94, 95	17, 59, 60, 62, 64		Не подсоединены.

ПРИМЕЧАНИЯ



Рисунок 4.1. Цоколевка корпуса TQFP-100 (C8051F060/2)

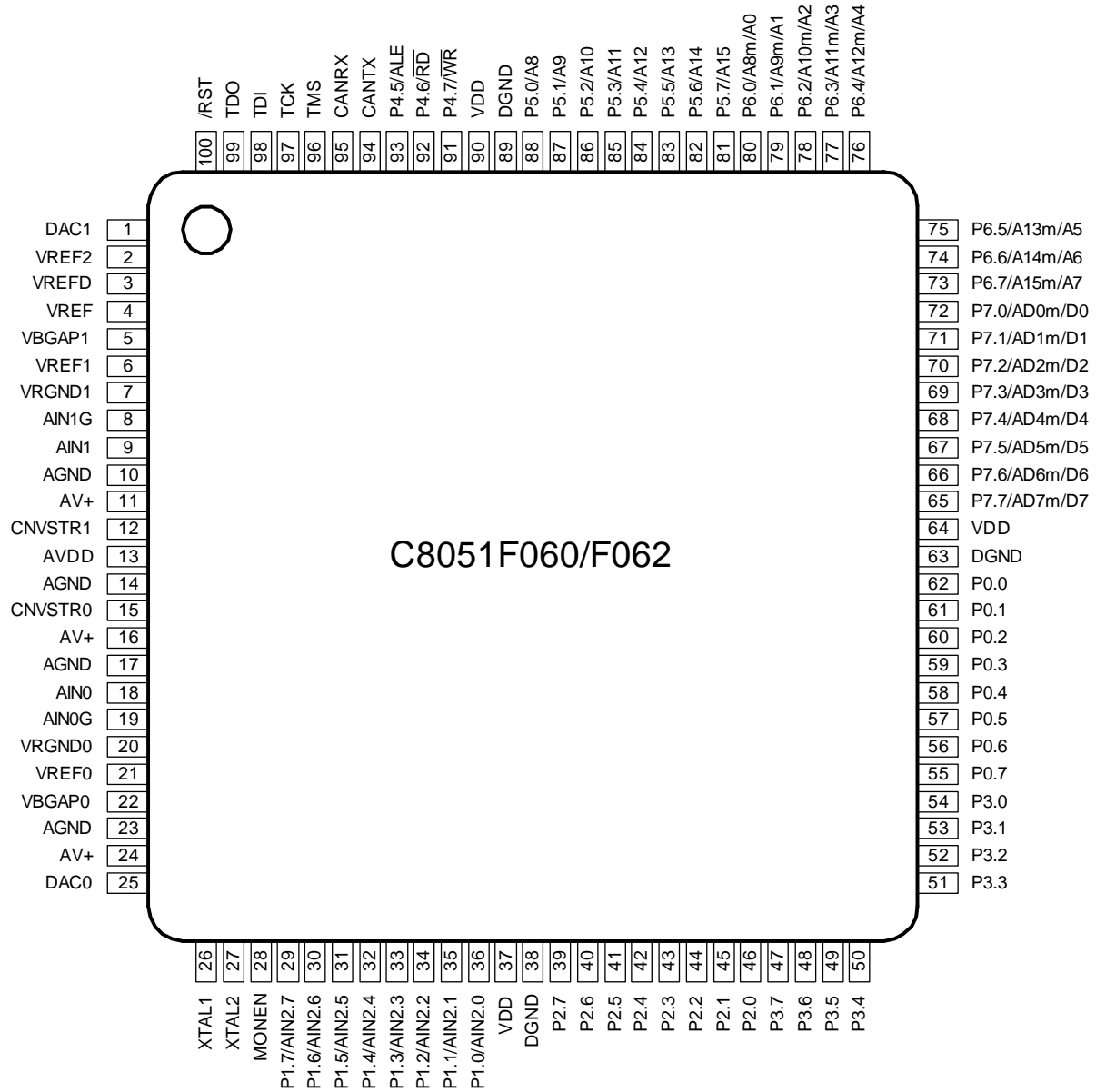


Рисунок 4.2. Цоколевка корпуса TQFP-100 (C8051F064/6)

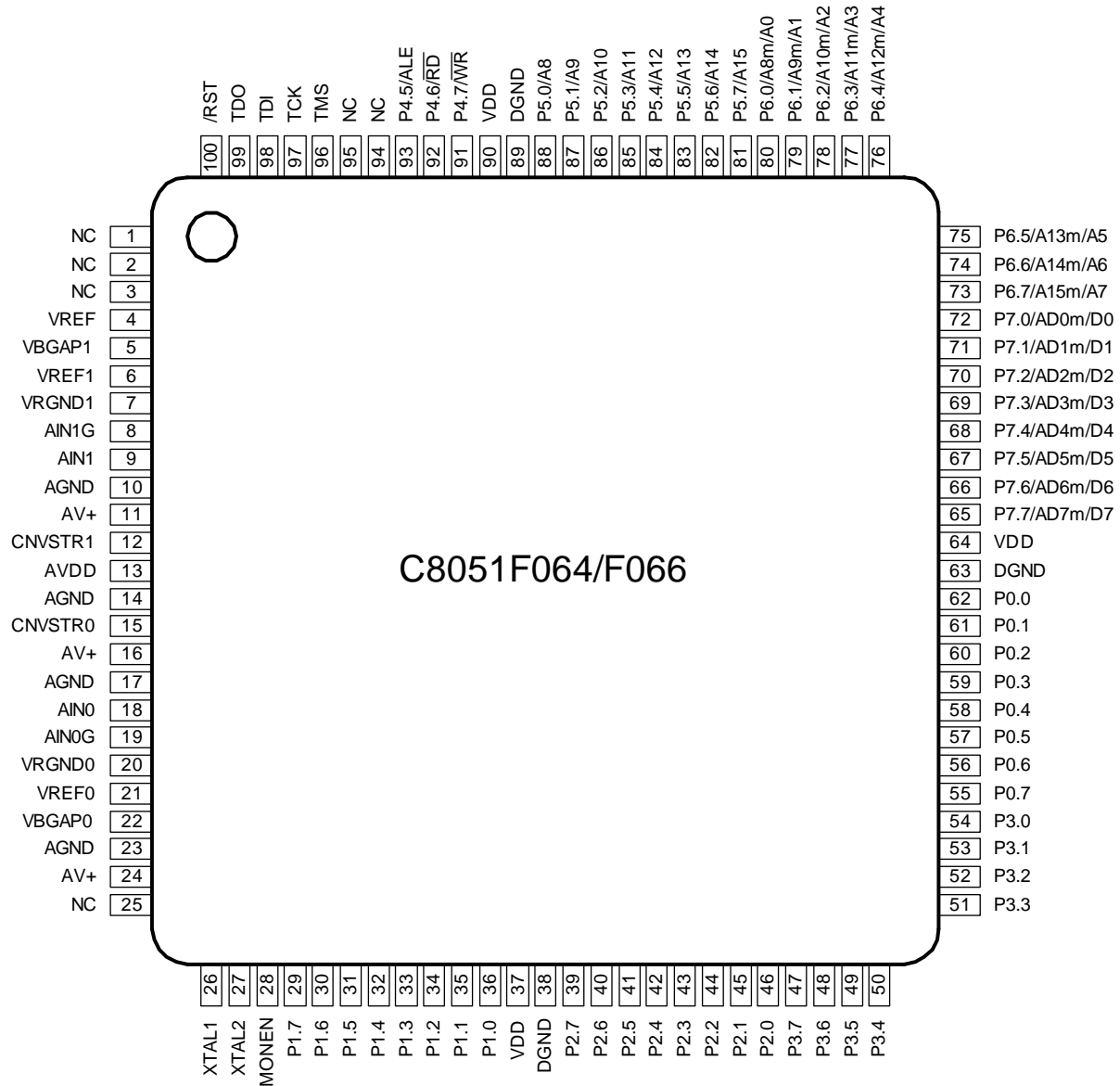


Рисунок 4.3. Чертеж корпуса TQFP-100

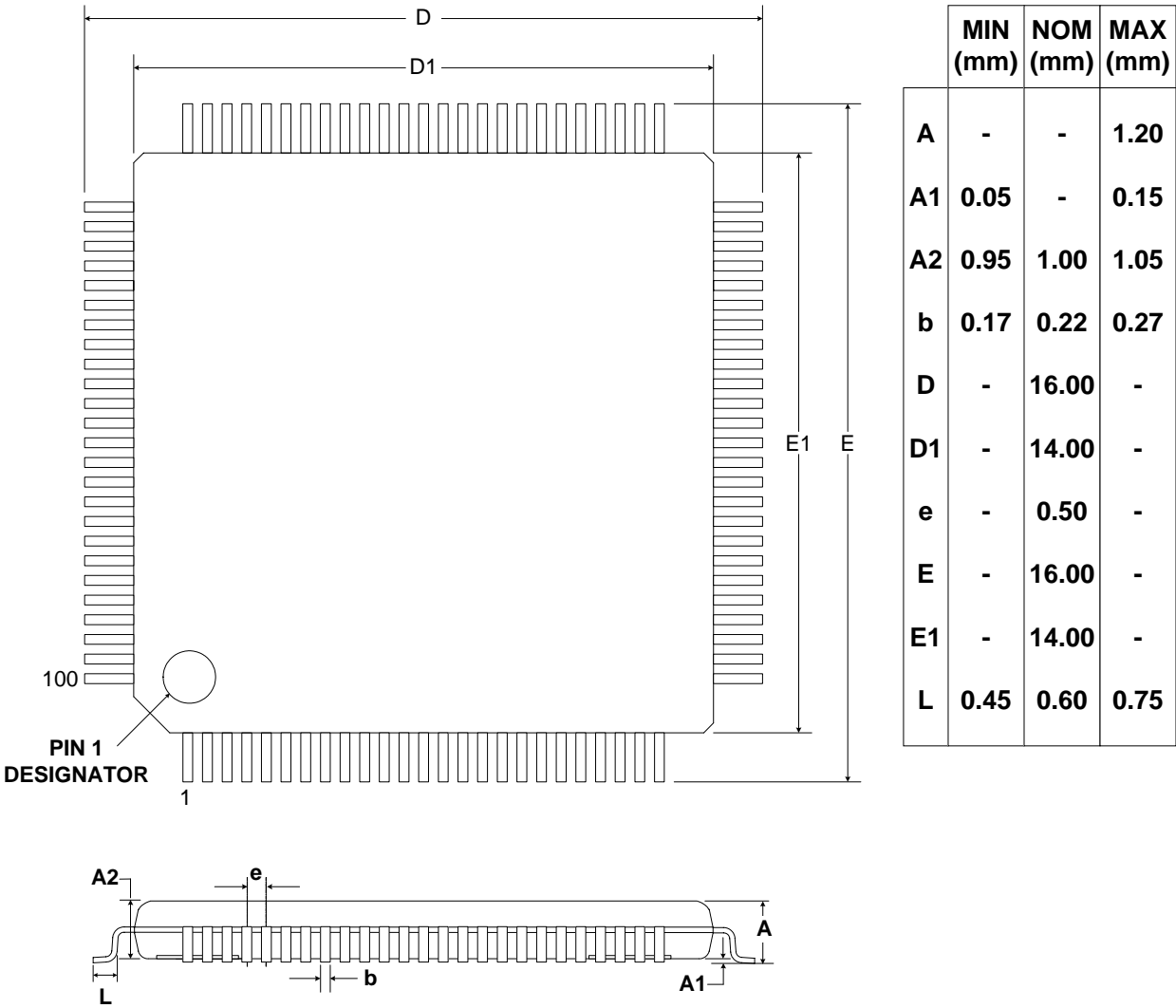


Рисунок 4.4. Цоколевка корпуса TQFP-64 (C8051F061/3)

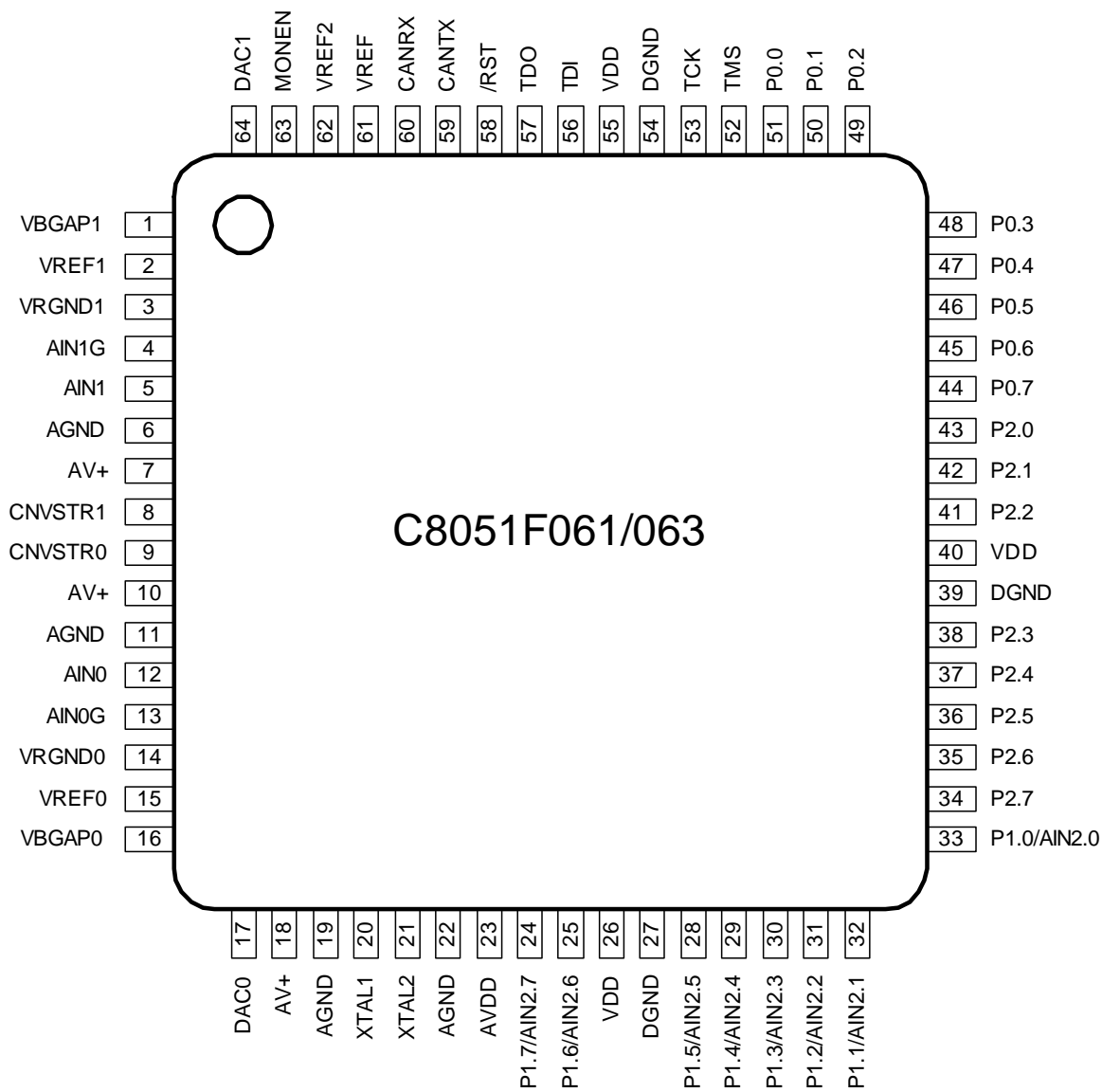


Рисунок 4.5. Цоколевка корпуса TQFP-64 (C8051F065/7)

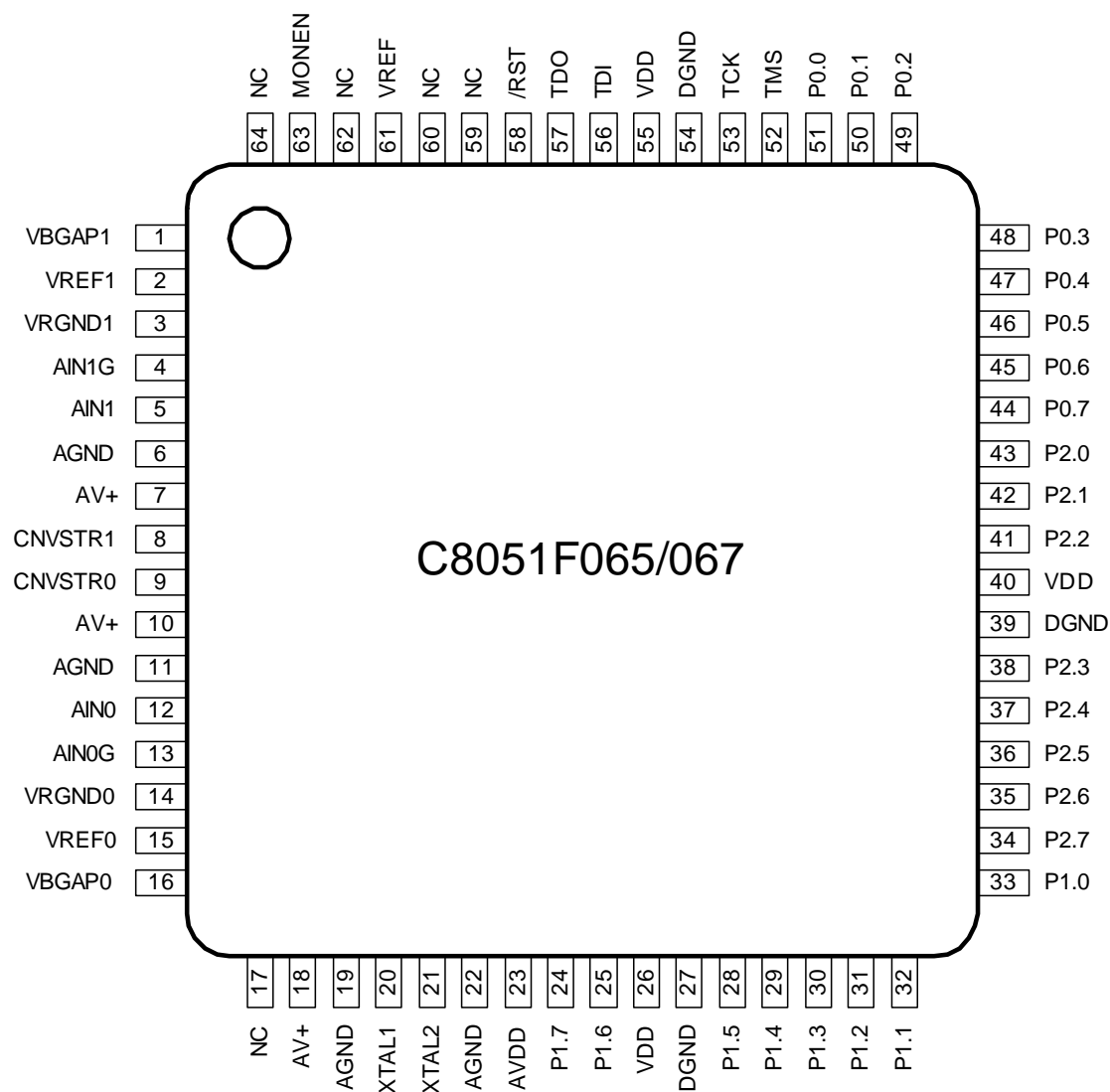
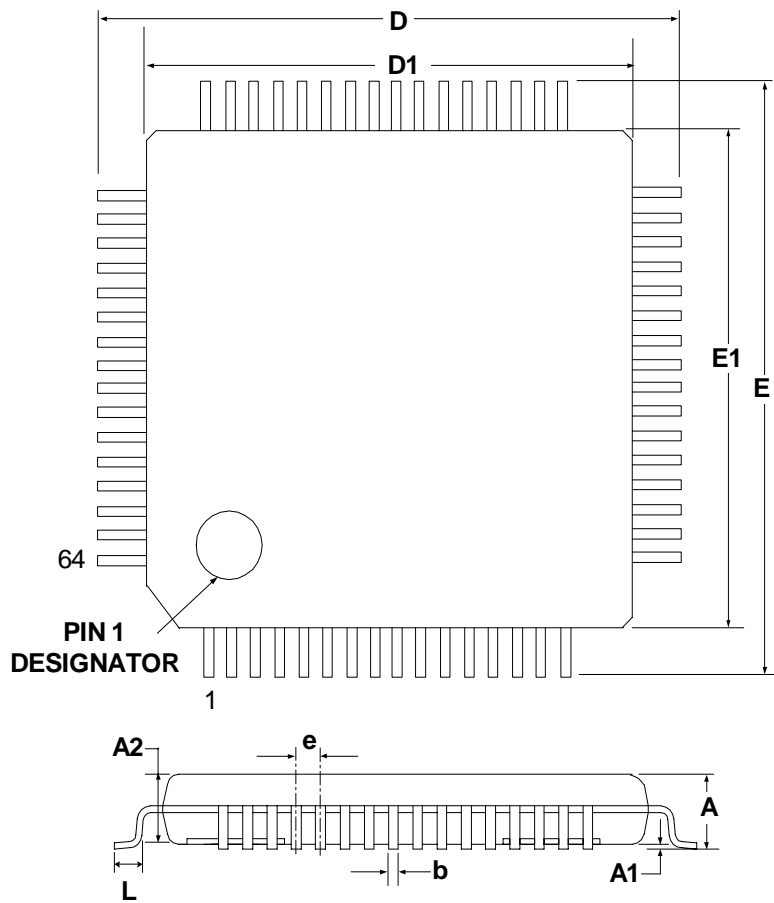


Рисунок 4.6. Чертеж корпуса TQFP-64



	MIN (mm)	NOM (mm)	MAX (mm)
A	-	-	1.20
A1	0.05	-	0.15
A2	0.95	-	1.05
b	0.17	0.22	0.27
D	-	12.00	-
D1	-	10.00	-
e	-	0.50	-
E	-	12.00	-
E1	-	10.00	-
L	0.45	0.60	0.75

5. 16-разрядные АЦП (АЦП0 и АЦП1)

Модуль АЦП МК C8051F060/1/2/3/4/5/6/7 состоит из двух 16-разрядных АЦП последовательного приближения с производительностью до 1 млн. преобразований в секунду, устройства выборки-хранения (УВХ), программируемого детектора диапазона и интерфейса прямого доступа к памяти (DMA) (см. рис.5.1 и рис.5.2). Эти АЦП можно настроить как два отдельных однофазных АЦП или как один дифференциальный АЦП. Режимы преобразования, детектор диапазона и интерфейс DMA настраиваются программным путем при помощи регистров специального назначения (см. рис.5.1 и рис.5.2). Выбор источника опорного напряжения для АЦП0 и АЦП1 описан в разделе 5.2. Каждый АЦП и соответствующую ему схему УВХ можно включить или отключить с помощью регистров специального назначения. Каждый АЦП можно включить установкой в 1 бита ADnEN в регистре управления АЦП (ADCN). Если этот бит сброшен в 0, то АЦП переводится в режим пониженного энергопотребления.

Рисунок 5.1. Схема тракта управления 16-разр. АЦП0 и АЦП1

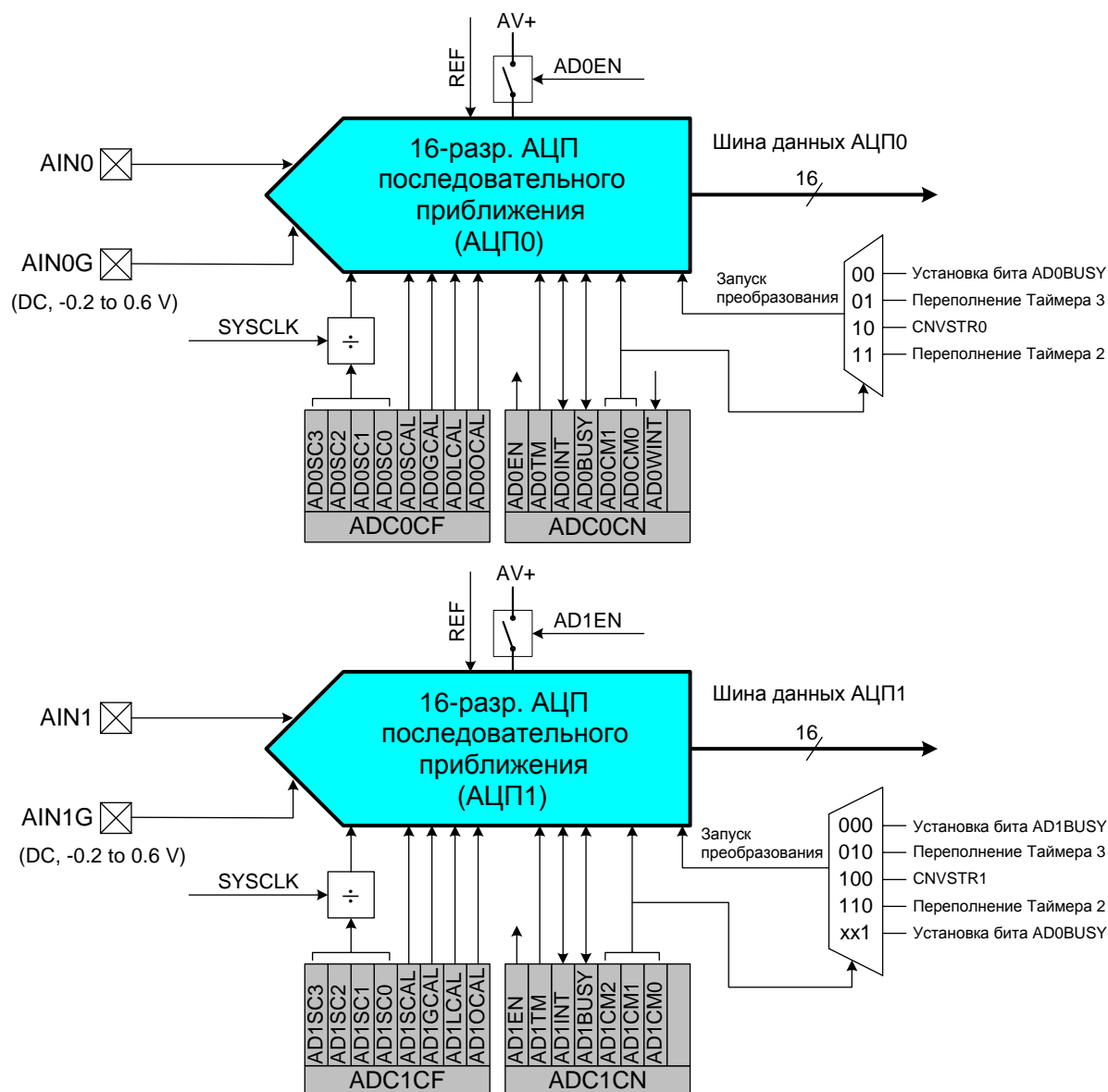
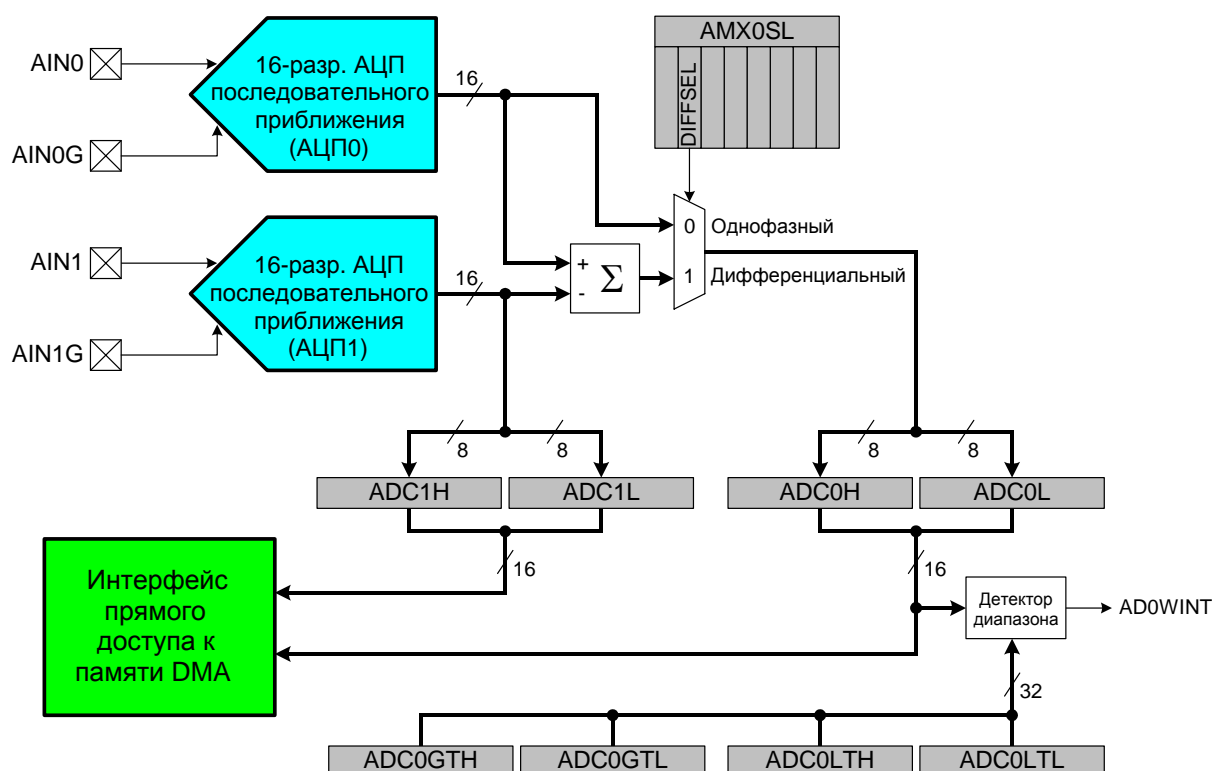


Рисунок 5.1. Схема тракта данных 16-разр. АЦП0 и АЦП1



5.1. Однофазный и дифференциальный режимы работы.

АЦП0 и АЦП1 могут работать как два независимых однофазных АЦП или как один АЦП с дифференциальными входами. В однофазном режиме эти АЦП можно настроить таким образом, чтобы они осуществляли одновременную выборку сигнала. В однофазном режиме АЦП могут работать с различной скоростью преобразования. В дифференциальном режиме АЦП1 является ведомым по отношению к АЦП0 и его конфигурация зависит от настроек АЦП0, за исключением текущих значений калибровочных коэффициентов смещения и усиления. Выбор однофазного или дифференциального режима осуществляется битом DIFFSEL в регистре выбора канала AMX0SL (см. рис.5.6).

5.1.1. Псевдо-дифференциальные входы.

Входы модулей АЦП являются псевдо-дифференциальными. Фактическая величина напряжения, измеряемая каждым АЦП, равна напряжению между выводом AINn и выводом AINnG. Напряжение на выводе AINnG должно быть равно $-0,2 \dots +0,6\text{В}$. В большинстве систем вывод AINnG будет соединен с выводом AGND. Если вывод AINnG не соединен с выводом AGND, то сигнал на выводе AINnG можно использовать для введения небольшого фиксированного смещения, однако для этих целей рекомендуется использовать возможность калибровки коэффициента смещения встроенными средствами МК. В дифференциальном режиме выводы AIN0G и AIN1G должны быть соединены вместе. В обоих режимах для обеспечения точности преобразования напряжение на выводе AINn должно превышать напряжение на выводе AINnG.

5.3. Режимы работы АЦП

Максимальная скорость преобразования АЦП0 и АЦП1 – 1 млн. преобразований в секунду. Частота дискретизации АЦП0 и АЦП1 зависит от системной тактовой частоты. Биты ADCnSC регистра ADCnCF определяют, сколько системных тактовых циклов (от 1 до 16) используется для каждого такта преобразования.

5.3.1. Запуск преобразования

Запуск преобразования АЦП0 может быть осуществлен одним из четырех способов, в зависимости от состояния битов режима запуска преобразования АЦП0 (AD0CM1, AD0CM0) в регистре ADC0CN. Преобразование АЦП0 может быть инициировано:

- 1) установкой в 1 бита AD0BUSY в регистре ADC0CN;
- 2) переполнением Таймера 3 (т.е. непрерывное по времени преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CNVSTR0);
- 4) переполнением Таймера 2 (т.е. непрерывное по времени преобразование).

Преобразование АЦП1 может быть инициировано пятью различными способами, в зависимости от состояния битов режима запуска преобразования АЦП1 (AD1CM2 – AD1CM0) в регистре ADC1CN:

- 1) установкой в 1 бита AD1BUSY в регистре ADC1CN;
- 2) переполнением Таймера 3 (т.е. непрерывное по времени преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CNVSTR1);
- 4) переполнением Таймера 2 (т.е. непрерывное по времени преобразование);
- 5) установкой в 1 бита AD0BUSY в регистре ADC0CN.

Бит ADnBUSY установлен в 1 во время преобразования и сбрасывается в 0 после окончания преобразования. При сбросе бита ADnBUSY инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания ADnINT (ADCnCN.5). В однофазном режиме преобразованные данные доступны в регистрах старшего и младшего слова данных АЦПn, ADCnH и ADCnL соответственно. В дифференциальном режиме преобразованные данные (общий результат преобразования АЦП0 и АЦП1) доступны в регистрах старшего и младшего слова данных АЦП0, ADC0H и ADC0L соответственно.

Если преобразование инициируется установкой в 1 бита ADnBUSY, то для определения окончания преобразования следует опрашивать флаг ADnINT (можно также использовать прерывания от модуля АЦПn). Ниже приведена рекомендуемая процедура опроса:

Шаг 1: Сброс в 0 бита ADnINT.

Шаг 2: Установка в 1 бита ADnBUSY.

Шаг 3: Опрос бита ADnINT до тех пор, пока он не станет равен 1.

Шаг 4: Обработка данных АЦПn.

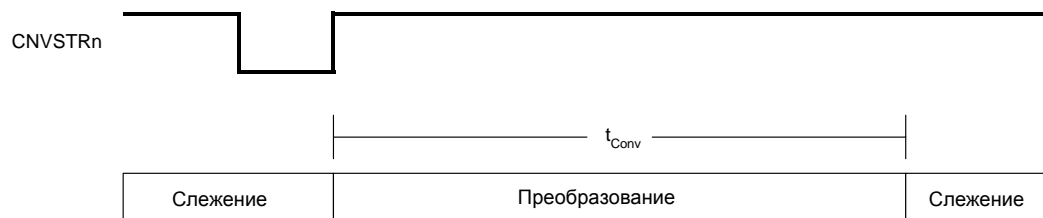
Если в дифференциальном режиме требуется использовать внешний источник запуска преобразования, то два вывода CNVSTR0 и CNVSTR1 следует соединить вместе.

5.3.2. Режимы слежения

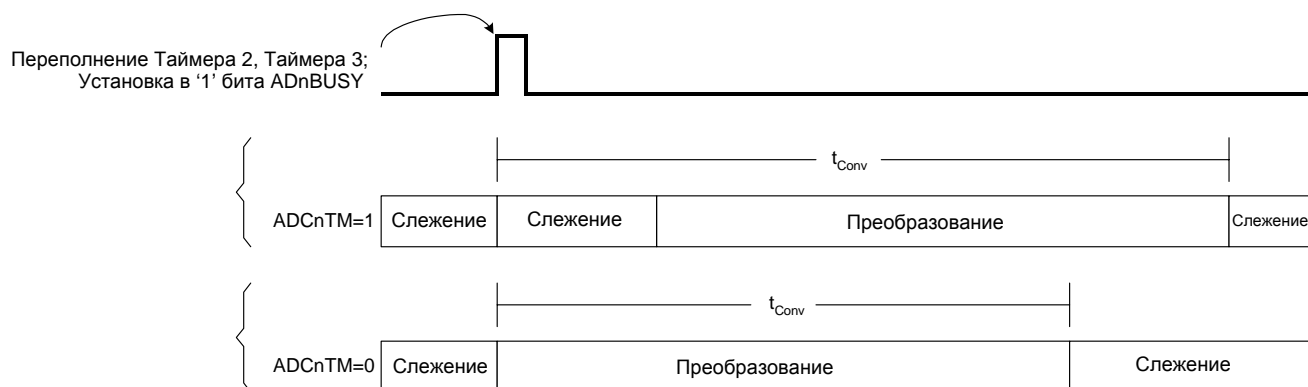
Бит ADnTM регистра ADCnCN управляет режимом выборки-хранения АЦПn. Когда АЦП включен, состояние входа АЦПn отслеживается непрерывно, за исключением момента преобразования. Если бит ADnTM установлен в 1, то каждому преобразованию предшествует (после сигнала запуска преобразования) период выборки. Если для запуска преобразования используется сигнал CNVSTRn, то АЦПn будет отслеживать входной сигнал только тогда, когда на входе CNVSTRn присутствует сигнал низкого уровня; преобразование будет запущено нарастающим фронтом сигнала на входе CNVSTRn (временные параметры преобразования приведены на рис.5.4 и в табл.5.1). Если аналоговый вход подключен к выходу внешнего мультиплексора, то установка в 1 бита ADnTM может использоваться для того, чтобы гарантировать, что время установления соответствует заданным требованиям (см. раздел 5.3.3).

Рисунок 5.4. Временные диаграммы процесса преобразования 16-разр. АЦП

А. Временные диаграммы АЦП с внешним источником запуска



В. Временные диаграммы АЦП с внутренним источником запуска

Таблица 5.1. Время преобразования (t_{Conv})

$ADnSC3-0$	$ADCnTM = 0$	$ADCnTM = 1$	$ADnSC3-0$	$ADCnTM = 0$	$ADCnTM = 1$
0000	$21 * t_{SYSCLK}$	$38 * t_{SYSCLK}$	1000	$171 * t_{SYSCLK}$	$315 * t_{SYSCLK}$
0001	$40 * t_{SYSCLK}$	$72 * t_{SYSCLK}$	1001	$189 * t_{SYSCLK}$	$349 * t_{SYSCLK}$
0010	$58 * t_{SYSCLK}$	$106 * t_{SYSCLK}$	1010	$208 * t_{SYSCLK}$	$384 * t_{SYSCLK}$
0011	$78 * t_{SYSCLK}$	$142 * t_{SYSCLK}$	1011	$226 * t_{SYSCLK}$	$418 * t_{SYSCLK}$
0100	$97 * t_{SYSCLK}$	$177 * t_{SYSCLK}$	1100	$245 * t_{SYSCLK}$	$453 * t_{SYSCLK}$
0101	$115 * t_{SYSCLK}$	$211 * t_{SYSCLK}$	1101	$263 * t_{SYSCLK}$	$487 * t_{SYSCLK}$
0110	$134 * t_{SYSCLK}$	$246 * t_{SYSCLK}$	1110	$282 * t_{SYSCLK}$	$522 * t_{SYSCLK}$
0111	$152 * t_{SYSCLK}$	$280 * t_{SYSCLK}$	1111	$300 * t_{SYSCLK}$	$556 * t_{SYSCLK}$

5.3.3. Время установления

Для обеспечения точности преобразования АЦП время слежения должно быть не менее минимального времени установления сигнала. Это время установления определяется входным сопротивлением АЦП, емкостью накопительного конденсатора VBX, сопротивлением внешнего источника сигнала и требуемой точностью преобразования. На рис.5.5 показаны эквивалентные схемы входов АЦП как для дифференциального, так и для однофазного режимов работы. Следует отметить, что эквивалентная постоянная времени для обеих схем одинакова. Требуемое время установления для заданной точности установления (settling accuracy – SA) можно приблизительно определить из уравнения 5.1. Величина минимального времени установления/выборки, которое необходимо выдержать до запуска преобразования, составляет 280 нс.

Уравнение 5.1. Время установления сигнала АЦП0

$$t = \ln(2^n/SA) \times R_{TOTAL}C_{SAMPLE}$$

где: SA – точность установления, задаваемая в долях МЗР (например, 0.25 для установления в пределах ¼ МЗР)

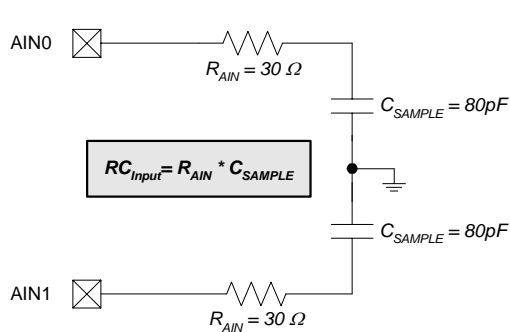
t - требуемое время установления в секундах

R_{TOTAL} – сумма входного сопротивления АЦП и сопротивления внешнего источника сигнала

n - разрешение АЦП в битах (16)

Рисунок 5.5. Эквивалентные схемы входов АЦП0 и АЦП1

Дифференциальный режим



Однофазный режим

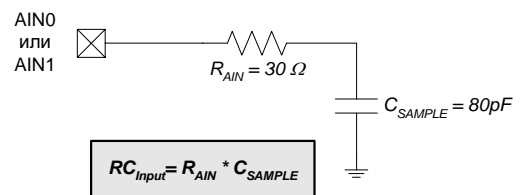


Рисунок 5.6. AMX0SL: Регистр конфигурации AMUX

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	DIFFSEL	-	-	-	-	-	-	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBB SFR страница: 0

Бит 7: **Зарезервирован**: необходимо записать 0b.

Бит 6: DIFFSEL: Бит выбора дифференциального режима преобразования.

0: АЦП функционирует в однофазном режиме.

1: АЦП функционирует в дифференциальном режиме.

Биты 5-0: **Зарезервированы**: необходимо записать 00000b.

Примечание: В однофазном режиме слово данных АЦП0 сохраняется в регистрах ADC0H и ADC0L, а слово данных АЦП1 сохраняется в регистрах ADC1H и ADC1L.

В дифференциальном режиме слово данных АЦП сохраняется в регистрах ADC0H и ADC0L и представляет собой число в дополнительном коде. Слово данных АЦП1 (однофазного) также сохраняется в регистрах ADC1H и ADC1L.

Рисунок 5.7. ADC0CF: Регистр конфигурации АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
AD0SC3	AD0SC2	AD0SC1	AD0SC0	AD0SCAL	AD0GCAL	AD0LCAL	AD0OCAL	11110000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBC SFR страница: 0

Биты 7-4: AD0SC3-0: Биты установки периода сигнала дискретизации АЦПО.

Частота сигнала дискретизации АЦПО зависит от системной тактовой частоты. Число системных тактовых циклов, используемых для каждого такта преобразования, равно AD0SC + 1. (Примечание: Частота дискретизации АЦП не должна превышать 25 МГц). Конкретные значения времени преобразования приведены в табл.5.1.

Бит 3: AD0SCAL: Разрешение калибровки системы.

0: Внутреннее напряжение «земли» и опорное напряжение используются в процессе калибровки коэффициентов смещения и усиления.

1: Внешние напряжения могут использоваться в процессе калибровки коэффициентов смещения и усиления.

Бит 2: AD0GCAL: Калибровка коэффициента усиления.

Чтение:

0: Калибровка коэффициента усиления завершена или еще не начата.

1: Идет процесс калибровки коэффициента усиления.

Запись:

0: Не оказывает никакого влияния.

1: Иницирует калибровку коэффициента усиления, если АЦПО находится в состоянии ожидания.

Бит 1: AD0LCAL: Калибровка нелинейности.

Чтение:

0: Калибровка нелинейности завершена или еще не начата.

1: Идет процесс калибровки нелинейности.

Запись:

0: Не оказывает никакого влияния.

1: Иницирует калибровку нелинейности, если АЦПО находится в состоянии ожидания.

Бит 0: AD0OCAL: Калибровка коэффициента смещения.

Чтение:

0: Калибровка коэффициента смещения завершена или еще не начата.

1: Идет процесс калибровки коэффициента смещения.

Запись:

0: Не оказывает никакого влияния.

1: Иницирует калибровку коэффициента смещения, если АЦПО находится в состоянии ожидания.

Рисунок 5.8. ADC1CF: Регистр конфигурации АЦП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
AD1SC3	AD1SC2	AD1SC1	AD1SC0	AD1SCAL	AD1GCAL	AD1LCAL	AD1OCAL	11110000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBC SFR страница: 1

Биты 7-4: AD1SC3-0: Биты установки периода сигнала дискретизации АЦП1.

Частота сигнала дискретизации АЦП1 зависит от системной тактовой частоты. Число системных тактовых циклов, используемых для каждого такта преобразования, равно $AD1SC + 1$. (Примечание: Частота дискретизации АЦП не должна превышать 25 МГц). Конкретные значения времени преобразования приведены в табл.5.1.

Бит 3: AD1SCAL: Разрешение калибровки системы.

0: Внутреннее напряжение «земли» и опорное напряжение используются в процессе калибровки коэффициентов смещения и усиления.

1: Внешние напряжения могут использоваться в процессе калибровки коэффициентов смещения и усиления.

Бит 2: AD1GCAL: Калибровка коэффициента усиления.

Чтение:

0: Калибровка коэффициента усиления завершена или еще не начата.

1: Идет процесс калибровки коэффициента усиления.

Запись:

0: Не оказывает никакого влияния.

1: Иницирует калибровку коэффициента усиления, если АЦП1 находится в состоянии ожидания.

Бит 1: AD1LCAL: Калибровка нелинейности.

Чтение:

0: Калибровка нелинейности завершена или еще не начата.

1: Идет процесс калибровки нелинейности.

Запись:

0: Не оказывает никакого влияния.

1: Иницирует калибровку нелинейности, если АЦП1 находится в состоянии ожидания.

Бит 0: AD1OCAL: Калибровка коэффициента смещения.

Чтение:

0: Калибровка коэффициента смещения завершена или еще не начата.

1: Идет процесс калибровки коэффициента смещения.

Запись:

0: Не оказывает никакого влияния.

1: Иницирует калибровку коэффициента смещения, если АЦП1 находится в состоянии ожидания.

Рисунок 5.9. ADC0CN: Регистр управления АЦП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
AD0EN	AD0TM	AD0INT	AD0BUSY	AD0CM1	AD0CM0	AD0WINT	-	SFR Адрес: 0xE8 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Бит7: AD0EN: Бит включения АЦП0.

- 0: АЦП0 отключен. АЦП0 находится в режиме пониженного энергопотребления.
- 1: АЦП0 включен. АЦП0 находится в активном режиме и готов к преобразованию данных или калибровке.

Бит 6: AD0TM: Бит установки режима слежения АЦП0.

- 0: Когда АЦП0 включен, слежение осуществляется всегда, за исключением момента преобразования.
- 1: Режим слежения определяется битами AD0CM1-0.

Бит 5: AD0INT: Флаг прерывания от АЦП0 (устанавливается при завершении преобразования).

- Этот флаг должен быть сброшен программно.
- 0: АЦП0 не закончил преобразование данных (с момента последнего обнуления этого флага).
- 1: АЦП0 закончил преобразование данных.

Бит 4: AD0BUSY: Бит занятости АЦП0

Чтение:

- 0: Преобразование данных завершено или в данный момент преобразование не осуществляется. При аппаратном обнулении этого бита флаг AD0INT устанавливается в 1.
- 1: Идет процесс преобразования данных.

Запись:

- 0: Не оказывает никакого влияния.
- 1: Иницирует запуск преобразования АЦП0, если биты AD0CM1-0 = 00b.

Биты 3-2: AD0CM1-0: Биты выбора режима запуска преобразования АЦП0

Если AD0TM = 0:

- 00: Запуск преобразования осуществляется установкой в 1 бита AD0BUSY.
- 01: Запуск преобразования осуществляется при переполнении Таймера 3.
- 10: Запуск преобразования осуществляется нарастающим фронтом внешнего сигнала CNVSTR0.
- 11: Запуск преобразования осуществляется при переполнении Таймера 2.

Если AD0TM = 1:

- 00: слежение (выборка) начинается в момент установки в 1 бита AD0BUSY, после истечения периода слежения начинается преобразование данных;
- 01: слежение (выборка) начинается при переполнении Таймера 3, после истечения периода слежения начинается преобразование данных;
- 10: преобразование АЦП0 запускается нарастающим фронтом сигнала на входе CNVSTR0;
- 11: слежение (выборка) начинается при переполнении Таймера 2, после истечения периода слежения начинается преобразование данных.

Временные параметры процесса преобразования приведены на рис.5.4 и в табл.5.1.

Бит 1: AD0WINT: Флаг прерывания от детектора диапазона АЦП0 (сбрасывается программно)

- 0: Не зафиксировано соответствия преобразованных данных заданному диапазону (с момента последнего обнуления этого флага).
- 1: Зафиксировано преобразованных данных заданному диапазону.

Бит 0: Зарезервирован: необходимо записать 0b.



Рисунок 5.10. ADC1CN: Регистр управления АЦП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
AD1EN	AD1TM	AD1INT	AD1BUSY	AD1CM2	AD1CM1	AD1CM0	-	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE8 SFR страница: 1
							(доступен в битовом режиме адресации)	

Бит7: AD1EN: Бит включения АЦП1.

0: АЦП1 отключен. АЦП1 находится в режиме пониженного энергопотребления.

1: АЦП1 включен. АЦП1 находится в активном режиме и готов к преобразованию данных или калибровке.

Бит 6: AD1TM: Бит установки режима слежения АЦП1.

0: Когда АЦП1 включен, слежение осуществляется всегда, за исключением момента преобразования.

1: Режим слежения определяется битами AD1CM2-0.

Бит 5: AD1INT: Флаг прерывания от АЦП1 (устанавливается при завершении преобразования).

Этот флаг должен быть сброшен программно.

0: АЦП1 не закончил преобразование данных (с момента последнего обнуления этого флага).

1: АЦП1 закончил преобразование данных.

Бит 4: AD1BUSY: Бит занятости АЦП1

Чтение:

0: Преобразование данных завершено или в данный момент преобразование не осуществляется.

При аппаратном обнулении этого бита флаг AD1INT устанавливается в 1.

1: Идет процесс преобразования данных.

Запись:

0: Не оказывает никакого влияния.

1: Иницирует запуск преобразования АЦП1, если биты AD1CM2-0 = 000b.

Биты 3-1: AD1CM2-0: Биты выбора режима запуска преобразования АЦП1

Если AD1TM = 0:

000: Запуск преобразования осуществляется установкой в 1 бита AD1BUSY.

010: Запуск преобразования осуществляется при переполнении Таймера 3.

100: Запуск преобразования осуществляется нарастающим фронтом внешнего сигнала CNVSTR1.

110: Запуск преобразования осуществляется при переполнении Таймера 2;

xx1: Запуск преобразования осуществляется установкой в 1 бита AD0BUSY в регистре ADC0CN.

Если AD1TM = 1:

000: слежение (выборка) начинается в момент установки в 1 бита AD1BUSY, после истечения периода слежения начинается преобразование данных;

010: слежение (выборка) начинается при переполнении Таймера 3, после истечения периода слежения начинается преобразование данных;

100: преобразование АЦП1 запускается нарастающим фронтом сигнала на входе CNVSTR1;

110: слежение (выборка) начинается при переполнении Таймера 2, после истечения периода слежения начинается преобразование данных.

xx1: слежение (выборка) начинается в момент установки в 1 бита AD0BUSY, после истечения периода слежения начинается преобразование данных;

Временные параметры процесса преобразования приведены на рис.5.4 и в табл.5.1.

Бит 0: Зарезервирован: необходимо записать 0b.

Рисунок 5.11. REF0CN: Регистр управления ИОН АЦП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	-	BIASE0	REFBE0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD1 SFR страница: 0

Биты 7-2: Зарезервированы: читаются как 000000b; необходимо записать 000000b.

Бит 1: BIASE0: Бит включения генератора напряжения смещения АЦП0. (Если АЦП0 используется, то этот бит должен быть установлен в 1).
 0: Внутренний генератор напряжения смещения отключен.
 1: Внутренний генератор напряжения смещения включен.

Бит 0: REFBE0: Бит включения внутреннего буферного усилителя АЦП0.
 0: Внутренний буферный усилитель АЦП0 отключен. Можно использовать внешнее опорное напряжение.
 1: Внутренний буферный усилитель АЦП0 включен. Внутреннее опорное напряжение подается на вывод VREF0.

Рисунок 5.12. REF1CN: Регистр управления ИОН АЦП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	-	BIASE1	REFBE1	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD1 SFR страница: 1

Биты 7-2: Зарезервированы: читаются как 000000b; необходимо записать 000000b.

Бит 1: BIASE1: Бит включения генератора напряжения смещения АЦП1. (Если АЦП1 используется, то этот бит должен быть установлен в 1).
 0: Внутренний генератор напряжения смещения отключен.
 1: Внутренний генератор напряжения смещения включен.

Бит 0: REFBE1: Бит включения внутреннего буферного усилителя АЦП1.
 0: Внутренний буферный усилитель АЦП1 отключен. Можно использовать внешнее опорное напряжение.
 1: Внутренний буферный усилитель АЦП1 включен. Внутреннее опорное напряжение подается на вывод VREF1.

Рисунок 5.13. ADC0H: Регистр старшего байта слова данных АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xBF SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старшие биты слова данных АЦПО.

Рисунок 5.14. ADC0L: Регистр младшего байта слова данных АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xBE SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младшие биты слова данных АЦПО.

Рисунок 5.15. Пример слова данных АЦП0

16-разрядный результат преобразования АЦП0 получается следующим образом:

Пример: Порядок записи результата преобразования АЦП0, вход AIN0 работает в однофазном режиме (AMX0SL=0x00)

AIN0 – AIN0G (Вольты)	ADC0H:ADC0L
VREF * (65535/65536)	0xFFFF
VREF/2	0x8000
VREF * (32767/65536)	0x7FFF
0	0x0000

Пример: Порядок записи результата преобразования АЦП0, входы AIN0-AIN1 работают в дифференциальном режиме (AMX0SL=0x40)

AIN0 – AIN1 (Вольты)	ADC0H:ADC0L
VREF * (32767/32768)	0x7FFF
VREF/2	0x4000
VREF * (1/32768)	0x0001
0	0x0000
- VREF * (1/32768)	0xFFFF
- VREF/2	0xC000
- VREF	0x8000

$$Code = Vin \times (Gain/VREF) \times 2^n;$$

‘n’ = 16, если входы работают в однофазном режиме;

‘n’ = 15, если входы работают в дифференциальном режиме.

Рисунок 5.16. ADC1H: Регистр старшего байта слова данных АЦП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xBF SFR страница: 1
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старшие биты слова данных АЦП1.

Рисунок 5.17. ADC1L: Регистр младшего байта слова данных АЦП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xBE SFR страница: 1
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младшие биты слова данных АЦП1

Рисунок 5.18. Пример слова данных АЦП1

16-разрядный результат преобразования АЦП1 получается следующим образом:

Пример: Порядок записи результата преобразования АЦП1, вход AIN1 работает в однофазном режиме (AMX1SL=0x00)

AIN1 – AIN1G (Вольты)	ADC1H:ADC1L
VREF * (65535/65536)	0xFFFF
VREF/2	0x8000
VREF * (32767/65536)	0x7FFF
0	0x0000

$$Code = Vin \times (Gain/VREF) \times 2^n; \quad 'n' = 16$$

В дифференциальном режиме слово данных АЦП сохраняется в регистрах ADC0H и ADC0L. В регистрах ADC1H и ADC1L всегда присутствует результат преобразования однофазного АЦП1, независимо от режима работы.

5.4. Калибровка.

При изготовлении МК модули АЦП калибруются по нелинейности, смещению и усилению. АЦПО и АЦП1 допускают также независимую внутрисистемную калибровку по каждому из этих параметров. Процесс калибровки инициируется с помощью соответствующих бит в регистрах конфигурации АЦПО и АЦП1. Доступ к калибровочным коэффициентам можно получить с помощью регистра-указателя калибровки АЦП (ADC0CPT, см. рис.5.22) и регистра калибровочного коэффициента АЦП (ADC0CCF, см. рис.5.23). Биты CPTR регистра ADC0CPT определяют, какой калибровочный коэффициент будет считываться/записываться при чтении/записи регистра ADC0CCF. На рис.5.19 показан порядок расположения калибровочных коэффициентов.

Рисунок 5.19. Расположение калибровочных коэффициентов

ADC0CPT Биты 5-0	ADC0CCF							
	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0
0x00	Калибровочные коэффициенты нелинейности (ячейки от 0x00 до 0x12)							
...								
0x12								
0x13	К _{смещ} 7	К _{смещ} 6	К _{смещ} 5	К _{смещ} 4	К _{смещ} 3	К _{смещ} 2	К _{смещ} 1	К _{смещ} 0
0x14			К _{смещ} 13	К _{смещ} 12	К _{смещ} 11	К _{смещ} 10	К _{смещ} 9	К _{смещ} 8
0x15	К _{усил} 7	К _{усил} 6	К _{усил} 5	К _{усил} 4	К _{усил} 3	К _{усил} 2	К _{усил} 1	К _{усил} 0
0x16				К _{усил} 12	К _{усил} 11	К _{усил} 10	К _{усил} 9	К _{усил} 8

Модули АЦП калибруются по нелинейности при изготовлении. Обычно не требуется дополнительной калибровки по нелинейности. Если калибровка по нелинейности все же необходима, она может быть инициирована установкой в 1 бита ADCnLCAL. При завершении калибровки бит ADCnLCAL будет аппаратно сброшен в 0. Калибровочные коэффициенты нелинейности сохраняются в ячейках, показанных на рис.5.19.

При выполнении калибровок коэффициентов смещения и усиления в качестве источников калибровочных напряжений можно использовать как внутренние, так и внешние напряжения. Бит ADCnSCAL определяет, какое напряжение (внутреннее или внешнее) используется в процессе калибровки. Для обеспечения точности калибровку коэффициента смещения следует производить перед калибровкой коэффициента усиления. Расшифровка значений калибровочных коэффициентов смещения и усиления приведена на рис.5.20. Калибровка коэффициента смещения инициируется установкой в 1 бита ADCnOCAL. При завершении калибровки бит ADCnOCAL будет аппаратно сброшен в 0. Калибровка коэффициента смещения позволяет компенсировать ошибки смещения в диапазоне примерно $\pm 3,125\%$ полной шкалы. Значение коэффициента смещения добавляется к значению сигнала на входе AINnG (до оцифровки его с помощью АЦП). Калибровка коэффициента усиления инициируется установкой в 1 бита ADCnGCAL. При завершении калибровки бит ADCnGCAL будет аппаратно сброшен в 0. Калибровка коэффициента усиления позволяет компенсировать ошибки крутизны характеристики в диапазоне примерно $\pm 3,125\%$. Значение коэффициента усиления добавляется к значению опорного напряжения VREF АЦП, что приводит к изменению крутизны передаточной характеристики преобразователя. На рис.5.21 показано, каким образом значения коэффициентов смещения и усиления влияют на аналоговые сигналы, используемые АЦП.

Рисунок 5.20. Использование значений регистров смещения и усиления

Значение регистра коэффициента смещения влияет на смещение аналогового входного сигнала следующим образом:

Регистр коэффициента смещения (14 бит)	Приблизительное изменение смещения (В)
0x3FFF	-3.125% * VREF
0x2000	0
0x0000	+3.125% * VREF

Изменение смещения $\approx \frac{0x2000 - \text{Значение регистра коэффициента смещения}}{8192} \times 3,125\% \times VREF$

Значение регистра коэффициента усиления влияет на крутизну передаточной характеристики АЦП следующим образом:

Регистр коэффициента усиления (13 бит)	Приблизительное изменение крутизны передаточной характеристики
0x1FFF	+3.125%
0x1000	0
0x0000	-3.125%

Изменение крутизны характеристики $\approx \frac{\text{Значение регистра коэффициента усиления} - 0x1000}{4096} \times 3,125\%$

Рисунок 5.21. Схема калибровки смещения и усиления

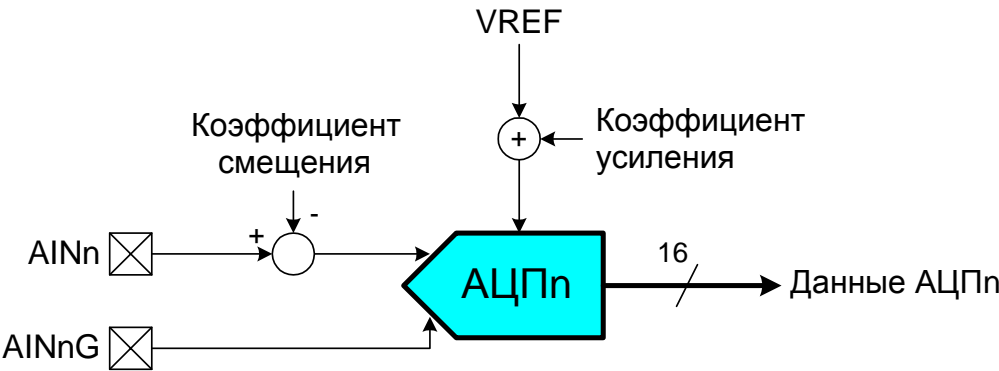


Рисунок 5.22. ADC0CPT: Регистр-указатель калибровки АЦП

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
INCR	ADCSEL	CPTR5	CPTR4	CPTR3	CPTR2	CPTR1	CPTR0	11010111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBA SFR страница: F

Бит 7: INCR: Разрешение/запрещение автоматического инкрементирования указателя адреса.
 0: Автоматическое инкрементирование запрещено.
 1: Автоматическое инкрементирование разрешено. Значение, содержащееся в CPTR5-0, будет автоматически инкрементироваться после каждой операции чтения или записи регистра ADC0CCF.

Бит 6: ADCSEL: Выбор калибровочного коэффициента АЦП.
 0: При чтении/записи регистра ADC0CCF будет происходить чтение/запись калибровочных коэффициентов АЦЦ0.
 1: При чтении/записи регистра ADC0CCF будет происходить чтение/запись калибровочных коэффициентов АЦЦ1.

Биты 5-0: CPTR5-0: Указатель калибровочного коэффициента.
 Эти биты определяют, к какой ячейке калибровочных коэффициентов (см. рис. 5.19) будет получен доступ при чтении/записи регистра ADC0CCF.

Рисунок 5.23. ADC0CCF: Регистр калибровочного коэффициента АЦП

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								различное
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBB SFR страница: F

Биты 7-0: Калибровочные коэффициенты из ячеек, на которые указывают биты CPTR5-0 регистра ADC0CPT.

5.5. Программируемый детектор диапазона АЦП0

Программируемый детектор диапазона АЦП0 постоянно проверяет выходные данные АЦП0 на соответствие заданному пользователем диапазону значений и уведомляет систему при обнаружении несоответствия. Это особенно эффективно в управляемых прерываниями системах, т.к. позволяет уменьшить объем кода и улучшить производительность при одновременном уменьшении времени реакции системы. Флаг прерывания от детектора диапазона (бит AD0WINT в регистре ADC0CN) можно использовать также в режиме программного опроса. Старшие и младшие байты граничных значений загружаются в регистры нижней и верхней границ диапазона АЦП0 (ADC0GTH, ADC0GTL, ADC0LTH и ADC0LTL). Детектор диапазона можно использовать как в однофазном, так и в дифференциальном режиме работы АЦП. В дифференциальном режиме для сравнения используется общий результат АЦП0 и АЦП1, который содержится в регистрах данных АЦП0. На рис.5.28 и рис.5.29 приведены примеры использования детектора диапазона. Следует отметить, что флаг прерывания от детектора диапазона может устанавливаться как при попадании, так и при непопадании результата преобразования в заданный диапазон, в зависимости от значений, записанных в регистры ADC0GTx и ADC0LTx.

Рисунок 5.24. ADC0GTH: Регистр старшего байта нижней границы диапазона

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC5 SFR страница: 0

Биты 7-0: Старший байт нижней границы диапазона АЦП0.

Рисунок 5.25. ADC0GTL: Регистр младшего байта нижней границы диапазона

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC4 SFR страница: 0

Биты 7-0: Младший байт нижней границы диапазона АЦП0.

Рисунок 5.26. ADC0LTH: Регистр старшего байта верхней границы диапазона

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC7 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старший байт верхней границы диапазона АЦПО.

Рисунок 5.27. ADC0LTL: Регистр младшего байта верхней границы диапазона

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC6 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младший байт верхней границы диапазона АЦПО.

Рисунок 5.28. Пример использования детектора диапазона 16-разрядного АЦПО (однофазный режим работы)

Входное напряжение (AIN0 - AIN0G)	Слово данных АЦПО		Входное напряжение (AIN0 - AIN0G)	Слово данных АЦПО	
REF x (65535/65536)	0xFFFF	AD0WINT не изменяется	REF x (65535/65536)	0xFFFF	AD0WINT=1
	0x2001			0x2001	
REF x (8192/65536)	0x2000	ADC0LTH:ADC0LTL	REF x (8192/65536)	0x2000	ADC0GTH:ADC0GTL
	0x1FFF	AD0WINT=1		0x1FFF	AD0WINT не изменяется
	0x1001			0x1001	
REF x (4096/65536)	0x1000	ADC0GTH:ADC0GTL	REF x (4096/65536)	0x1000	ADC0LTH:ADC0LTL
	0x0FFF	AD0WINT не изменяется		0x0FFF	AD0WINT=1
0	0x0000		0	0x0000	

Задано:
AMX0SL = 0x00,
ADC0LTH:ADC0LTL = 0x2000,
ADC0GTH:ADC0GTL = 0x1000.
По окончании преобразования будет
инициировано прерывание от детектора
диапазона (AD0WINT = '1'), если полученное
слово данных АЦПО < 0x2000 и > 0x1000.

Задано:
AMX0SL = 0x00,
ADC0LTH:ADC0LTL = 0x1000,
ADC0GTH:ADC0GTL = 0x2000.
По окончании преобразования будет
инициировано прерывание от детектора
диапазона (AD0WINT = '1'), если полученное
слово данных АЦПО > 0x2000 или < 0x1000.

Рисунок 5.29. Пример использования детектора диапазона 16-разрядного АЦП0 (дифференциальный режим работы)

Входное напряжение (AIN0 - AIN1)	Слово данных АЦПО		Входное напряжение (AIN0 - AIN1)	Слово данных АЦПО	
REF x (32767/32768)	0x7FFF	AD0WINT не изменяется	REF x (32767/32768)	0x7FFF	AD0WINT=1
	0x1001			0x1001	
REF x (4096/32768)	0x1000	ADC0LTH:ADC0LTL	REF x (4096/32768)	0x1000	ADC0GTH:ADC0GTL
	0x0FFF	AD0WINT=1		0x0FFF	AD0WINT не изменяется
	0x0000			0x0000	
REF x (-1/32768)	0xFFFF	ADC0GTH:ADC0GTL	REF x (-1/32768)	0xFFFF	ADC0LTH:ADC0LTL
	0xFFFE	AD0WINT не изменяется		0xFFFE	AD0WINT=1
-REF	0x8000		-REF	0x8000	

Задано:
AMX0SL = 0x40,
ADC0LTH:ADC0LTL = 0x1000,
ADC0GTH:ADC0GTL = 0xFFFF.
По окончании преобразования будет
инициировано прерывание от детектора
диапазона (AD0WINT = '1'), если полученное
слово данных АЦПО < 0x1000 и > 0xFFFF.
(Используется дополнительный код,
т.е 0xFFFF = -1).

Входное напряжение (AIN0 - AIN1)	Слово данных АЦПО		Входное напряжение (AIN0 - AIN1)	Слово данных АЦПО	
REF x (32767/32768)	0x7FFF	AD0WINT=1	REF x (32767/32768)	0x7FFF	AD0WINT=1
	0x1001			0x1001	
REF x (4096/32768)	0x1000	ADC0GTH:ADC0GTL	REF x (4096/32768)	0x1000	ADC0LTH:ADC0LTL
	0x0FFF	AD0WINT не изменяется		0x0FFF	AD0WINT не изменяется
	0x0000			0x0000	
REF x (-1/32768)	0xFFFF	ADC0LTH:ADC0LTL	REF x (-1/32768)	0xFFFF	ADC0GTH:ADC0GTL
	0xFFFE	AD0WINT=1		0xFFFE	AD0WINT=1
-REF	0x8000		-REF	0x8000	

Задано:
AMX0SL = 0x40,
ADC0LTH:ADC0LTL = 0xFFFF,
ADC0GTH:ADC0GTL = 0x1000.
По окончании преобразования будет
инициировано прерывание от детектора
диапазона (AD0WINT = '1'), если полученное
слово данных АЦПО < 0xFFFF или > 0x1000.
(Используется дополнительный код,
т.е 0xFFFF = -1).

Таблица 5.2. Электрические характеристики 16-разр. АЦП0 и АЦП1

VDD = 3.0В, AV+ = 3.0В, AVDD = 3.0В, VREF = 2.5В (REFBE=0), T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Точность преобразования					
Разрядность			16		бит
Интегральная нелинейность (C8051F060/1/4/5/6/7)	Однофазный режим		±0,75	±2	МЗР
	Дифференциальный режим		±0,5	±1	
Интегральная нелинейность (C8051F062/3)	Однофазный режим		±1,5	±4	МЗР
	Дифференциальный режим		±1	±2	
Дифференциальная нелинейность	Монотонность преобразования		±0,5		МЗР
Погрешность смещения нуля			0,1		мВ
Погрешность полной шкалы			0,008		% полной шкалы
Температурный коэффициент усиления			0,5 x 10 ⁻⁴		%/°C
Динамические характеристики (1 млн. преобразований/сек., AVDD, AV+ = 3.3В)					
Отношение сигнал/шум плюс искажение	F _{ВХ} = 10кГц (однофазный)		86		dB
	F _{ВХ} = 100кГц (однофазный)		84		dB
	F _{ВХ} = 10кГц (дифференциальный)		89		dB
	F _{ВХ} = 100кГц (дифференциальный)		88		dB
Общее нелинейное искажение	F _{ВХ} = 10кГц (однофазный)		96		dB
	F _{ВХ} = 100кГц (однофазный)		84		dB
	F _{ВХ} = 10кГц (дифференциальный)		103		dB
	F _{ВХ} = 100кГц (дифференциальный)		93		dB
Динамический диапазон	F _{ВХ} = 10кГц (однофазный)		97		dB
	F _{ВХ} = 100кГц (однофазный)		88		dB
	F _{ВХ} = 10кГц (дифференциальный)		104		dB
	F _{ВХ} = 100кГц (дифференциальный)		99		dB
Коэффициент ослабления синфазного сигнала	F _{ВХ} = 10кГц		86		dB
Развязка между каналами			100		dB
Временные параметры					
Максимальная частота дискретизации				25	МГц
Время преобразования в периодах сигнала дискретизации		18			такты
Время заряда VBX		280			нс
Производительность				1 млн.	преобр./с
Относительная задержка	Внешний CNVSTR сигнал		1,5		нс
Среднеквадратичное значение относительного дребезга	Внешний CNVSTR сигнал		5		пс
Аналоговые входы					
Диапазон входных напряжений	Однофазный (AINn – AINnG) Дифференциальный (AIN0 – AIN1)	0 - VREF		VREF + VREF	В В
Входная емкость			80		пФ
Датчик температуры					
Нелинейность	Примечания 1, 2		±1		°C
Абсолютная погрешность	Примечания 1, 2		±3		°C

Таблица 5.2. Электрические характеристики 16-разр. АЦП0 и АЦП1 (продолжение)

VDD = 3.0В, AV+ = 3.0В, AVDD = 3.0В, VREF = 2.5В (REFBE=0), T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Диапазон рабочих напряжений на входах	AIN0 или AIN1 AIN0G или AIN1G (только постоянная составляющая)	- 0,2 - 0,2		AV+ 0,6	В В
Параметры питания					
Ток потребления (каждый АЦП)	Рабочий режим, 1 млн. преобр./сек. AV+ AVDD Режим пониженного энергопотребления	4,0 2,0 <1			мА мА мкА
Нестабильность по напряжению питания	VDD ± 5%		± 0,5		МЗР

Таблица 5.3. Электрические характеристики ИОН0 и ИОН1

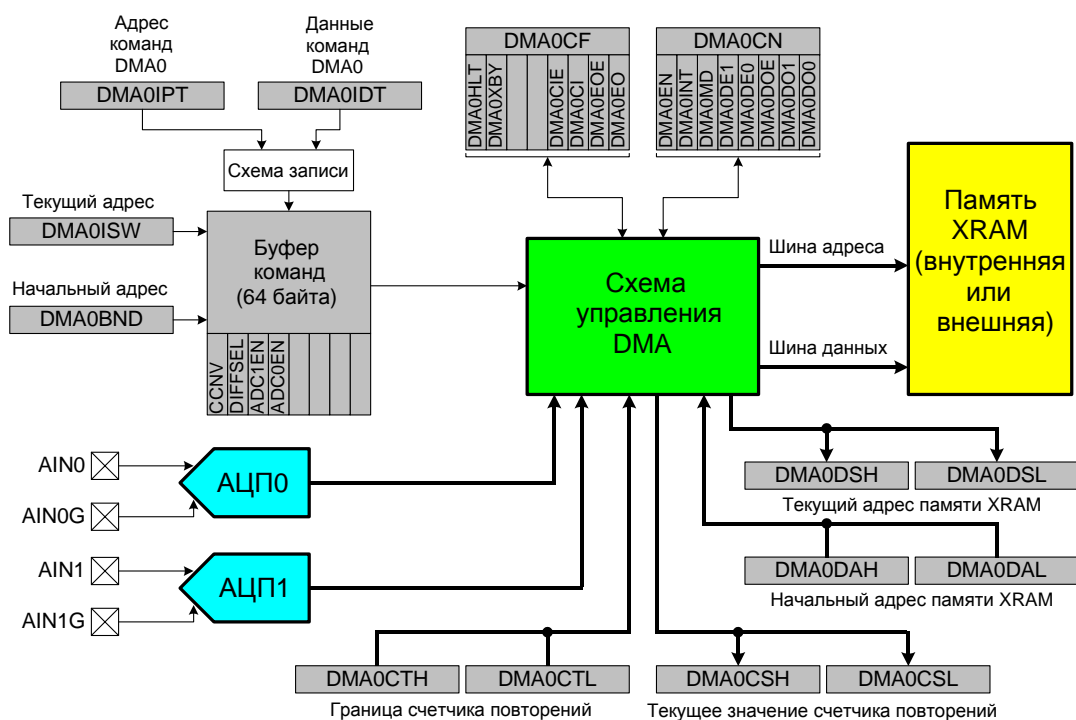
VDD = 3.0В, AV+ = 3.0В, AVDD = 3.0В, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Внутренний источник опорного напряжения					
Выходное напряжение	T = 25 °C	2.36	2.43	2.48	В
Температурный коэффициент VREF			15 x 10 ⁻⁴		% / °C
Ток потребления (каждый ИОН)	AV+		1.5		мА
Внешний источник опорного напряжения					
Диапазон входных напряжений		2.0		AV+	В
Входной ток	Производительность АЦП = 1 млн. преобразований в секунду		450		мкА

6. Интерфейс прямого доступа к памяти (DMA0).

Интерфейс прямого доступа к памяти DMA0 (Direct Memory Access Interface) работает совместно с АЦП0 и АЦП1 и позволяет записывать результат преобразования АЦП непосредственно в определенную область памяти XRAM. Интерфейс DMA настраивается программно с помощью регистров специального назначения (см. рис.6.1). В буфере команд можно запрограммировать до 64 команд, определив тем самым последовательность выполнения операций DMA. Команды из буфера команд считываются схемой управления DMA, которая собирает необходимые данные от АЦП и управляет процессом записи в XRAM. Команды DMA указывают схеме управления DMA, от какого АЦП следует ожидать результата преобразования, но они не запускают сам процесс преобразования. Поэтому до запуска интерфейса DMA необходимо настроить модули АЦП, определив для них источник запуска, источник опорного напряжения и частоту дискретизации. Подробная информация о настройке АЦП приведена в разделе 5.

Рисунок 6.1. Структурная схема DMA0.



6.1. Запись в буфер команд.

Буфер команд имеет 64 8-разрядные ячейки, которые можно запрограммировать последовательностью команд интерфейса DMA. Заполнение буфера команд осуществляется с помощью регистров специального назначения DMA0IPT (регистр адреса команд DMA0, см. рис.6.6) и DMA0IDT (регистр данных команд DMA0, см. рис.6.7). Команда записывается в ячейку буфера команд, на которую указывает регистр DMA0IPT, в тот момент, когда командное слово записывается в регистр DMA0IDT. Операция чтения регистра DMA0IDT возвратит в качестве результата командное слово из ячейки буфера команд, на которую указывает регистр DMA0IPT. После выполнения операций чтения или записи регистра DMA0IDT произойдет автоматический инкремент содержимого регистра DMA0IPT, который после этого будет указывать на следующую ячейку буфера команд.

6.2. Формат команд DMA0.

Команды DMA могут запрашивать от обоих АЦП (АЦП0 и АЦП1) результат преобразования как однофазных, так и дифференциальных сигналов. Формат команды идентичен формату регистра DMA0IDT (см. рис.6.7). В зависимости от того, какие биты в командном слове установлены в 1, в каждом командном цикле DMA в память XRAM будут записаны либо 2, либо 4 байта данных (кроме команд окончания операции). В таблице 6.1 приведены все возможные команды DMA. Команды, отсутствующие в данной таблице, нельзя использовать в качестве команд DMA. Следует иметь в виду, что микроконтроллер может самостоятельно управлять модулями АЦП, когда их выходы не опрашиваются интерфейсом DMA.

Таблица 6.1. Набор команд DMA0.

Командное слово	Описание	Первые данные, записываемые в память XRAM (2 байта)	Вторые данные, записываемые в память XRAM (2 байта)
00000000b	Окончание операции	нет	нет
10000000b	Окончание операции с непрерывным преобразованием	нет	нет
x0010000b	Извлечение данных АЦП0	ADC0H:ADC0L	нет
x0100000b	Извлечение данных АЦП1	ADC1H:ADC1L	нет
x0110000b	Извлечение данных АЦП0 и АЦП1	ADC0H:ADC0L	ADC1H:ADC1L
x10x0000b	Извлечение результата преобразования дифференциального входного сигнала	ADC0H:ADC0L (результат преобразования дифференциального сигнала от обоих АЦП)	нет
x11x0000b	Извлечение результата преобразования дифференциального входного сигнала и данных АЦП1	ADC0H:ADC0L (результат преобразования дифференциального сигнала от обоих АЦП)	ADC1H:ADC1L

6.3. Адресация и настройка XRAM.

Интерфейс DMA можно настроить для доступа либо к внутренней, либо к внешней памяти XRAM. Все операции записи во внутреннюю память XRAM, управляемые интерфейсом DMA, осуществляются в тот момент, когда процессорное ядро не обращается к внутренней памяти XRAM. Это гарантирует, что интерфейс DMA не будет препятствовать ходу выполнения команд процессора.

Управление доступом к внешней памяти XRAM осуществляется с помощью бита DMA0HLT регистра конфигурации DMA (DMA0CF, см. рис.6.5). Интерфейс DMA будет иметь полный доступ к внешней памяти XRAM, когда этот бит сброшен в 0. Процессорное ядро будет иметь полный доступ к внешней памяти XRAM, когда этот бит установлен в 1. Бит DMA0HLT следует устанавливать/сбрасывать программно, когда либо процессорному ядру, либо интерфейсу DMA необходим доступ к адресному пространству данных внешней памяти XRAM. Перед установкой в 1 бита DMA0HLT необходимо программно проверить состояние бита DMA0XBY и убедиться, что интерфейс DMA в данный момент не обращается к внешней памяти XRAM. Процессорное ядро не может обращаться к внешней памяти XRAM, пока бит DMA0HLT сброшен в 0. Процессор продолжит выполнение программы, как будто он имеет доступ к внешней памяти XRAM, однако данные не будут записываться во внешнюю память XRAM или считываться из нее. Когда процессорное ядро закончит выполнять операции с внешней памятью XRAM, бит DMA0HLT необходимо программно сбросить в 0, чтобы вернуть управление интерфейсу DMA. Схема управления DMA будет ожидать сброса в 0 бита DMA0HLT и лишь после этого запишет данные во внешнюю память XRAM. Если новые данные станут доступны интерфейсу DMA прежде, чем предыдущие данные будут записаны в память, то произойдет переполнение и новое слово данных может быть потеряно.

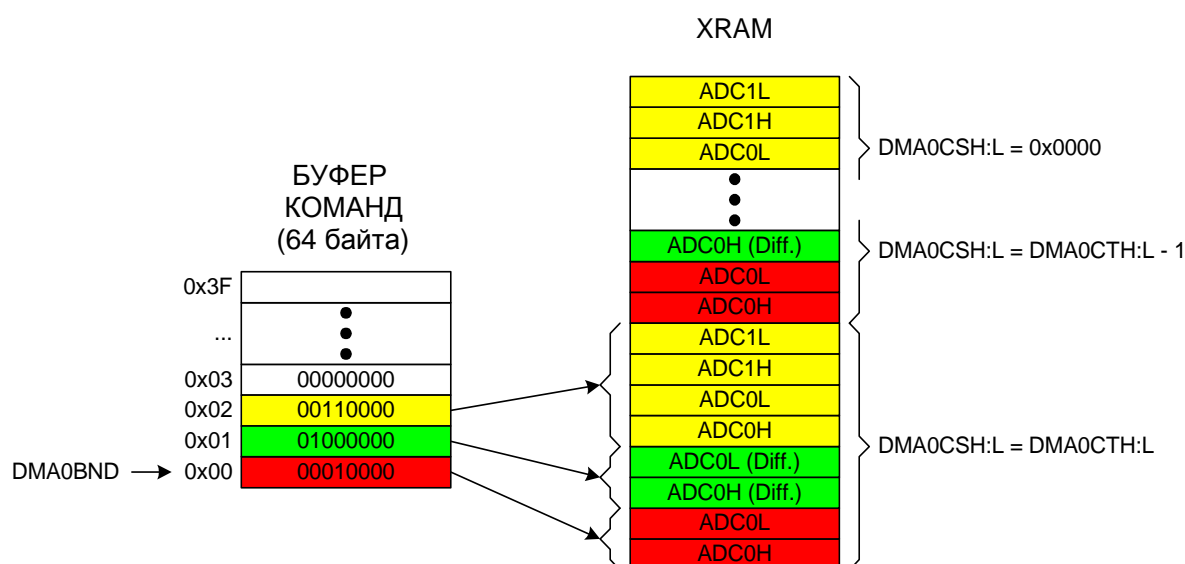
Регистры указателя адреса данных (DMA0DSH и DMA0DSL) содержат 16-разрядный адрес ячейки памяти XRAM, в которую интерфейс DMA будет записывать данные. Если интерфейс DMA включается первый раз, то регистры указателя адреса данных DMA инициализируются значениями, содержащимися в регистрах начального адреса данных DMA (DMA0DAH и DMA0DAL). Регистры указателя адреса данных автоматически инкрементируются на 2 или 4 после каждой операции записи данных, выполняемой интерфейсом DMA.



6.4. Выполнение команд в режиме 0.

Когда интерфейс DMA начинает рабочий цикл, регистр состояния команд DMA (DMA0ISW, см. рис.6.9) загружается адресом, содержащимся в регистре границы команд DMA (DMA0BND, см. рис.6.8). Команда извлекается из буфера команд и схема управления DMA ожидает данных от соответствующего(-их) АЦП. После выполнения каждой команды схема управления DMA будет инкрементировать содержимое регистра DMA0ISW, который после этого будет указывать на адрес следующей команды. Если текущей командой DMA является команда «окончание операции», то в регистр состояния команды загружается значение регистра границы команды. Если бит непрерывного преобразования (бит 7, CCNV) в команде «окончание операции» установлен в 1, то счетчик повторений игнорируется и DMA будет продолжать выполнять команды неограниченно долго. Если бит CCNV сброшен в 0, то счетчик повторений (регистры DMA0CSH и DMA0CSL) декрементируется и DMA будет продолжать выполнять команды до тех пор, пока значение счетчика повторений не достигнет 0x0000. Счетчик повторений инициализируется значением границы счетчика повторений (регистры DMA0CTH и DMA0CTL) в начале работы DMA. На рис.6.2 показан пример функционирования DMA в режиме 0.

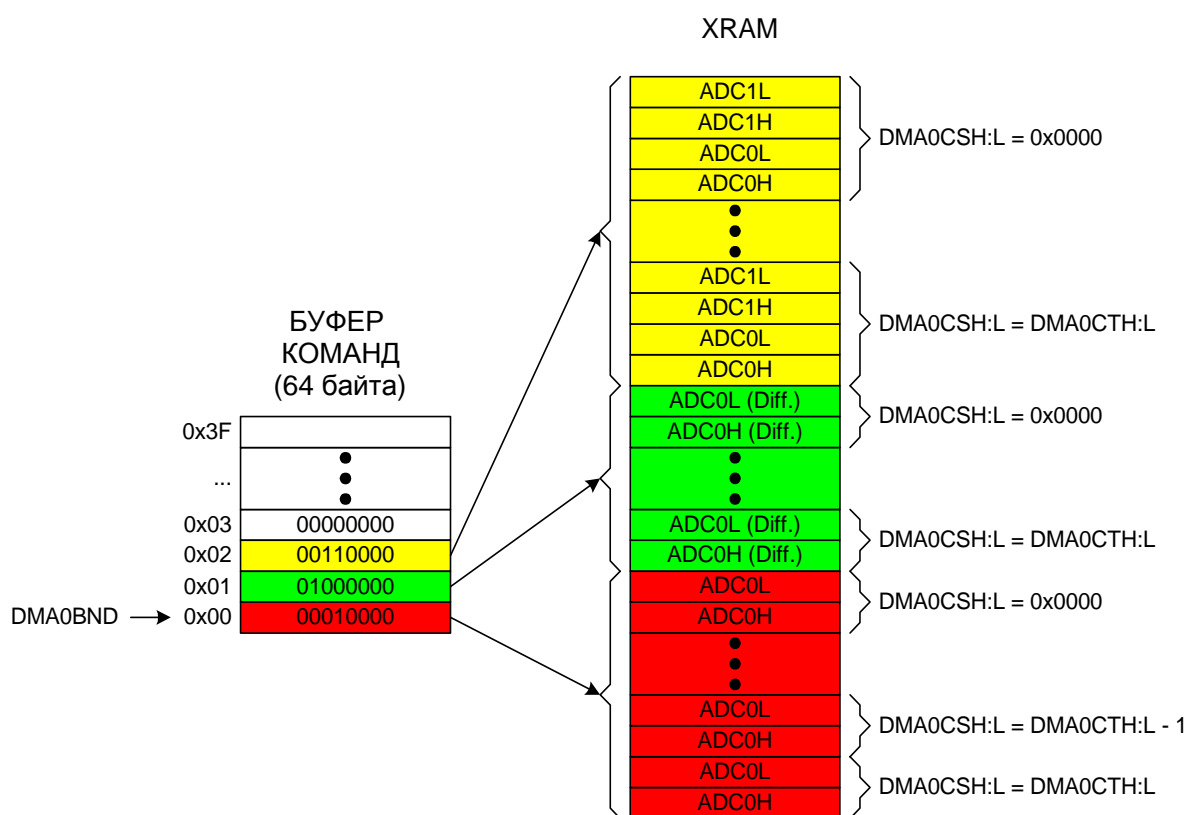
Рисунок 6.2. Функционирование DMA в режиме 0.



6.5. Выполнение команд в режиме 1.

Когда интерфейс DMA начинает рабочий цикл, регистр состояния команд DMA (DMA0ISW, см. рис.6.9) загружается адресом, содержащимся в регистре границы команд DMA (DMA0BND, см. рис.6.8). Команда извлекается из буфера команд и схема управления DMA ожидает данных от соответствующего(-их) АЦП. После выполнения команды счетчик повторений (регистры DMA0CSH и DMA0CSL) декрементируется и выполнение этой команды будет повторяться до тех пор, пока значение счетчика повторений не достигнет 0x0000. Затем счетчик повторений будет загружен значением границы счетчика повторений (из регистров DMA0CTH и DMA0CTL) и схема управления DMA инкрементирует содержимое регистра DMA0ISW, который после этого будет указывать на адрес следующей команды. Если текущей командой DMA является команда «окончание операции», то в регистр состояния команды загружается значение регистра границы команды. Если бит непрерывного преобразования (бит 7, CCNV) в команде «окончание операции» установлен в 1, то DMA будет продолжать выполнять команды. Если бит CCNV сброшен в 0, то DMA остановит выполнение команд в этой точке. На рис.6.3 показан пример функционирования DMA в режиме 1.

Рисунок 6.3. Функционирование DMA в режиме 1.



6.6. Источники прерываний.

Интерфейс DMA обладает развитой системой прерываний. Некоторые прерывания можно индивидуально разрешить/запретить, что позволяет генерировать прерывания по необходимости. Регистр управления DMA (DMA0CN, см. рис.6.4) и регистр конфигурации DMA (DMA0CF, см. рис.6.5) содержат биты разрешения и флаги источников прерываний DMA. Если произошло условие прерывания и это прерывание разрешено, то DMA сгенерирует запрос прерывания (бит EIE2.7 устанавливается в 1).

Прерывание от модуля DMA0 генерируется при установке следующих флагов DMA:

1. Флаг завершения операций DMA (DMA0CN.6, DMA0INT) устанавливается, когда все операции DMA завершены и интерфейс DMA находится в состоянии простоя (ожидания).
2. Флаг ошибки переполнения данных от АЦП1 (DMA0CN.4, DMA0DE1) устанавливается в том случае, если интерфейс DMA не может получить доступ к памяти XRAM в течение двух циклов преобразования АЦП1. Это флаг показывает, что по крайней мере один результат преобразования АЦП1 потерян.
3. Флаг ошибки переполнения данных от АЦП0 (DMA0CN.3, DMA0DE0) устанавливается в том случае, если интерфейс DMA не может получить доступ к памяти XRAM в течение двух циклов преобразования АЦП0. Это флаг показывает, что по крайней мере один результат преобразования АЦП0 потерян.
4. Флаг предупреждения о переполнении данных от АЦП1 (DMA0CN.1, DMA0DO1) устанавливается в том случае, если данные от АЦП1 становятся доступными, а DMA еще не записал результат предыдущего преобразования в память XRAM. Этот источник прерывания можно разрешить/запретить с помощью бита разрешения предупреждения о переполнении данных (DMA0CN.2, DMA0DOE).
5. Флаг предупреждения о переполнении данных от АЦП0 (DMA0CN.0, DMA0DO0) устанавливается в том случае, если данные от АЦП0 становятся доступными, а DMA еще не записал результат предыдущего преобразования в память XRAM. Этот источник прерывания можно разрешить/запретить с помощью бита разрешения предупреждения о переполнении данных (DMA0CN.2, DMA0DOE).
6. Флаг переполнения счетчика повторений (DMA0CF.2, DMA0CI) устанавливается в том случае, если содержимое счетчика повторений достигнет границы счетчика повторений. Этот источник прерывания можно разрешить/запретить с помощью бита разрешения прерывания от переполнения счетчика повторений (DMA0CF.3, DMA0CIE).
7. Флаг окончания операции (DMA0CF.0, DMA0EO) устанавливается в том случае, если в буфере команд достигнута команда «окончание операции». Этот источник прерывания можно разрешить/запретить с помощью бита разрешения прерывания при окончании операции (DMA0CF.1, DMA0EOE).

6.7. Предупреждения и ошибки при переполнении буфера данных.

Тракт передачи данных от модулей АЦП с помощью интерфейса DMA в память XRAM имеет двойную буферизацию. Когда модуль АЦП завершает преобразование, результат преобразования сначала загружается в регистры данных АЦП. Если буфер данных DMA пуст, то результаты преобразования АЦП будут немедленно записаны во внутренний буфер данных DMA, соответствующий этому АЦП. Как только появится возможность, данные из буфера данных DMA будут записаны в память XRAM (см. раздел 6.3). Результаты преобразования из регистров данных АЦП не копируются в буфер данных DMA до тех пор, пока данные из этого буфера не будут записаны в память XRAM. Если преобразование уже завершено, а буфер данных DMA еще не пуст, то устанавливается флаг предупреждения о переполнении. Если результаты второго преобразования станут доступны прежде, чем данные из буфера данных DMA будут записаны в память XRAM, то данные в регистрах данных АЦП переписываются новым словом данных и устанавливается флаг ошибки переполнения данных.

Рисунок 6.4. DMA0CN: Регистр управления DMA0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
DMA0EN	DMA0INT	DMA0MD	DMA0DE1	DMA0DE0	DMA0DOE	DMA0DO1	DMA0DO0	SFR Адрес: 0xD8 SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит 7: DMA0EN: Бит включения DMA0. Запись: 0: Остановка операций DMA0. 1: Начало операций DMA0. Чтение: 0: DMA0 находится в состоянии простоя. 1: Происходит выполнение операций DMA0.</p> <p>Бит 6: DMA0INT: Флаг завершения операций DMA0. 0: DMA0 не завершил выполнение своих операций. 1: Выполнение операций DMA0 завершено. Этот бит должен быть сброшен программно.</p> <p>Бит 5: DMA0MD: Выбор режима DMA0. 0: DMA0 будет функционировать в режиме 0. 1: DMA0 будет функционировать в режиме 1.</p> <p>Бит 4: DMA0DE1: Флаг ошибки переполнения данных от АЦП1. 0: Переполнение данных от АЦП1 не зафиксировано. 1: Произошло переполнение данных от АЦП1 и результат преобразования АЦП1 был потерян. Этот бит должен быть сброшен программно.</p> <p>Бит 3: DMA0DE0: Флаг ошибки переполнения данных от АЦП0. 0: Переполнение данных от АЦП0 не зафиксировано. 1: Произошло переполнение данных от АЦП0 и результат преобразования АЦП0 был потерян. Этот бит должен быть сброшен программно.</p> <p>Бит 2: DMA0DOE: Бит разрешения прерывания от флагов предупреждения о переполнении данных. 0: Прерывания от флагов предупреждения о переполнении данных запрещены. 1: Прерывания от флагов предупреждения о переполнении данных разрешены.</p> <p>Бит 1: DMA0DO1: Флаг предупреждения о переполнении данных от АЦП1. 0: Нет предупреждения о переполнении буфера данных АЦП1. 1: Буфер данных АЦП1 полон, а DMA еще не переписал предыдущие данные в память XRAM. Этот бит должен быть сброшен программно.</p> <p>Бит 0: DMA0DO0: Флаг предупреждения о переполнении данных от АЦП0. 0: Нет предупреждения о переполнении буфера данных АЦП0. 1: Буфер данных АЦП0 полон, а DMA еще не переписал предыдущие данные в память XRAM. Этот бит должен быть сброшен программно.</p>								

Рисунок 6.5. DMA0CF: Регистр конфигурации DMA0

R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
DMA0HLT	DMA0XBY	-	-	DMA0CIE	DMA0CI	DMA0EOE	DMA0EO	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xF8 SFR страница: 3
<p>Бит7: DMA0HLT: Бит управления доступом к внешней памяти XRAM (только C8051F060/2/4/6). 0: DMA0 имеет полный доступ к внешней памяти XRAM. 1: Процессорное ядро имеет полный доступ к внешней памяти XRAM. DMA0 будет записывать данные в ячейки внешней памяти XRAM только после сброса этого бита в 0.</p> <p>Бит 6: DMA0XBY: Флаг занятости внешней памяти XRAM (только C8051F060/2/4/6). 0: DMA0 не выполняет никаких операций с внешней памятью XRAM. 1: DMA0 выполняет операции записи данных во внешнюю память XRAM.</p> <p>Биты 5-4: Зарезервированы: необходимо записать 00b.</p> <p>Бит 3: DMA0CIE: Разрешение прерываний от переполнения счетчика повторений. 0: Прерывания от переполнения счетчика повторений запрещены. 1: Прерывания от переполнения счетчика повторений разрешены.</p> <p>Бит 2: DMA0CI: Флаг переполнения счетчика повторений. 0: Переполнение счетчика повторений не зафиксировано. 1: Произошло переполнение счетчика повторений. Этот бит должен быть сброшен программно.</p> <p>Бит 1: DMA0EOE: Бит разрешения прерываний при окончании операции. 0: Прерывания при окончании операции запрещены. 1: Прерывания при окончании операции разрешены.</p> <p>Бит 0: DMA0EO: Флаг окончания операции. 0: Команда «окончание операции» не получена. 1: Команда «окончание операции» получена. Этот бит должен быть сброшен программно.</p>								

Рисунок 6.6. DMA0IPT: Регистр адреса команд DMA0

R	R	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-							00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xDD SFR страница: 3

Биты 7-6: Не используются.

Биты 5-0: Адрес команды DMA0. При чтении/записи регистра DMA0IDT содержимое регистра DMA0IPT инкрементируется и после этого будет указывать на адрес следующей команды.

Рисунок 6.7. DMA0IDT: Регистр данных команд DMA0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе*:
CCNV	DIFFSEL	ADC1EN	ADC0EN	-	-	-	-	XXXXXXXX
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xDE SFR страница: 3

Бит 7: CCNV: Непрерывное преобразование.
 0: Непрерывное преобразование запрещено.
 1: Непрерывное преобразование разрешено. Значение счетчика повторений игнорируется и преобразования будут продолжаться.

Бит 6: DIFFSEL: Ожидание данных в дифференциальном режиме.
 0: Дифференциальные данные не будут собираться.
 1: Осуществляется ожидание дифференциальных данных и сохранение их в памяти XRAM.

Бит 5: ADC1EN: Ожидание данных от АЦП1.
 0: Данные от АЦП1 не будут собираться.
 1: Осуществляется ожидание данных от АЦП1 и сохранение их в памяти XRAM.

Бит 4: ADC0EN: Ожидание данных от АЦП0.
 0: Данные от АЦП0 не будут собираться.
 1: Осуществляется ожидание данных от АЦП0 и сохранение их в памяти XRAM. Если DIFFSEL = 1, то будут сохраняться только дифференциальные данные.

Биты 3-0: Зарезервированы: необходимо записать 0000b.

Более подробная информация о командах DMA приведена в разделе 6.2.

* : Этот регистр указывает на специальную ячейку ОЗУ и его значение при сбросе является неопределенным.

Рисунок 6.8. DMA0BND: Регистр границы команд DMA0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xFD SFR страница: 3
-	-							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-6: Не используются.

Биты 5-0: Адрес команды DMA0, с которого начинается выполнение команд DMA.

Рисунок 6.9. DMA0ISW: Регистр состояния команд DMA0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xFE SFR страница: 3
-	-							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-6: Не используются.

Биты 5-0: Адрес выполняемой в данный момент команды DMA0.

Рисунок 6.10. DMA0DAH: Регистр старшего байта начального адреса данных DMA0.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xDA SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: Старшие биты начального адреса данных DMA0.								

Рисунок 6.11. DMA0DAL: Регистр младшего байта начального адреса данных DMA0.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD9 SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: Младшие биты начального адреса данных DMA0.								

Рисунок 6.12. DMA0DSH: Регистр старшего байта указателя адреса данных DMA0.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xDC SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: Старшие биты указателя адреса данных DMA0.								

Рисунок 6.13. DMA0DSL: Регистр младшего байта указателя адреса данных DMA0.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xDB SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: Младшие биты указателя адреса данных DMA0.								

Рисунок 6.14. DMA0CTH: Регистр старшего байта границы счетчика повторений модуля DMA0.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xFA SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старшие биты границы счетчика повторений DMA0.

Рисунок 6.15. DMA0CTL: Регистр младшего байта границы счетчика повторений модуля DMA0.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xF9 SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младшие биты границы счетчика повторений DMA0.

Рисунок 6.16. DMA0CSH: Регистр старшего байта счетчика повторений DMA0.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xFC SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старшие биты счетчика повторений DMA0.

Рисунок 6.17. DMA0CSL: Регистр младшего байта счетчика повторений DMA0.

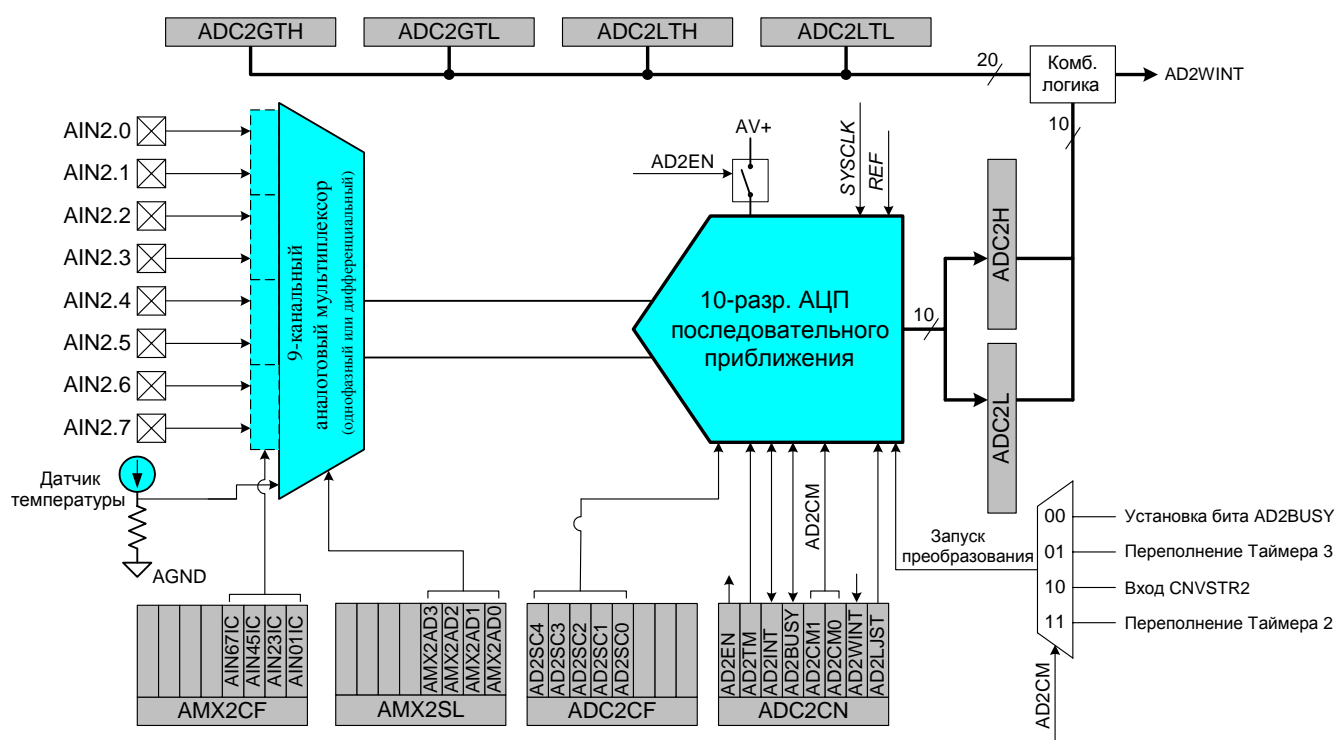
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xFB SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младшие биты счетчика повторений DMA0.

7. 10-разрядный АЦП (АЦП2, C8051F060/1/2/3)

Модуль АЦП2 МК C8051F060/1/2/3 состоит из аналогового мультиплексора (обозначаемого далее как AMUX2) и 10-разрядного АЦП последовательного приближения (обеспечивающего производительность до 200 тыс. преобразований в секунду) с устройством выборки-хранения (УВХ) и программируемым детектором диапазона (см. рис.7.1). AMUX2, режимы преобразования и детектор диапазона настраиваются программным путем при помощи регистров специального назначения (см. рис.7.1). АЦП2 работает как в однофазном, так и в дифференциальном режимах, и может быть настроен для измерения сигнала на любом выводе Порта 1 или сигнала с выхода датчика температуры. Модуль АЦП2 включен только тогда, когда бит AD2EN регистра управления АЦП2 (ADC2CN) установлен в 1. Сброс этого бита в 0 переводит АЦП2 в режим пониженного энергопотребления.

Рисунок 7.1. Функциональная схема 10-разрядного АЦП2



7.1. Аналоговый мультиплексор

Аналоговый мультиплексор (AMUX2) позволяет подавать аналоговые сигналы на АЦП с выводов Порта 1. Каждая пара входов AMUX могут быть запрограммированы на работу в однофазном или дифференциальном режимах. Кроме этого, выходной сигнал встроенного датчика температуры можно выбрать в качестве входного однофазного сигнала АЦП2. Выбор входных каналов АЦП2 и их настройка осуществляются с помощью регистров AMX2CF (см. рис.7.5) и AMX2SL (см. рис.7.6). В однофазном режиме напряжение сигнала на выбранном выводе измеряется относительно вывода AGND. В дифференциальном режиме измеряется напряжение дифференциального сигнала между выбранными выводами. Полярность дифференциального измерения зависит от состояния бит AMX2AD3-0 регистра AMX2SL. Например, если выводы AIN2.0 и AIN2.1 настроены как пара дифференциальных входов ($AIN01IC = 1$), и $AMX2AD3-0 = 0000b$, то АЦП будет измерять напряжение ($AIN2.0 - AIN2.1$). Если значение бит $AMX2AD3-0$ сделать равным $0001b$, то АЦП будет измерять то же самое напряжение, но с противоположной полярностью ($AIN2.1 - AIN2.0$).

Формат результата преобразования различен для однофазного и дифференциального режимов. После окончания каждого преобразования регистры ADC2H и ADC2L будут содержать старший и младший байты результата преобразования АЦП. При этом данные могут быть выровнены вправо или влево, в зависимости от состояния бита AD2LJST (ADC2CN.0). В однофазном режиме результат преобразования представлен в виде 10-разрядного целого числа без знака. Диапазон измерения входного сигнала – от 0 до $VREF * (1023/1024)$. Ниже приведены примеры выровненных вправо и влево результатов преобразований. Неиспользуемые биты в регистрах ADC2H и ADC2L устанавливаются в 0.

Входное напряжение	Выровненные вправо данные ADC2H:ADC2L (AD2LJST = 0)	Выровненные влево данные ADC2H:ADC2L (AD2LJST = 1)
$VREF * 1023/1024$	0x03FF	0xFFC0
$VREF * 512/1024$	0x0200	0x8000
$VREF * 256/1024$	0x0100	0x4000
0	0x0000	0x0000

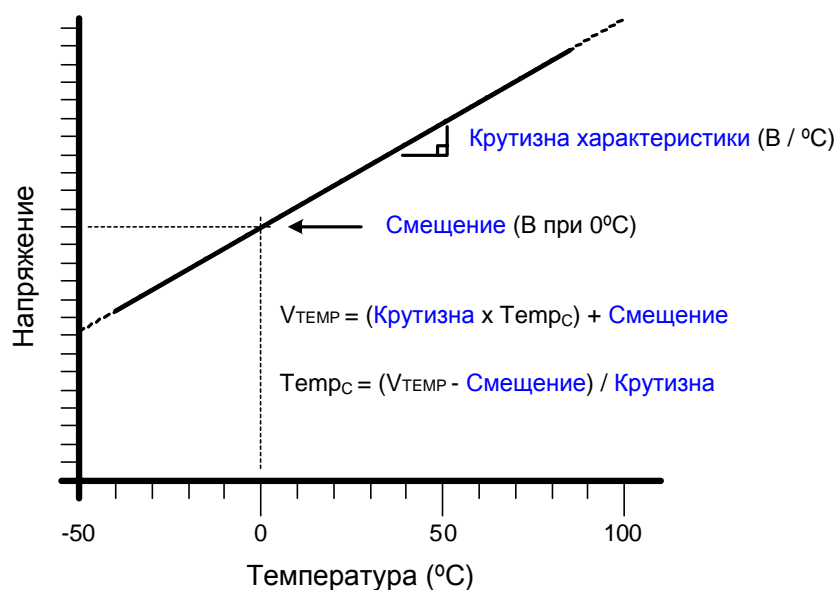
В дифференциальном режиме результат преобразования представлен в виде 10-разрядного числа в дополнительном коде со знаком. Диапазон измерения входного сигнала – от $-VREF$ до $VREF * (511/512)$. Ниже приведены примеры выровненных вправо и влево результатов преобразований. Для выровненных вправо данных неиспользуемые старшие разряды регистра ADC2H являются знаковым расширением слова данных. Для выровненных влево данных неиспользуемые младшие разряды регистра ADC2L устанавливаются в 0.

Входное напряжение	Выровненные вправо данные ADC2H:ADC2L (AD2LJST = 0)	Выровненные влево данные ADC2H:ADC2L (AD2LJST = 1)
$VREF * 511/512$	0x01FF	0x7FC0
$VREF * 256/512$	0x0100	0x4000
0	0x0000	0x0000
$-VREF * 256/512$	0xFF00	0xC000
$-VREF$	0xFE00	0x8000

Важное замечание относительно конфигурации входов АЦП2: Если выводы порта 1 выбраны в качестве входов АЦП2, то их следует настроить как аналоговые входы. Чтобы настроить вывод Порта 1 как аналоговый вход, необходимо установить в 1 соответствующий бит в регистре P1MDIN. Выводы Порта 1, используемые в качестве входов АЦП2, будут пропускаться коммутирующей матрицей при назначении выводов периферийным модулям. Подробная информация о настройке портов ввода/вывода приведена в разделе 18.

Передачная функция датчика температуры показана на рис.7.2. Если датчик температуры выбран битами $AMX2AD3-0$ в регистре AMX2SL, то выходное напряжение датчика температуры (V_{TEMP}) будет подано на вход АЦП2 как однофазный входной сигнал. Типичные значения крутизны характеристики и коэффициента смещения приведены в табл.7.1.

Рисунок 7.2. Передаточная функция датчика температуры.



7.2. Режимы работы АЦП

Максимальная скорость преобразования АЦП2 – 200 тыс. преобразований в секунду. Частота дискретизации АЦП2 зависит от системной тактовой частоты и определяется битами AD2SC регистра ADC2CF (частота дискретизации равна частоте системного тактового сигнала, деленной на (AD2SC + 1) для $0 \leq \text{AD2SC} \leq 31$). Частота дискретизации АЦП2 не должна превышать 3 МГц.

7.2.1. Запуск преобразования

Запуск преобразования может быть осуществлен одним из четырех способов, в зависимости от состояния битов режима запуска преобразования АЦП2 (AD2CM1, AD2CM0) в регистре ADC2CN. Преобразование может быть инициировано:

- 1) установкой в 1 бита AD2BUSY в регистре ADC2CN;
- 2) переполнением Таймера 3 (т.е. непрерывное по времени преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования CNVSTR2 (разведенного посредством матрицы);
- 4) переполнением Таймера 2.

Если CNVSTR2 используется как источник запуска преобразования, то он должен быть разведен посредством матрицы и соответствующий вывод должен быть настроен как вывод с открытым стоком (переведен в высокоимпедансное состояние). Подробная информация о настройке портов ввода/вывода приведена в разделе 18.

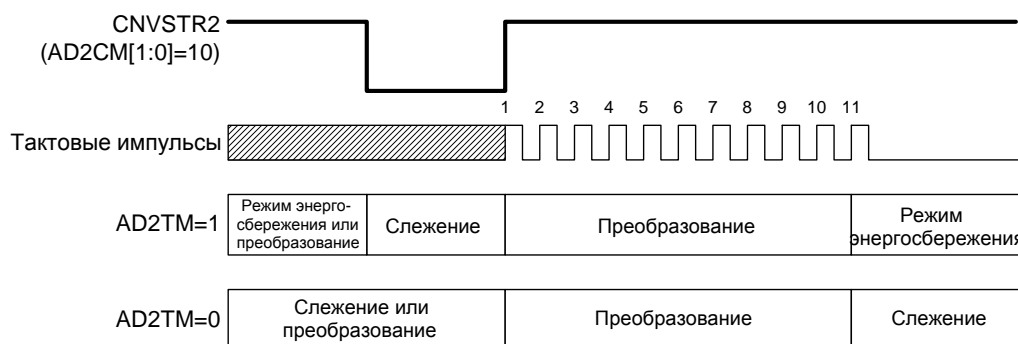
С помощью установки в 1 бита AD2BUSY программа может управлять запуском АЦП2, выполняя преобразования «по требованию». Во время преобразования бит AD2BUSY установлен в 1, после окончания преобразования он сбрасывается в 0. При сбросе бита AD2BUSY инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания от АЦП2 (AD2INT). Примечание: для определения окончания преобразования в режиме программного опроса следует также использовать флаг прерывания AD2INT. Когда бит AD2INT установлен в 1, результат преобразования доступен в регистрах старшего и младшего слова данных АЦП2, ADC2H и ADC2L соответственно. Следует иметь в виду, что если в качестве источника запуска преобразования используется переполнение Таймера 2 или Таймера 3, то в 8-разрядном режиме используется переполнение младшего байта таймера, а в 16-разрядном режиме используется переполнение старшего байта таймера. Настройка таймеров описана в разделе 24.

7.2.2. Режимы слежения

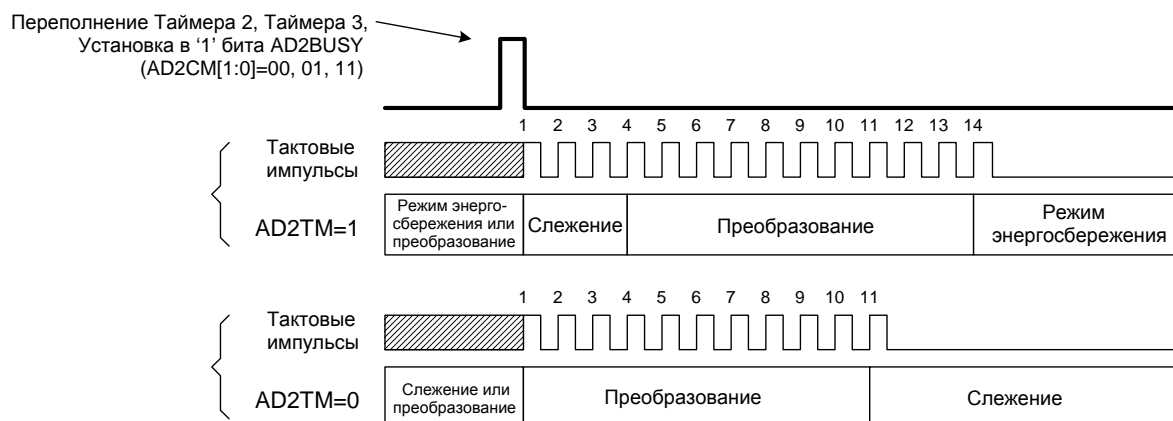
Бит AD2TM регистра ADC2CN управляет режимом выборки-хранения АЦП2. По умолчанию состояние входа АЦП2 отслеживается непрерывно, за исключением момента преобразования. Установка в 1 бита AD2TM переводит АЦП2 в энергосберегающий режим выборки-хранения. В этом режиме каждому преобразованию предшествует (после сигнала запуска преобразования) период выборки, равный трем периодам сигнала дискретизации АЦП. Если для запуска преобразования в энергосберегающем режиме выборки-хранения используется сигнал CNVSTR2, то АЦП2 отслеживает входной сигнал только тогда, когда на входе CNVSTR2 присутствует сигнал низкого уровня; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR2 (см. рис.7.3). Кроме этого слежение может быть запрещено (отключено), когда весь МК переведен в мало потребляющие режимы ожидания или остановки. Энергосберегающий режим выборки-хранения также полезен в том случае, когда настройки AMUX часто изменяются, чтобы гарантировать, что время установления соответствует заданным требованиям (см. раздел 7.2.3).

Рисунок 7.3. Временные диаграммы процесса преобразования 10-разр. АЦП

А. Временные диаграммы АЦП2 с внешним источником запуска



В. Временные диаграммы АЦП2 с внутренним источником запуска



7.2.3. Время установления.

Для обеспечения точности преобразования время слежения должно быть не менее минимального времени установления сигнала. Время установления определяется сопротивлением AMUX2, емкостью накопительного конденсатора VBX, сопротивлением внешнего источника сигнала и требуемой точностью преобразования. Следует иметь в виду, что в энергосберегающем режиме выборки-хранения после запуска каждого преобразования выборка длится три периода сигнала дискретизации АЦП. Для большинства приложений эти три периода сигнала дискретизации будут соответствовать требованиям, предъявляемым ко времени установления.

На рис.7.4 показаны эквивалентные схемы входов АЦП2 как для дифференциального, так и для однофазного режимов работы. Следует отметить, что эквивалентная постоянная времени для обеих схем одинакова. Требуемое время установления для заданной точности установления (settling accuracy – SA) можно приблизительно определить из уравнения 7.1. Если измеряется выходное напряжение датчика температуры, то $R_{TOTAL} = R_{MUX}$. Абсолютная величина минимального времени установления (выборки) приведена в таблице 7.1.

Уравнение 7.1. Время установления сигнала АЦП2

$$t = \ln(2^n/SA) \times R_{TOTAL}C_{SAMPLE}$$

где: SA – точность установления, задаваемая в долях МЗР (например, 0.25 для установления в пределах ¼ МЗР)

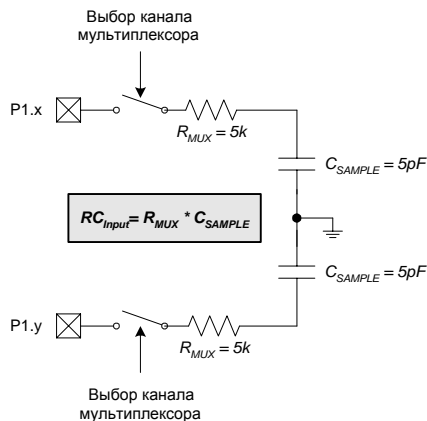
t - требуемое время установления в секундах

R_{TOTAL} – сумма сопротивления AMUX2 и сопротивления внешнего источника сигнала

n - разрешение АЦП в битах (10)

Рисунок 7.4. Эквивалентные схемы входов АЦП2

Дифференциальный режим



Однофазный режим

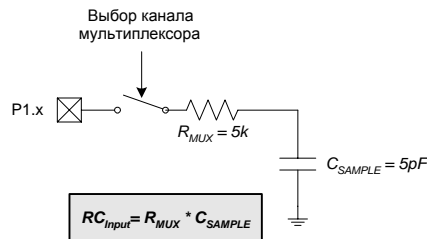


Рисунок 7.5. AMX2CF: Регистр конфигурации AMUX2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	-	-	AIN67IC	AIN45IC	AIN23IC	AIN01IC	SFR Адрес: 0xBA SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-4: **Не используются**: читаются как 0000b; запись не оказывает никакого влияния.

Бит 3: AIN23IC: Бит конфигурации пары входов AIN2.6, AIN2.7
 0: AIN2.6 и AIN2.7 – независимые одиночные входы
 1: AIN2.6 и AIN2.7 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 2: AIN01IC: Бит конфигурации пары входов AIN2.4, AIN2.5
 0: AIN2.4 и AIN2.5 – независимые одиночные входы
 1: AIN2.4 и AIN2.5 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 1: AIN23IC: Бит конфигурации пары входов AIN2.2, AIN2.3
 0: AIN2.2 и AIN2.3 – независимые одиночные входы
 1: AIN2.2 и AIN2.3 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 0: AIN01IC: Бит конфигурации пары входов AIN2.0, AIN2.1
 0: AIN2.0 и AIN2.1 – независимые одиночные входы
 1: AIN2.0 и AIN2.1 – пара дифференциальных входов ('+' и '-' соответственно)

Примечание: Для каналов, настроенных как дифференциальные, слово данных АЦП представляет собой число в дополнительном формате. Полярность дифференциального измерения определяется регистром AMX2SL.



Рисунок 7.6. AMX0SL: Регистр выбора канала AMUX2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	AMX2AD3	AMX2AD2	AMX2AD1	AMX2AD0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBB SFR страница: 2

Биты 7-4: **Не используются:** читаются как 0000b; запись не оказывает никакого влияния.

Биты 3-0: AMX2AD3-0: Биты адреса AMUX2

0000-1111b: Каналы АЦП выбираются в соответствии со следующей таблицей:

AMX2AD3-0	Однофазное измерение		AMX2AD3-0	Дифференциальное измерение	
0000	AIN2.0	AIN01IC = 0	0000	+(AIN2.0) - (AIN2.1)	AIN01IC = 1
0001	AIN2.1		0001	+(AIN2.1) - (AIN2.0)	
0010	AIN2.2	AIN23IC = 0	0010	+(AIN2.2) - (AIN2.3)	AIN23IC = 1
0011	AIN2.3		0011	+(AIN2.3) - (AIN2.2)	
0100	AIN2.4	AIN45IC = 0	0100	+(AIN2.4) - (AIN2.5)	AIN45IC = 1
0101	AIN2.5		0101	+(AIN2.5) - (AIN2.4)	
0110	AIN2.6	AIN67IC = 0	0110	+(AIN2.6) - (AIN2.7)	AIN67IC = 1
0111	AIN2.7		0111	+(AIN2.7) - (AIN2.6)	
1xxx	Датчик температуры		1xxx	-	

Рисунок 7.7. ADC2CF: Регистр конфигурации АЦП2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
AD2SC4	AD2SC3	AD2SC2	AD2SC1	AD2SC0	-	-	-	11111000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBC SFR страница: 2

Биты 7-3: AD2SC4-0: Биты установки периода сигнала дискретизации АЦП0
Частота сигнала дискретизации АЦП0 определяется частотой системного тактового сигнала в соответствии со следующим уравнением:

$$AD2SC = (SYSCLK/CLK_{SAR2}) - 1,$$

где AD2SC – 5-разрядное значение, задаваемое битами AD2SC4-0
CLK_{SAR2} – необходимая частота сигнала дискретизации АЦП2
Максимальное значение частоты сигнала дискретизации АЦП2 приведено в табл.7.1.

Биты 2-0: **Не используются**: читаются как 000b; запись не оказывает никакого влияния.

Рисунок 7.8. ADC2H: Регистр старшего байта слова данных АЦП2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xBF SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старшие биты слова данных АЦП2.
 Для AD2LJST = 0: Биты 7-2 являются знаковым расширением бита 1. Биты 1-0 представляют собой старшие 2 бита 10-разрядного слова данных АЦП2.
 Для AD2LJST = 1: Биты 7-0 являются старшими 8 битами 10-разрядного слова данных АЦП2.

Рисунок 7.9. ADC2L: Регистр младшего байта слова данных АЦП2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xBE SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младшие биты слова данных АЦП2.
 Для AD2LJST = 0: Биты 7-0 являются младшими 8 битами 10-разрядного слова данных АЦП2.
 Для AD2LJST = 1: Биты 7-6 представляют собой младшие 2 бита 10-разрядного слова данных АЦП2. Биты 5-0 всегда читаются как '0'.

Рисунок 7.10. ADC2CN: Регистр управления АЦП2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
AD2EN	AD2TM	AD2INT	AD2BUSY	AD2CM1	AD2CM0	AD2WINT	AD2LJST	SFR Адрес: 0xE8 SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Bit7: AD2EN: Бит включения АЦП2.
 0: АЦП2 отключен. АЦП2 находится в режиме пониженного энергопотребления.
 1: АЦП2 включен. АЦП2 находится в активном режиме и готов к преобразованию данных.

Бит 6: AD2TM: Бит установки режима слежения АЦП2.
 0: Нормальный режим слежения: Когда АЦП2 включен, слежение осуществляется всегда, за исключением момента преобразования.
 1: Энергосберегающий режим слежения: Режим слежения определяется битами AD2CM1-0 (см. ниже).

Бит 5: AD2INT: Флаг прерывания от АЦП2 (устанавливается при завершении преобразования).
 Этот флаг должен быть сброшен программно.
 0: АЦП2 не закончил преобразование данных (с момента последнего обнуления этого флага).
 1: АЦП2 закончил преобразование данных.

Бит 4: AD2BUSY: Бит занятости АЦП2.
 Чтение:
 0: Преобразование данных завершено или в данный момент преобразование не осуществляется.
 При аппаратном обнулении этого бита флаг AD2INT устанавливается в 1.
 1: Идет процесс преобразования данных АЦП2.
 Запись
 0: Не оказывает никакого влияния.
 1: Иницирует запуск преобразования АЦП2, если биты AD2CM1-0 = 00b.

Биты 3-2: AD2CM1-0: Биты выбора режима запуска преобразования АЦП2.
 Если AD2TM = 0:
 00: Запуск преобразования осуществляется установкой в 1 бита AD2BUSY.
 01: Запуск преобразования осуществляется при переполнении Таймера 3.
 10: Запуск преобразования осуществляется нарастающим фронтом внешнего сигнала CNVSTR2.
 11: Запуск преобразования осуществляется при переполнении Таймера 2.
 Если AD2TM = 1:
 00: слежение (выборка) начинается в момент установки в 1 бита AD2BUSY и длится 3 периода сигнала дискретизации АЦП2; затем начинается преобразование данных.
 01: слежение (выборка) начинается при переполнении Таймера 3 и длится 3 периода сигнала дискретизации АЦП2; затем начинается преобразование данных.
 10: слежение (выборка) происходит лишь при низком уровне сигнала на входе CNVSTR2; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR2.
 11: слежение (выборка) начинается при переполнении Таймера 2 и длится 3 периода сигнала дискретизации АЦП2; затем начинается преобразование данных.

Бит 1: AD2WINT: Флаг прерывания от детектора диапазона АЦП2 (сбрасывается программно)
 0: Преобразованные данные не соответствуют заданному диапазону (с момента последнего обнуления этого флага).
 1: Преобразованные данные соответствуют заданному диапазону

Бит 0: AD2LJST: Бит выравнивания результата преобразования
 0: Данные в регистровой паре ADC2H:ADC2L выровнены вправо
 1: Данные в регистровой паре ADC2H:ADC2L выровнены влево

7.3. Программируемый детектор диапазона АЦП2.

Программируемый детектор диапазона АЦП2 постоянно проверяет выходные данные АЦП2 на соответствие заданному пользователем диапазону значений и уведомляет систему при обнаружении несоответствия. Это особенно эффективно в управляемых прерываниями системах, т.к. позволяет уменьшить объем кода и улучшить производительность при одновременном уменьшении времени реакции системы. Флаг прерывания от детектора диапазона (бит AD2WINT в регистре ADC2CN) можно использовать также в режиме программного опроса. Старшие и младшие байты граничных значений загружаются в регистры нижней и верхней границ диапазона АЦП2 (ADC2GTH, ADC2GTL, ADC2LTH и ADC2LTL). Флаг прерывания от детектора диапазона может устанавливаться как при попадании, так и при непопадании результата преобразования в заданный диапазон, в зависимости от значений, записанных в регистры ADC2GTx и ADC2LTx.

Рисунок 7.11. ADC2GTH: Регистр старшего байта нижней границы диапазона

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC5 SFR страница: 2

Биты 7-0: Старший байт нижней границы диапазона АЦП2.

Рисунок 7.12. ADC2GTL: Регистр младшего байта нижней границы диапазона

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC4 SFR страница: 2

Биты 7-0: Младший байт нижней границы диапазона АЦП2.

Рисунок 7.13. ADC2LTH: Регистр старшего байта верхней границы диапазона

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xC7 SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старший байт верхней границы диапазона АЦП2.

Рисунок 7.14. ADC2LTL: Регистр младшего байта верхней границы диапазона

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xC6 SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младший байт верхней границы диапазона АЦП2.



7.3.1. Детектор диапазона в однофазном режиме.

На рис.7.15 показаны два примера использования детектора диапазона при измерении однофазного входного сигнала и выравнивании результата преобразования вправо ($ADC2LTH:ADC2LTL = 0x0080$ (128d) и $ADC2GTH:ADC2GTL = 0x0040$ (64d)). В однофазном режиме напряжение входного сигнала может быть от 0 до $VREF * (1023/1024)$ относительно вывода AGND, а результат преобразования представлен в виде 10-разрядного целого числа без знака. На примере слева прерывание от флага AD2WINT будет генерироваться в том случае, если результат преобразования АЦП2 ($ADC2H:ADC2L$) попадает в диапазон, определяемый значениями регистров $ADC2GTH:ADC2GTL$ и $ADC2LTH:ADC2LTL$ (т.е. если $0x0040 < ADC2H:ADC2L < 0x0080$). На примере справа прерывание от флага AD2WINT будет генерироваться в том случае, если результат преобразования АЦП2 ($ADC2H:ADC2L$) не попадает в диапазон, определяемый значениями регистров $ADC2GTH:ADC2GTL$ и $ADC2LTH:ADC2LTL$ (т.е. если $ADC2H:ADC2L < 0x0040$ или $ADC2H:ADC2L > 0x0080$). На рис.7.16 показан пример использования детектора диапазона с такими же значениями регистров границ диапазона при измерении однофазного входного сигнала и выравнивании результата преобразования влево.

Рисунок 7.15. Пример использования детектора диапазона 10-разрядного АЦП2 (данные выровнены вправо, вход однофазный)

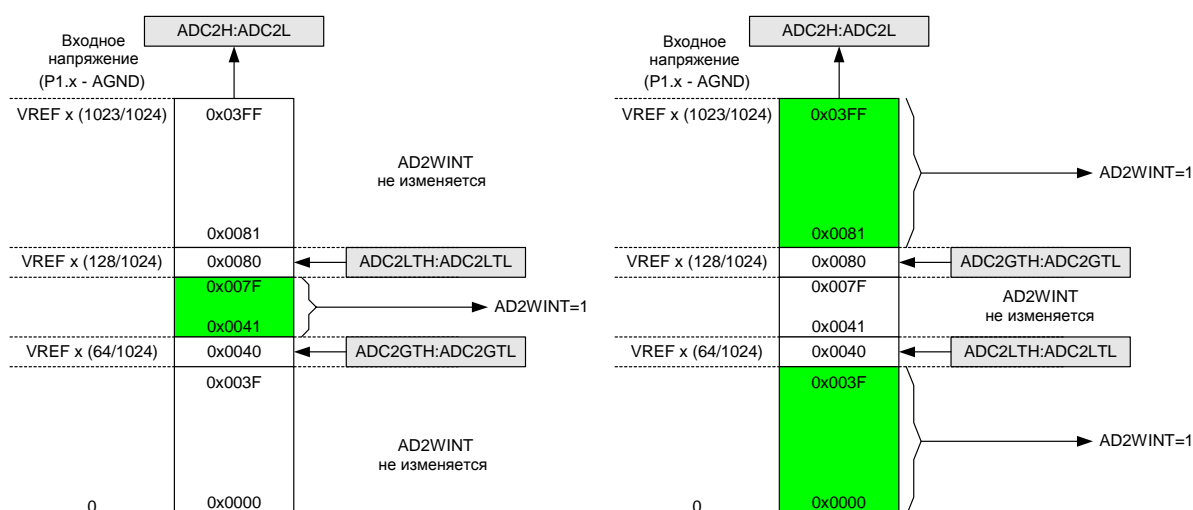
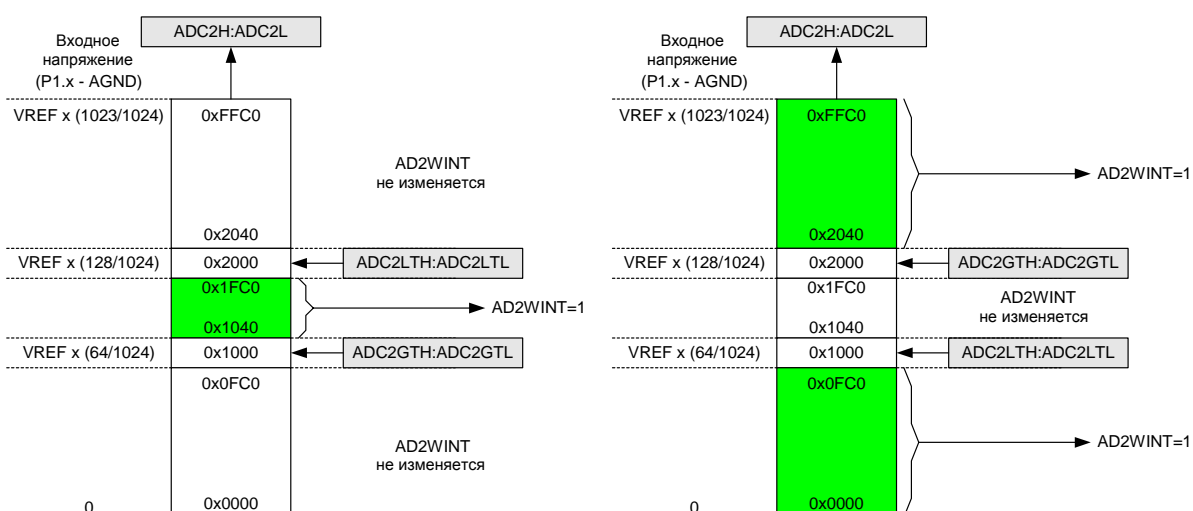


Рисунок 7.16. Пример использования детектора диапазона 10-разрядного АЦП2 (данные выровнены влево, вход однофазный)



7.3.2. Детектор диапазона в дифференциальном режиме.

На рис.7.17 показаны два примера использования детектора диапазона при измерении дифференциального входного сигнала и выравнивании результата преобразования вправо (ADC2LTH:ADC2LTL = 0x0040 (+64d) и ADC2GTH:ADC2GTL = 0xFFFF (-1d)). В дифференциальном режиме измеряемое напряжение между дифференциальными входами АЦП может быть от - VREF до VREF * (511/512). Результат преобразования представлен в дополнительном коде в виде 10-разрядного целого числа со знаком. На примере слева прерывание от флага AD2WINT будет генерироваться в том случае, если результат преобразования АЦП2 (ADC2H:ADC2L) попадает в диапазон, определяемый значениями регистров ADC2GTH:ADC2GTL и ADC2LTH:ADC2LTL (т.е. если 0xFFFF (-1d) < ADC2H:ADC2L < 0x0040 (+64d)). На примере справа прерывание от флага AD2WINT будет генерироваться в том случае, если результат преобразования АЦП2 (ADC2H:ADC2L) не попадает в диапазон, определяемый значениями регистров ADC2GTH:ADC2GTL и ADC2LTH:ADC2LTL (т.е. если ADC2H:ADC2L < 0xFFFF (-1d) или ADC2H:ADC2L > 0x0040 (+64d)). На рис.7.18 показан пример использования детектора диапазона с такими же значениями регистров границ диапазона при измерении дифференциального входного сигнала и выравнивании результата преобразования влево.

Рисунок 7.17. Пример использования детектора диапазона 10-разрядного АЦП2 (данные выровнены вправо, вход дифференциальный)

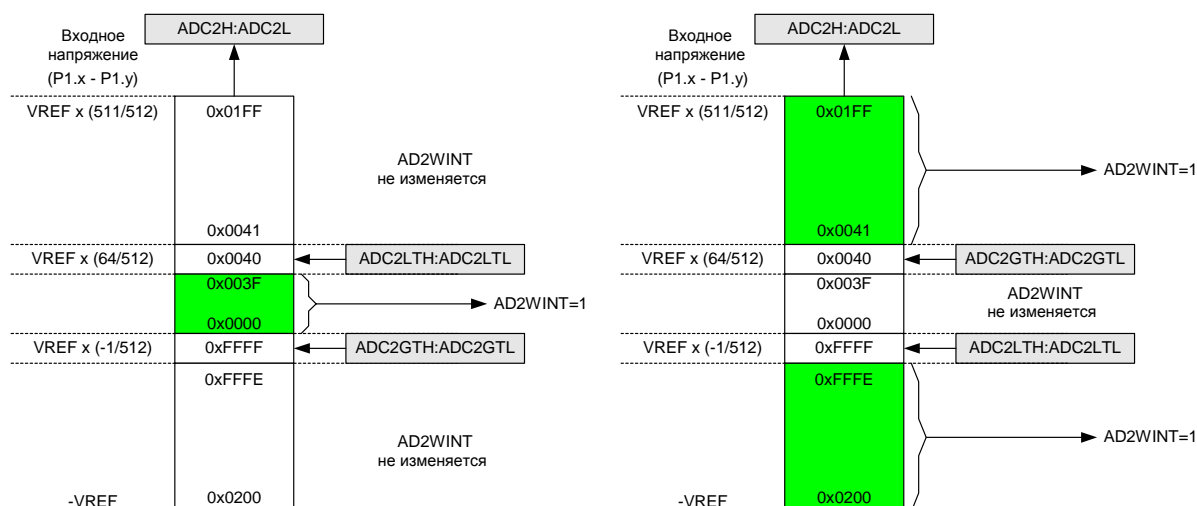


Рисунок 7.18. Пример использования детектора диапазона 10-разрядного АЦП2 (данные выровнены влево, вход дифференциальный)

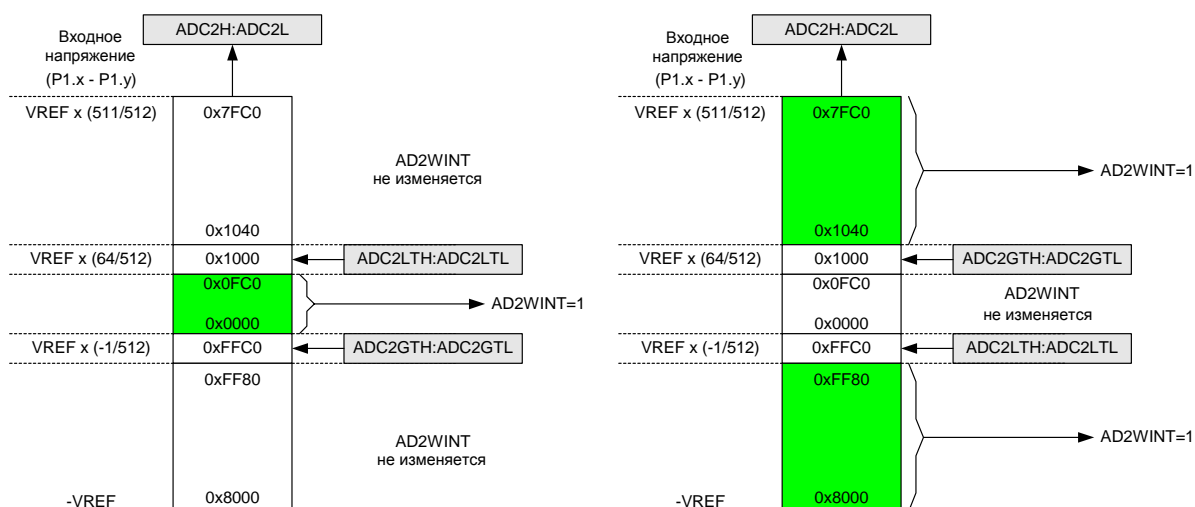


Таблица 7.1. Электрические характеристики 10-разрядного АЦП2

VDD = 3.0В, VREF = 2.4В (REFSL=0), Kyc = 1, T = -40°C ... +85°C, если не указано иное.

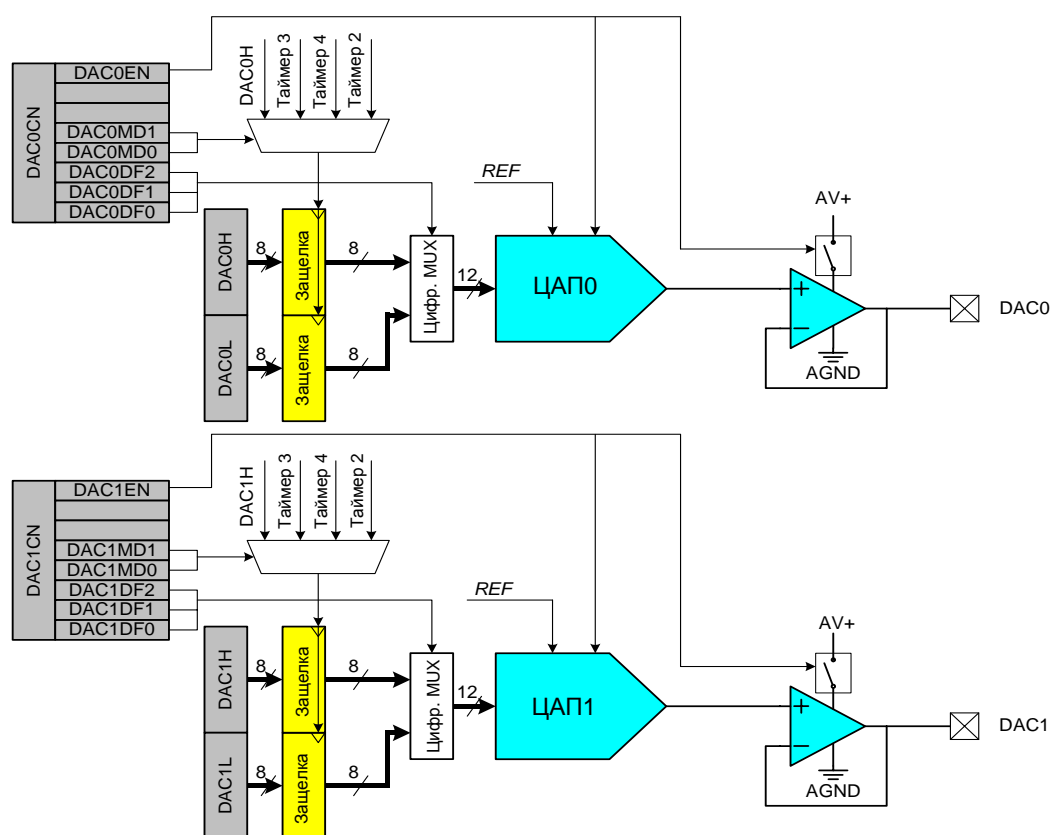
ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Точность преобразования					
Разрядность		10			бит
Интегральная нелинейность			±0,5	±1	МЗР
Дифференциальная нелинейность	Монотонность преобразования		±0,5	±1	МЗР
Погрешность смещения нуля		- 12	1	12	МЗР
Погрешность полной шкалы	Дифференциальный режим	- 15	- 5	5	МЗР
Температурный коэффициент смещения нуля			3,6 x 10 ⁻⁴		%/°C
Динамические характеристики (10кГц синусоидальный дифференциальный входной сигнал, от 0 до -1дВ полной шкалы, 200 тыс. преобразований/сек.)					
Отношение сигнал/шум плюс искажение		53	55,5		дБ
Общее нелинейное искажение	До 5-й гармоники		-67		дБ
Динамический диапазон			78		дБ
Скорость преобразования					
Максимальная частота дискретизации				3	МГц
Время преобразования в периодах сигнала дискретизации		10			такты
Время заряда VBX		300			нс
Производительность				200000	преобр./с
Аналоговые входы					
Диапазон входных напряжений	Однофазный режим: (AIN+) – AGND Дифференциальный режим: (AIN+) – (AIN-)	0 - VREF		VREF VREF	В В
Абсолютное напряжение на выводе относительно AGND	Дифференциальный или однофазный режим	0		AV+	В
Входная емкость			5		пФ
Датчик температуры					
Нелинейность			±0,2		°C
Смещение нуля	Температура = 0°C		776		мВ
Погрешность смещения нуля	Температура = 0°C (см. примечание 1)		±8,9		мВ
Крутизна характеристики			2.89		мВ/°C
Погрешность крутизны характеристики (римечание 1)	(см. примечание 1)		±63		мкВ/°C
Параметры питания					
Ток потребления АЦП2 по выв. VDD	Активный режим, 200 тыс. преобразований/сек		400	900	мкА
Нестабильность по напряжению питания			±0.3		мВ/В

Примечание 1: Означает одно стандартное отклонение от средней величины.

8. 12-разрядные ЦАП (ЦАП0 и ЦАП1, C8051F060/1/2/3)

МК C8051F060/1/2/3 имеют два встроенных 12-разрядных ЦАП, выходным сигналом которых является напряжение. Диапазон выходных напряжений каждого ЦАП от 0В до (VREF-1мЗР)В для диапазона входных кодов соответственно от 0x000 до 0xFFFF. Регистры управления DAC0CN и DAC1CN обеспечивают возможность включения/отключения каждого ЦАП. Когда ЦАП отключен, его выход переводится в высокоимпедансное состояние и ток потребления падает до 1 мкА или менее. Опорное напряжение для каждого ЦАП подается через вывод VREFD (C8051F060/2) или через вывод VREF2 (C8051F061/3). Подробная информация о настройке источника опорного напряжения для ЦАП приведена в разделе 9 (C8051F060/2) и в разделе 10 (C8051F061/3). Следует иметь ввиду, что для того, чтобы использовать ЦАП, вывод BIASE, описанный в этих разделах, необходимо установить в 1.

Рисунок 8.1. Функциональная схема ЦАП.



8.1. Формирование выходного сигнала ЦАП.

Каждый ЦАП отличает гибкий механизм обновления выходного сигнала, который позволяет плавно («бесшовно») изменять выходной сигнал во всем диапазоне выходных напряжений и поддерживает обновление выходного сигнала без накопления фазовых искажений. Приведенные ниже примеры касаются ЦАП0, однако ЦАП1 функционирует точно также.

8.1.1. Обновление выходного сигнала “по требованию”.

В режиме по умолчанию ($DAC0CN.[4:3] = '00'$) выходной сигнал ЦАП0 обновляется “по требованию” при записи старшего байта регистра данных ЦАП0 ($DAC0H$). Необходимо иметь в виду, что при записи регистра $DAC0L$ записываемое значение удерживается, но не влияет на выход ЦАП0 до тех пор, пока не произойдет запись в регистр $DAC0H$. Для ЦАП0 12-разрядное слово данных записывается в регистры младшего ($DAC0L$) и старшего ($DAC0H$) байтов данных. Данные фиксируются в ЦАП0 после записи регистра $DAC0H$, поэтому, если требуется получить полную 12-разрядную точность, **последовательность записи должна быть следующей: сначала $DAC0L$, затем $DAC0H$** . ЦАП может использоваться в 8-разрядном режиме. Для этого необходимо инициализировать регистр $DAC0L$ требуемым значением (обычно $0x00$) и записывать данные только в регистр $DAC0H$ (в разделе 8.2 приведена информация о форматировании 12-разрядного слова данных ЦАП в пределах 16 бит регистровой пары $DAC0H:DAC0L$).

8.1.2. Обновление выходного сигнала при переполнении таймера.

При работе АЦП преобразование может быть инициировано переполнением таймера независимо от процессора. Аналогичным образом переполнение таймера может использоваться для обновления выходного сигнала ЦАП. Эту возможность выгодно использовать в системах, в которых ЦАП используется для генерации сигнала с определенной частотой выборки, т.к. задержка реакции на прерывание и время выполнения команд не будут влиять на временные параметры выходного сигнала ЦАП. Если состояние битов $DAC0MD$ ($DAC0CN.[4:3]$) равно $'01'$, $'10'$ или $'11'$, то при записи обоих регистров данных ЦАП ($DAC0H$ и $DAC0L$) записываемые значения удерживаются до момента переполнения соответствующего таймера (Таймер 3, Таймер 4 или Таймер 2 соответственно). В момент переполнения содержимое регистровой пары $DAC0H:DAC0L$ копируется во входные защелки ЦАП, вызывая тем самым обновление выходного сигнала ЦАП.

8.2. Форматирование входных данных ЦАП.

В некоторых случаях перед записью данных в ЦАП0 требуется сдвинуть их, чтобы обеспечить правильное выравнивание данных во входных регистрах ЦАП. Обычно для этого требуется одна или более операций загрузки и сдвига, что увеличивает объем программного кода и ухудшает производительность ЦАП. Чтобы решить эту проблему, предусмотрена возможность форматирования данных, которая позволяет пользователю выбрать режим форматирования слова данных ЦАП0 в регистрах данных $DAC0H$ и $DAC0L$. Три бита $DAC0DF2-0$ ($DAC0CN.[2:0]$) позволяют пользователю задать один из пяти режимов форматирования данных (см. описание регистра $DAC0CN$).

ЦАП1 и описанный выше ЦАП0 функционально идентичны. Электрические характеристики ЦАП0 и ЦАП1 приведены в таблице 8.1.

Рисунок 8.2. DAC0H: Регистр старшего байта ЦАП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD3 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старший значащий байт слова данных ЦАП0.

Рисунок 8.3. DAC0L: Регистр младшего байта ЦАП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD2 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младший значащий байт слова данных ЦАП0.

Рисунок 8.4. DAC0CN: Регистр управления ЦАП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
DAC0EN	-	-	DAC0MD1	DAC0MD0	DAC0DF2	DAC0DF1	DAC0DF0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD4 SFR страница: 0

Бит 7: DAC0EN: Бит включения ЦАП0

0: ЦАП0 выключен. Вывод выхода ЦАП0 отключен; ЦАП0 переведен в режим пониженного энергопотребления.

1: ЦАП0 включен. Вывод выхода ЦАП0 активен. ЦАП0 в рабочем состоянии.

Биты 6-5: **Не используются**: читаются как 00b; запись не оказывает никакого влияния.

Биты 4-3: DAC0MD1-0: Биты выбора режима обновления выходного сигнала ЦАП0.

00: Обновление выходного сигнала ЦАП происходит при записи в регистр DAC0H.

10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 3.

10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 4.

11: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 2.

Биты 2-0: DAC0DF2-0: Биты выбора режима форматирования данных ЦАП0

000: DAC0H[3:0] – старшие 4 бита слова данных ЦАП0
DAC0L – младший байт слова данных ЦАП0

DAC0H								DAC0L							
							СЗР								МЗР

001: DAC0H[4:0] – старшие 5 бит слова данных ЦАП0
DAC0L[7:1] – младшие 7 бит слова данных ЦАП0

DAC0H								DAC0L							
							СЗР								МЗР

010: DAC0H[5:0] – старшие 6 бит слова данных ЦАП0
DAC0L[7:2] – младшие 6 бит слова данных ЦАП0

DAC0H								DAC0L							
							СЗР							МЗР	

011: DAC0H[6:0] – старшие 7 бит слова данных ЦАП0
DAC0L[7:3] – младшие 5 бит слова данных ЦАП0

DAC0H								DAC0L							
							СЗР							МЗР	

1xx: DAC0H – старший байт слова данных ЦАП0
DAC0L[7:4] – младшие 4 бита слова данных ЦАП0

DAC0H								DAC0L							
							СЗР							МЗР	

Рисунок 8.5. DAC1H: Регистр старшего байта ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD3 SFR страница: 1
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старший значащий байт слова данных ЦАП1.

Рисунок 8.6. DAC1L: Регистр младшего байта ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD2 SFR страница: 1
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младший значащий байт слова данных ЦАП1.

Рисунок 8.7. DAC1CN: Регистр управления ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
DAC1EN	-	-	DAC1MD1	DAC1MD0	DAC1DF2	DAC1DF1	DAC1DF0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD4 SFR страница: 1

Бит 7: DAC1EN: Бит включения ЦАП1
 0: ЦАП1 выключен. Вывод выхода ЦАП1 отключен; ЦАП1 переведен в режим пониженного энергопотребления.
 1: ЦАП1 включен. Вывод выхода ЦАП1 активен. ЦАП1 в рабочем состоянии.

Биты 6-5: **Не используются**: читаются как 00b; запись не оказывает никакого влияния.

Биты 4-3: DAC1MD1-0: Биты выбора режима обновления выходного сигнала ЦАП1.
 00: Обновление выходного сигнала ЦАП происходит при записи в регистр DAC1H.
 10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 3.
 10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 4.
 11: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 2.

Биты 2-0: DAC1DF2-0: Биты выбора режима форматирования данных ЦАП1

000: DAC1H[3:0] – старшие 4 бита слова данных ЦАП1
 DAC1L – младший байт слова данных ЦАП1

DAC1H								DAC1L							
							C3P								M3P

001: DAC1H[4:0] – старшие 5 бит слова данных ЦАП1
 DAC1L[7:1] – младшие 7 бит слова данных ЦАП1

DAC1H								DAC1L							
							C3P								M3P

010: DAC1H[5:0] – старшие 6 бит слова данных ЦАП1
 DAC1L[7:2] – младшие 6 бит слова данных ЦАП1

DAC1H								DAC1L							
							C3P							M3P	

011: DAC1H[6:0] – старшие 7 бит слова данных ЦАП1
 DAC1L[7:3] – младшие 5 бит слова данных ЦАП1

DAC1H								DAC1L							
							C3P							M3P	

1xx: DAC1H – старший байт слова данных ЦАП1
 DAC1L[7:4] – младшие 4 бита слова данных ЦАП1

DAC1H								DAC1L							
							C3P							M3P	

Таблица 8.1. Электрические характеристики ЦАП

VDD = 3.0В, AV+ = 3.0В, VREF = 2.4В (REFBE=0), без нагрузки на выходе, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Статические параметры					
Разрядность			12		биты
Интегральная нелинейность			±1,5		МЗР
Дифференциальная нелинейность				±1	МЗР
Выходной шум	Без выходного фильтра С выходным фильтром на 100кГц С выходным фильтром на 10кГц		250 128 41		мкВ/мс
Погрешность смещения нуля	Слово данных = 0x014		±3	±30	мВ
Температурный коэффициент смещения нуля			6×10^{-4}		%/°C
Погрешность полной шкалы			±20	±60	мВ
Температурный коэффициент погрешности полной шкалы			1×10^{-3}		%/°C
Коэффициент подавления по напряжению питания VDD			-60		дБ
Выходное сопротивление в режиме энергосбережения	DACnEN=0		100		кОм
Выходной втекающий ток			300		мкА
Выходной ток короткого замыкания	Слово данных = 0xFFFF		15		мА
Динамические параметры					
Скорость нарастания выходного напряжения	Емкость нагрузки = 40 пФ		0.44		В/мкс
Время установления выходного напряжения в пределах 1/2 МЗР	Емкость нагрузки = 40 пФ, входные коды от 0xFFFF до 0x014		10		мкс
Диапазон выходных напряжений		0		VREF-1МЗР	В
Время запуска			10		мкс
Аналоговые выходы					
Нестабильность выходного напряжения	Ток нагрузки от 0.01мА до 0.3мА при коде 0xFFFF		6×10^{-3}		%
Энергопотребление (каждый ЦАП)					
Ток потребления по выв. AV+	Слово данных = 0x7FF		300	500	мкА

ПРИМЕЧАНИЯ

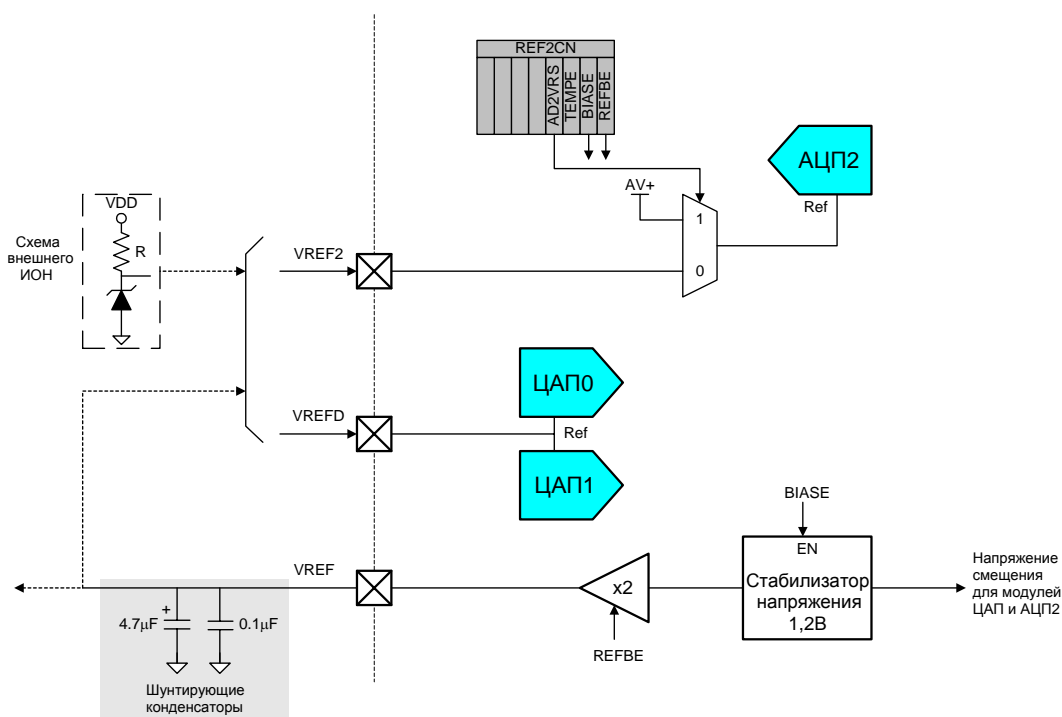
9. Источник опорного напряжения (C8051F060/2)

Схема источника опорного напряжения (ИОН) обеспечивает максимум гибкости при работе модулей ЦАП и АЦП2. Два входных вывода опорного напряжения позволяют каждому ЦАП и АЦП2 подключаться к внешнему ИОН. Эти выводы позволяют также подавать на внешние компоненты системы опорное напряжение от встроенных ИОН. АЦП2 может использовать в качестве опорного напряжения напряжение питания аналоговых модулей (AV+), при этом, благодаря наличию мультиплексора (см. рис.9.1), не требуется соединения каких-либо внешних выводов.

Схема внутреннего ИОН состоит из генератора стабилизированного напряжения 1,2В, устойчивого к изменениям температуры, и выходного буферного усилителя с $K_{уст} = 2$. Опорное напряжение с вывода VREF может быть подано на внешние компоненты системы или на входные выводы опорного напряжения, как показано на рис.9.1. Максимальный ток через вывод VREF в цепь AGND не должен превышать 200 мкА. Вывод VREF рекомендуется соединить с общей шиной AGND шунтирующими конденсаторами емкостью 0,1 мкФ и 4,7 мкФ (см. рис.9.1).

Регистр управления ИОН REF2CN (см. рис.9.2) позволяет включать/отключать внутренний генератор стабилизированного напряжения и выбирать вход опорного напряжения для АЦП2. Бит BIASE регистра REF2CN включает встроенный генератор стабилизированного напряжения, а бит REFBE регистра REF2CN включает буферный усилитель с $K_{уст} = 2$, напряжение с выхода которого подается на вывод VREF. Если стабилизатор и буферный усилитель отключены, то их ток потребления уменьшается до 1 мкА (типичное значение) и менее, а выход буферного усилителя переводится в высокоимпедансное состояние. Если внутренний стабилизатор используется в качестве генератора опорного напряжения, то биты BIASE и REFBE должны быть установлены в 1. Если внутренний ИОН не используется, то бит REFBE можно сбросить в 0. Следует иметь в виду, что, если используются ЦАП или АЦП2, то бит BIASE должен быть установлен в 1 независимо от того, какой ИОН используется – внутренний или внешний. Если ни АЦП2, ни ЦАП не используются, то оба этих бита можно сбросить в 0 с целью уменьшения энергопотребления. Выбор ИОН для АЦП2 (VREF2 или AV+) осуществляется с помощью бита AD2VRS. Электрические параметры схемы ИОН приведены в табл.9.1.

Рисунок 9.1. Функциональная схема источника опорного напряжения



Датчик температуры подключен к старшему каналу входного мультиплексора АЦП2 (см. раздел 7). Бит TEMPE регистра REF2CN разрешает/запрещает работу датчика температуры. В случае запрещения датчик температуры по умолчанию переводится в высокоимпедансное состояние. Любые аналого-цифровые измерения показаний запрещенного датчика температуры возвратят незначимые данные.

Рисунок 9.2. REF2CN: Регистр управления ИОН

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	AD2VRS	TEMPE	BIASE	REFBE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD1 SFR страница: 2
Биты 7-4: Не используются : читаются как 0000b; запись не оказывает никакого влияния.								
Бит 3: AD2VRS: Бит выбора источника опорного напряжения для АЦП2.								
0: В качестве опорного напряжения АЦП2 используется напряжение с вывода VREF2.								
1: В качестве опорного напряжения АЦП2 используется напряжение AV+.								
Бит 2: TEMPE: Бит включения датчика температуры								
0: Внутренний датчик температуры выключен.								
1: Внутренний датчик температуры включен.								
Бит 1: BIASE: Бит включения генератора напряжения смещения для АЦП/ЦАП (должен быть установлен '1', если используются АЦП2 или ЦАП)								
0: Внутренний генератор напряжения смещения отключен.								
1: Внутренний генератор напряжения смещения включен								
Бит 0: REFBE: Бит управления выходным буфером внутреннего ИОН								
0: Буфер внутреннего ИОН выключен.								
1: Буфер внутреннего ИОН включен. Напряжение от внутреннего ИОН подается на вывод VREF.								

Таблица 9.1. Электрические характеристики ИОН

VDD = 3.0V, AV+ = 3.0V, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Внутренний ИОН (REFBE = 1)					
Выходное напряжение	T _{окр. ср.} = 25°C	2.36	2.43	2.48	В
Ток потребления VREF			50		мкА
Ток короткого замыкания через вывод VREF				30	мА
Температурный коэффициент нестабильности напряжения на выводе VREF			0,0015		%/°C
Нестабильность тока по нагрузке	Ток нагрузки = (0-200мкА) в цепь AGND		5 x 10 ⁻⁵		%/мкА
Время стабилизации напряжения на выводе VREF (1)	Танталовый шунтирующий конденсатор емкостью 4.7мкФ, керамический шунтирующий конденсатор емкостью 0.1мкФ		2		мс
Время стабилизации напряжения на выводе VREF (2)	Керамический шунтирующий конденсатор емкостью 0.1мкФ		20		мкс
Время стабилизации напряжения на выводе VREF (3)	Без шунтирующего конденсатора		10		мкс
Внешний ИОН (REFBE = 0)					
Входное напряжение		1.00		(AV+) - 0.3В	В
Входной ток			0	1	мкА

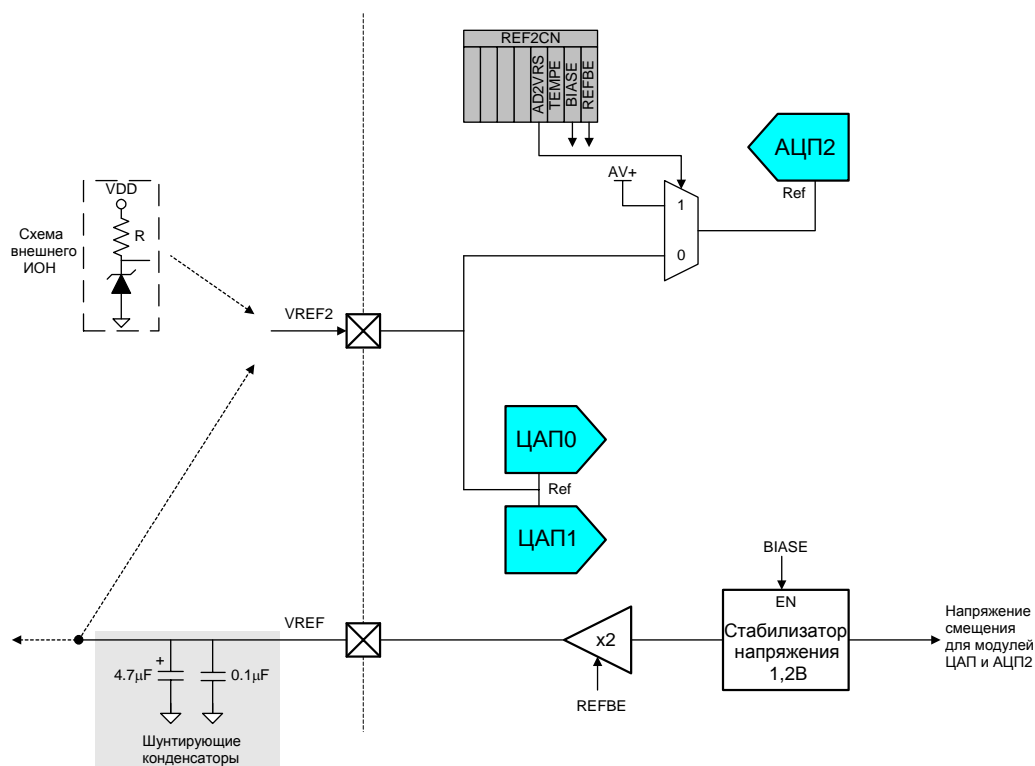
10. Источник опорного напряжения (C8051F061/3)

Схема внутреннего ИОН состоит из генератора стабилизированного напряжения 1,2В, устойчивого к изменениям температуры, и выходного буферного усилителя с $K_{уст} = 2$. Опорное напряжение с вывода VREF может быть подано на внешние компоненты системы или на входной вывод VREF2, как показано на рис.10.1. Максимальный ток через вывод VREF в цепь AGND не должен превышать 200 мкА. Вывод VREF рекомендуется соединить с общей шиной AGND шунтирующими конденсаторами емкостью 0,1мкФ и 4,7мкФ (см. рис.10.1).

Вывод VREF2 является входом опорного напряжения для модулей ЦАП и АЦП2. АЦП2 может также использовать в качестве опорного напряжения напряжение питания аналоговых модулей (AV+), при этом, благодаря наличию мультиплексора (см. рис.10.1), не требуется соединения каких-либо внешних выводов.

Регистр управления ИОН REF2CN (см. рис.10.2) позволяет включать/отключать внутренний генератор стабилизированного напряжения и выбирать вход опорного напряжения для АЦП2. Бит BIASE регистра REF2CN включает встроенный генератор стабилизированного напряжения, а бит REFBE регистра REF2CN включает буферный усилитель с $K_{уст} = 2$, напряжение с выхода которого подается на вывод VREF. Если стабилизатор и буферный усилитель отключены, то их ток потребления уменьшается до 1мкА (типичное значение) и менее, а выход буферного усилителя переводится в высокоимпедансное состояние. Если внутренний стабилизатор используется в качестве генератора опорного напряжения, то биты BIASE и REFBE должны быть установлены в 1. Если внутренний ИОН не используется, то бит REFBE можно сбросить в 0. Следует иметь ввиду, что, если используется АЦП2 или любой ЦАП, то бит BIASE должен быть установлен в 1 независимо от того, какой ИОН используется – внутренний или внешний. Если ни АЦП2, ни ЦАП не используются, то оба этих бита можно сбросить в 0 с целью уменьшения энергопотребления. Выбор ИОН для АЦП2 (VREF2 или AV+) осуществляется с помощью бита AD2VRS. Электрические параметры схемы ИОН приведены в табл.10.1.

Рисунок 10.1. Функциональная схема источника опорного напряжения



Датчик температуры подключен к старшему каналу входного мультиплексора АЦП2 (см. раздел 7). Бит TEMPE регистра REF2CN разрешает/запрещает работу датчика температуры. В случае запрещения датчик температуры по умолчанию переводится в высокоимпедансное состояние. Любые аналого-цифровые измерения показаний запрещенного датчика температуры возвратят незначимые данные.

Рисунок 10.2. REF0CN: Регистр управления ИОН

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	AD2VRS	TEMPE	BIASE	REFBE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD1 SFR страница: 2
Биты 7-4: Не используются : читаются как 0000b; запись не оказывает никакого влияния.								
Бит 3: AD2VRS: Бит выбора источника опорного напряжения для АЦП2.								
0: В качестве опорного напряжения АЦП2 используется напряжение с вывода VREF2.								
1: В качестве опорного напряжения АЦП2 используется напряжение AV+.								
Бит 2: TEMPE: Бит включения датчика температуры								
0: Внутренний датчик температуры выключен.								
1: Внутренний датчик температуры включен.								
Бит 1: BIASE: Бит включения генератора напряжения смещения для АЦП/ЦАП (должен быть установлен '1', если используются АЦП2 или ЦАП)								
0: Внутренний генератор напряжения смещения отключен.								
1: Внутренний генератор напряжения смещения включен.								
Бит 0: REFBE: Бит управления выходным буфером внутреннего ИОН								
0: Буфер внутреннего ИОН выключен.								
1: Буфер внутреннего ИОН включен. Напряжение от внутреннего ИОН подается на вывод VREF.								

Таблица 10.1. Электрические характеристики ИОН

VDD = 3.0В, AV+ = 3.0В, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Внутренний ИОН (REFBE = 1)					
Выходное напряжение	T _{окр. ср.} = 25°C	2.36	2.43	2.48	В
Ток потребления VREF			50		мкА
Ток короткого замыкания через вывод VREF				30	мА
Температурный коэффициент нестабильности напряжения на выводе VREF			0,0015		%/°C
Нестабильность тока по нагрузке	Ток нагрузки = (0-200мкА) в цепь AGND		5 x 10 ⁻⁵		%/мкА
Время стабилизации напряжения на выводе VREF (1)	Танталовый шунтирующий конденсатор емкостью 4.7мкФ, керамический шунтирующий конденсатор емкостью 0.1мкФ		2		мс
Время стабилизации напряжения на выводе VREF (2)	Керамический шунтирующий конденсатор емкостью 0.1мкФ		20		мкс
Время стабилизации напряжения на выводе VREF (3)	Без шунтирующего конденсатора		10		мкс
Внешний ИОН (REFBE = 0)					
Входное напряжение		1.00		(AV+) - 0.3В	В
Входной ток			0	1	мкА

11. Источник опорного напряжения (C8051F064/5/6/7)

Схема внутреннего ИОН состоит из генератора стабилизированного напряжения 1,2В, устойчивого к изменениям температуры, и выходного буферного усилителя с $K_{уст} = 2$. Напряжение от внутреннего ИОН может быть подано на вывод VREF, как показано на рис.11.1. Максимальный ток через вывод VREF в цепь AGND не должен превышать 200 мкА. Вывод VREF рекомендуется соединить с общей шиной AGND шунтирующими конденсаторами емкостью 0,1мкФ и 4,7мкФ (см. рис.11.1).

Регистр управления ИОН REF2CN (см. рис.11.2) позволяет включать/отключать внутренний генератор стабилизированного напряжения. Бит BIASE регистра REF2CN включает встроенный генератор стабилизированного напряжения, а бит REFBE регистра REF2CN включает буферный усилитель с $K_{уст} = 2$, напряжение с выхода которого подается на вывод VREF. Если стабилизатор и буферный усилитель отключены, то их ток потребления уменьшается до 1мкА (типичное значение) и менее, а выход буферного усилителя переводится в высокоимпедансное состояние. Если внутренний стабилизатор используется в качестве генератора опорного напряжения, то биты BIASE и REFBE должны быть установлены в 1. Если внутренний ИОН не используется, то бит REFBE можно сбросить в 0. Электрические параметры схемы ИОН приведены в табл.11.1.

Рисунок 11.1. Функциональная схема источника опорного напряжения

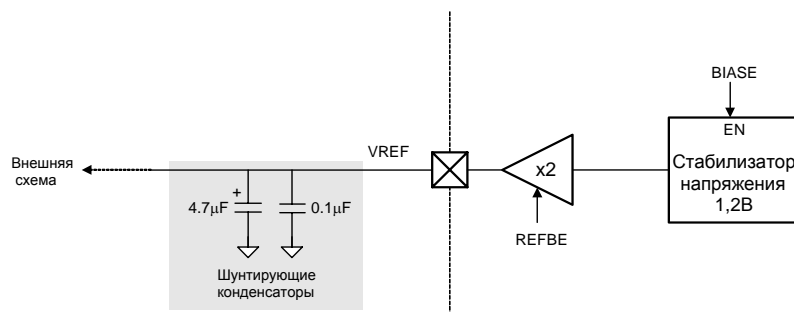


Рисунок 11.2. REF0CN: Регистр управления ИОН

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	-	-	0	0	BIASE	REFBE	SFR Адрес: 0xD1 SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-4: **Не используются:** читаются как 0000b; запись не оказывает никакого влияния.

Биты 3-2: Зарезервированы: необходимо записать 00b.

Бит 1: BIASE: Бит включения генератора напряжения смещения для АЦП/ЦАП (должен быть установлен '1', если используются АЦП2 или ЦАП)

0: Внутренний генератор напряжения смещения отключен.
1: Внутренний генератор напряжения смещения включен.

Бит 0: REFBE: Бит управления выходным буфером внутреннего ИОН

0: Буфер внутреннего ИОН выключен.
1: Буфер внутреннего ИОН включен. Напряжение от внутреннего ИОН подается на вывод VREF.

Таблица 11.1. Электрические характеристики ИОН

VDD = 3.0В, AV+ = 3.0В, T = от -40°C до +85°C, если не указано иное.

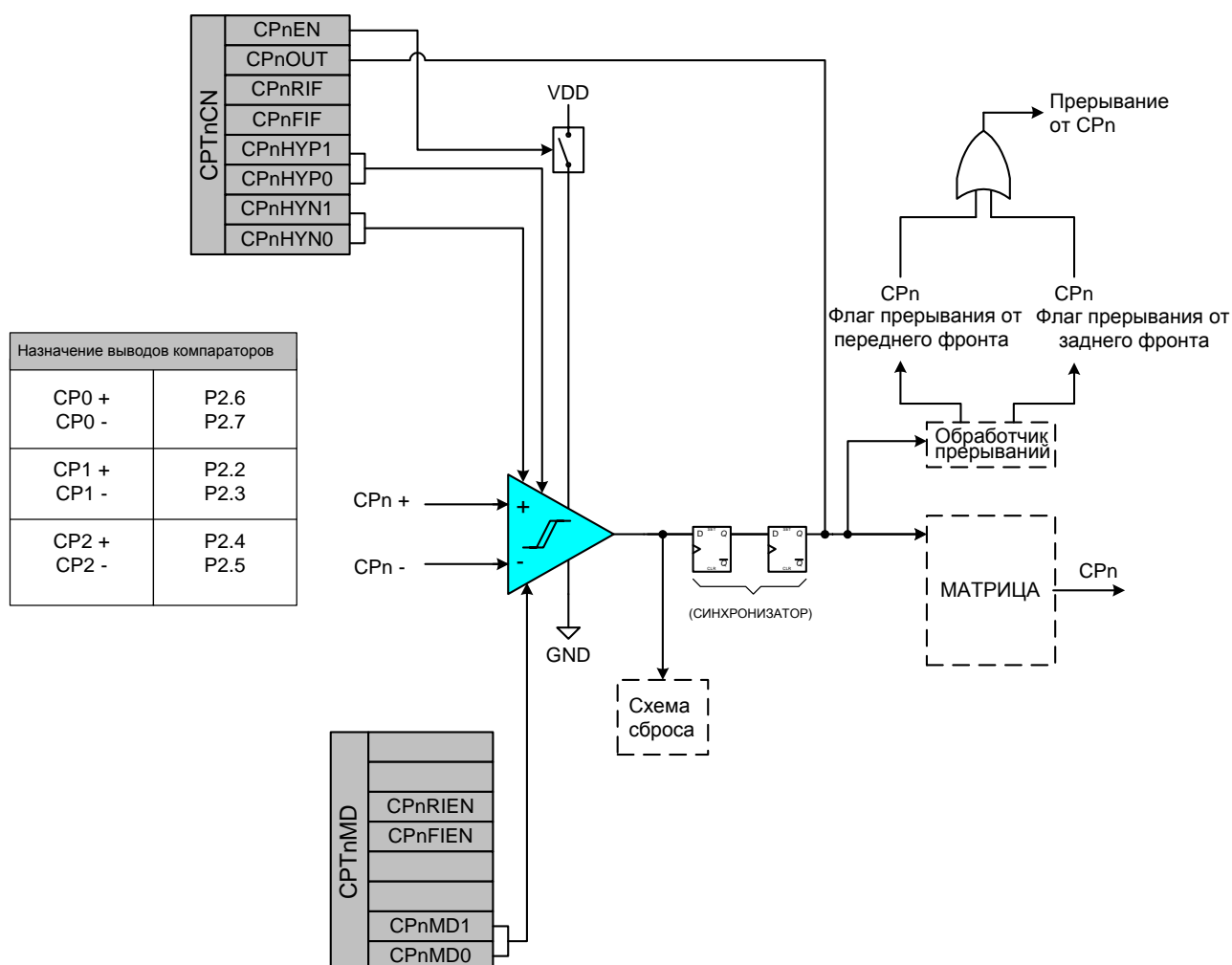
ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Внутренний ИОН (REFBE = 1)					
Выходное напряжение	T _{окр. ср.} = 25°C	2.36	2.43	2.48	В
Ток потребления VREF			50		мкА
Ток короткого замыкания через вывод VREF				30	мА
Температурный коэффициент нестабильности напряжения на выводе VREF			0,0015		%/°C
Нестабильность тока по нагрузке	Ток нагрузки = (0-200мкА) в цепь AGND		5 x 10 ⁻⁵		%/мкА
Время стабилизации напряжения на выводе VREF (1)	Танталовый шунтирующий конденсатор емкостью 4.7мкФ, керамический шунтирующий конденсатор емкостью 0.1мкФ		2		мс
Время стабилизации напряжения на выводе VREF (2)	Керамический шунтирующий конденсатор емкостью 0.1мкФ		20		мкс
Время стабилизации напряжения на выводе VREF (3)	Без шунтирующего конденсатора		10		мкс

12. КОМПАРАТОРЫ

МК C8051F06х имеют три встроенных программируемых компаратора напряжения (см. рис.12.1). Время отклика и гистерезис каждого компаратора можно настраивать программно. Выход каждого компаратора, соединенный с выводом корпуса, может быть настроен как выход с открытым стоком или как цифровой двухтактный выход, а входы компаратора, разведенные на внешние выводы, следует настраивать как аналоговые входы (см. раздел 18.1.5). Компаратор можно использовать также в качестве источника сброса (см. раздел 14.5).

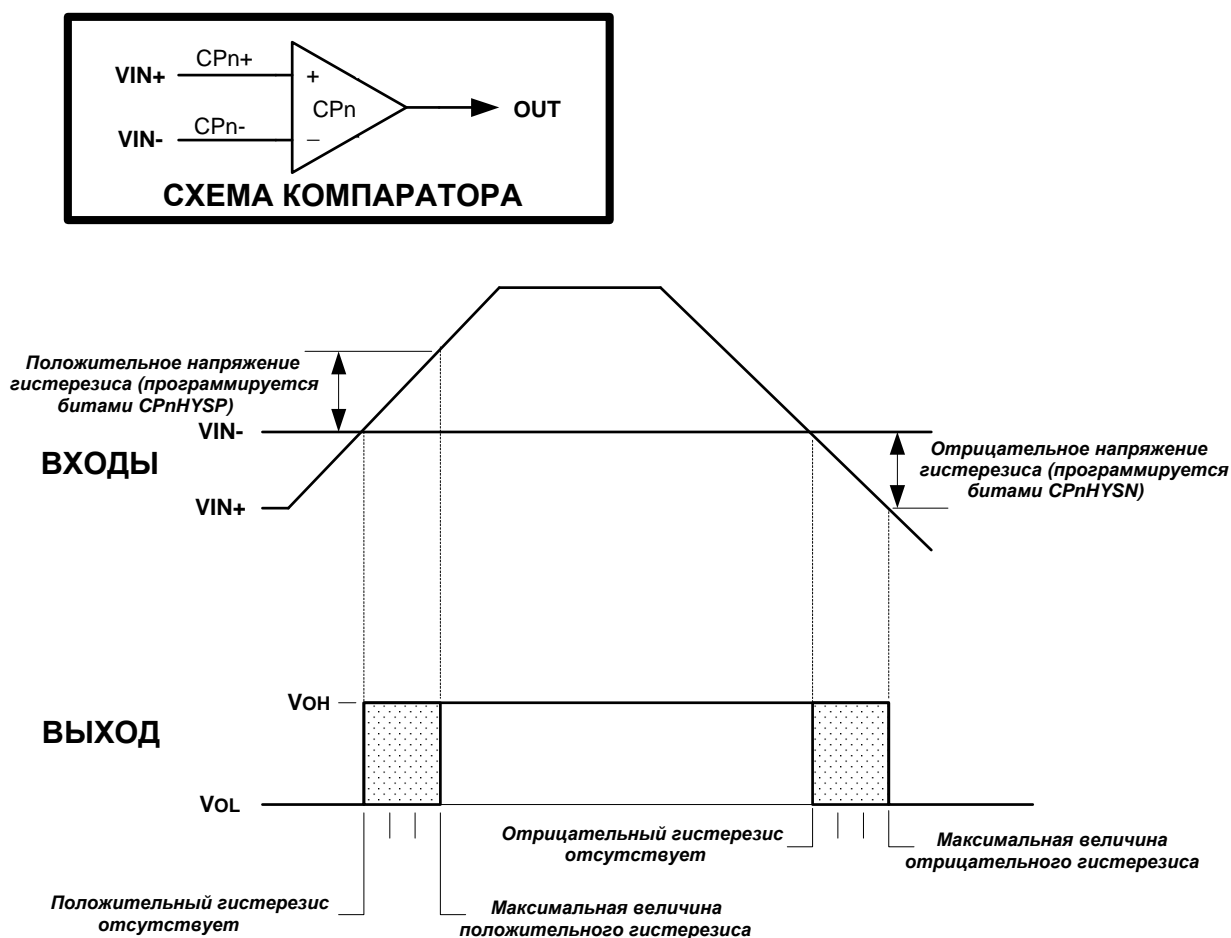
Выход компаратора можно опросить программным путем, его можно использовать в качестве источника прерывания, источника сброса и/или вывести на внешний вывод порта. Каждый компаратор можно разрешить и запретить (отключить). Если компаратор отключен, на его выходе (если он соединен с портом ввода/ вывода через матрицу) по умолчанию удерживается напряжение низкого уровня, а ток потребления становится менее 1мкА. Подробная информация о настройке выходов компараторов с помощью цифровой матрицы приведена в разделе 18.1.1. На входы компаратора можно подавать сигналы с напряжением от -0.25В до (VDD) + 0.25В, не опасаясь повреждения МК или сбоя в его работе. Электрические параметры компараторов приведены в табл. 12.1.

Рисунок 12.1. Функциональная схема компаратора



Время отклика компаратора можно настроить программно, используя биты CPnMD1-0 регистра CPTnMD (см. рис.12.4). Увеличение времени отклика компаратора позволяет снизить потребляемую им мощность. Временные параметры и данные о потребляемой мощности приведены в таблице 12.1.

Рисунок 12.2. Гистерезис компаратора



Параметры гистерезиса каждого компаратора настраиваются программно при помощи соответствующих регистров управления компараторами (CPTnCN). Пользователь может запрограммировать общую ширину петли гистерезиса (касается входного напряжения), задав по отдельности положительное и отрицательное напряжение этого гистерезиса относительно порогового значения.

Параметры гистерезиса Компаратора программируются битами 3-0 регистра управления компаратора CPTnCN (см. рис.12.3). Величина отрицательного напряжения гистерезиса определяется битами CPnHYN. Как показано на рис.12.2, величина отрицательного гистерезиса может быть 20, 10 или 5 мВ, либо отрицательный гистерезис может отсутствовать вовсе. Аналогично величина положительного напряжения гистерезиса определяется битами CPnHYP.

Прерывания от компараторов могут быть сгенерированы по переднему или заднему фронту выходного сигнала. (Обработка прерываний и управление приоритетами прерываний описаны в разделе 13.3). Для разрешения или запрещения прерываний по переднему/заднему фронту используются флаги CPnRIE и CPnFIE в соответствующем регистре выбора режима компаратора CPTnMD (см. рис.12.4). Эти биты позволяют пользователю управлять тем, какой фронт выходного сигнала (положительный, отрицательный или оба) будет вызывать прерывание от компаратора. Однако, прерывание от компаратора должно быть также разрешено в дополнительном регистре разрешения прерываний EIE1. Флаг CPnFIF устанавливается в 1 при возникновении прерывания по заднему фронту выходного сигнала компаратора. Флаг CPnRIF устанавливается в 1 при возникновении прерывания по переднему фронту выходного сигнала компаратора. Эти флаги остаются установленными до тех пор, пока не будут сброшены программно. Состояние выхода компаратора можно получить в любой момент опросом бита CPnOUT. Компаратор включается установкой в 1 соответствующего ему бита CPnEN и отключается сбросом в 0 этого бита. После включения компаратора сигнал на его выходе не сразу принимает корректное значение. Перед использованием компаратора в качестве источника прерывания или сброса необходимо выдержать паузу, длительность которой должна быть не менее времени включения, приведенного в таблице 12.1.

12.1. Входы компаратора

Выводы портов, выбранные в качестве входов компаратора, должны быть настроены в регистре конфигурации входов Портa 2 как аналоговые входы (подробная информация о настройке портов приведена в разделе 18.1.3). Входы компараторов разводятся на выводы порта 2 как показано ниже:

Вход компаратора	Вывод порта
CP0+	P2.6
CP0-	P2.7
CP1+	P2.2
CP1-	P2.3
CP2+	P2.4
CP2-	P2.5

Рисунок 12.3. CPTnCN: Регистр управления Компараторов 0, 1 и 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
CPnEN	CPnOUT	CPnRIF	CPnFIF	CPnHYP1	CPnHYP0	CPnHYN1	CPnHYN0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: CPT0CN: 0x88; CPT1CN: 0x88; CPT2CN: 0x88 SFR страница: CPT0CN: стр.1; CPT1CN: стр.2; CPT2CN: стр.3								
Бит 7: CPnEN: Бит включения Компаратора (см. примечание) 0: Компаратор отключен. 1: Компаратор включен.								
Бит 6: CPnOUT: Флаг состояния выхода Компаратора 0: Напряжение на вх. CPn+ < CPn- 1: Напряжение на вх. CPn+ > CPn-								
Бит 5: CPnRIF: Флаг прерывания по переднему фронту выходного сигнала Компаратора 0: Прерывания по переднему фронту выходного сигнала Компаратора с момента последнего обнуления флага CPnRIF не было. 1: Произошло прерывание по переднему фронту выходного сигнала Компаратора.								
Бит 4: CPnFIF: Флаг прерывания по заднему фронту выходного сигнала Компаратора 0: Прерывания по заднему фронту выходного сигнала Компаратора с момента последнего обнуления флага CPnRIF не было. 1: Произошло прерывание по заднему фронту выходного сигнала Компаратора.								
Биты 3-2: CPnHYP1-0: Биты управления положительным гистерезисом Компаратора 00: Положительный гистерезис отсутствует 01: Положительный гистерезис = 5 мВ 10: Положительный гистерезис = 10 мВ 11: Положительный гистерезис = 20 мВ								
Биты 1-0: CPnHYN1-0: Биты управления отрицательным гистерезисом Компаратора 00: Отрицательный гистерезис отсутствует 01: Отрицательный гистерезис = 5 мВ 10: Отрицательный гистерезис = 10 мВ 11: Отрицательный гистерезис = 20 мВ								
Примечание: После включения компаратора сигнал на его выходе не сразу принимает корректное значение. Перед использованием компаратора в качестве источника прерывания или сброса необходимо выдержать паузу, длительность которой должна быть не менее времени включения, приведенного в таблице 12.1.								

Рисунок 12.4. CPTnMD: Регистр выбора режима компаратора

R/W	R/W	R/W	R/W	R	R	R/W	R/W	Значение при сбросе: 00000010
-	-	CPnRIE	CPnFIE	-	-	CPnMD1	CPnMD0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

SFR Адрес: CPT0MD: 0x89; CPT1MD: 0x89; CPT2MD: 0x89
SFR страница: CPT0MD: стр.1; CPT1MD: стр.2; CPT2MD: стр.3

Биты 7-6: Не используются. Читаются как 00b. Запись этих бит не оказывает никакого влияния.

Бит 5: CPnRIE: Флаг разрешения прерывания от нарастающего фронта выходного сигнала компаратора
0: Прерывание от нарастающего фронта выходного сигнала компаратора запрещено.
1: Прерывание от нарастающего фронта выходного сигнала компаратора разрешено.

Бит 4: CPnFIE: Флаг разрешения прерывания от спадающего фронта выходного сигнала компаратора
0: Прерывание от спадающего фронта выходного сигнала компаратора запрещено.
1: Прерывание от спадающего фронта выходного сигнала компаратора разрешено.

Биты 3-2: Не используются. Читаются как 00b. Запись этих бит не оказывает никакого влияния.

Биты 1-0: CPnMD1-0: Выбор режима компаратора.
Эти биты определяют время отклика компаратора.

Режим	CPnMD1	CPnMD0	Примечания
0	0	0	Минимальное время отклика
1	0	1	-
2	1	0	-
3	1	1	Минимальная потребляемая мощность

Таблица 12.1. Электрические характеристики компаратора

VDD = 3.0В, T = - 40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Время отклика, режим 0	(CPn+) – (CPn-) = 100 мВ		100		мкс
	(CPn+) – (CPn-) = 10 мВ		250		мкс
Время отклика, режим 1	(CPn+) – (CPn-) = 100 мВ		175		мкс
	(CPn+) – (CPn-) = 10 мВ		500		мкс
Время отклика, режим 2	(CPn+) – (CPn-) = 100 мВ		320		мкс
	(CPn+) – (CPn-) = 10 мВ		1100		мкс
Время отклика, режим 3	(CPn+) – (CPn-) = 100 мВ		1050		мкс
	(CPn+) – (CPn-) = 10 мВ		5200		мкс
Коэффициент подавления синфазного сигнала			1.5	4	мВ/В
Положительный гистерезис 1	CPnHYP1-0 = 00		0	1	мВ
Положительный гистерезис 2	CPnHYP1-0 = 01	3	5	7	мВ
Положительный гистерезис 3	CPnHYP1-0 = 10	7	10	15	мВ
Положительный гистерезис 4	CPnHYP1-0 = 11	15	20	25	мВ
Отрицательный гистерезис 1	CPnHYN1-0 = 00		0	1	мВ
Отрицательный гистерезис 2	CPnHYN1-0 = 01	3	5	7	мВ
Отрицательный гистерезис 3	CPnHYN1-0 = 10	7	10	15	мВ
Отрицательный гистерезис 4	CPnHYN1-0 = 11	15	20	25	мВ
Напряжение на инвертирующем или неинвертирующем входах		-0.25		(VDD) + 0.25	В
Входная емкость			7		пФ
Входной ток смещения		-5	0.001	+5	нА
Входное напряжение смещения		-5		+5	мВ
Параметры питания					
Время включения			10		мкс
Нестабильность по напряжению питания			0.1	1	мВ/В
Ток потребления	Режим 0		7,6		мкА
	Режим 1		3,2		мкА
	Режим 2		1,3		мкА
	Режим 3		0,4		мкА

13. ПРОЦЕССОРНОЕ ЯДРО CIP-51

МК C8051F06х используют процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51TM. Для разработки программного обеспечения могут использоваться стандартные (803х/805х) ассемблеры и компиляторы. В состав МК данного семейства входят все периферийные модули, соответствующие стандарту 8051, включая пять 16-разрядных таймеров/счетчиков (см. раздел 24), два полнодуплексных УАПП (см. раздел 22 и раздел 23), 256 байт внутреннего ОЗУ, 128 байт адресного пространства для регистров специального назначения (Special Function Register – SFR)(см. раздел 13.2.6), а также 59/24 вывода ввода/вывода общего назначения (см. раздел 18). Ядро CIP-51 содержит встроенные аппаратные средства отладки (см. раздел 26), а также средства взаимодействия с аналоговыми и цифровыми модулями МК, что позволяет построить на одной микросхеме законченную систему управления или сбора данных.

МК на основе CIP-51 имеют стандартную для архитектуры 8051 структуру и периферию. Кроме этого введены дополнительные специализированные периферийные модули и функции, улучшающие возможности МК (см. рис.13.1). Ниже перечислены основные характеристики ядра CIP-51:

- | | |
|--|--------------------------------------|
| - Полная совместимость с MCS-51 по системе команд | - Развитая система прерываний |
| - Пиковая производительность 25 MIPS на частоте 25 МГц | - Вход сброса |
| - Тактовая частота от 0 до 25МГц | - Различные режимы энергопотребления |
| - 256 байт внутреннего ОЗУ | - Встроенные средства отладки |
| - 59/24 порта ввода-вывода общего назначения | - Защита памяти программ и данных |

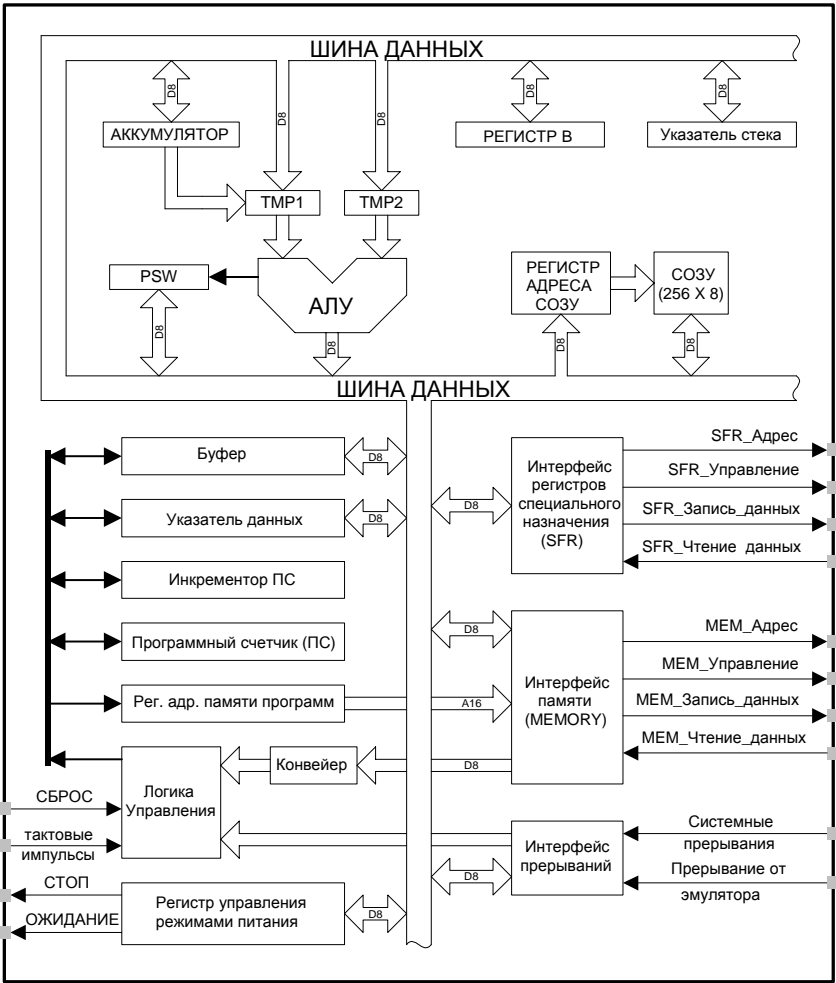
Производительность

CIP-51 использует конвейерную архитектуру, что существенно повышает скорость выполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 тактовых цикла, а максимальная тактовая частота составляет обычно 12 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два тактовых цикла, и ни одна команда не требует более восьми тактовых циклов.

При работе на максимальной тактовой частоте 25 МГц производительность ядра CIP-51 может достигать 25 MIPS. Система команд CIP-51 состоит из 109 команд, которые требуют от одного до восьми тактовых цикла:

Количество команд	26	50	5	14	7	3	1	2	1
Количество тактовых циклов	1	2	2/3	3	3/4	4	4/5	5	8

Рисунок 13.1. Структурная схема CIP-51



Средства поддержки программирования и отладки

Последовательный интерфейс JTAG предназначен для внутрисистемного программирования Flash-памяти программ и взаимодействия со встроенными средствами отладки. Кроме этого перепрограммируемая Flash-память может быть прочитана и изменена прикладной программой в любое время в побайтном режиме, используя команды MOVC и MOVX. Эта возможность позволяет использовать память программ для долговременного хранения данных, а также обновлять программный код под управлением программы.

Встроенные аппаратные средства отладки позволяют осуществлять внутрисхемную отладку в режиме реального времени, при этом возможны расстановка точек останова и временных меток, запуск, остановка и пошаговое исполнение программы (включая процедуры обработки прерываний), проверка программного стека, чтение/запись содержимого регистров и памяти. Это метод отладки является «неразрушающим», не требует вмешательства в структуру отлаживаемой системы и использования внутренних ресурсов МК (например, ОЗУ, стека, таймеров и др.).

CIP-51 поддерживается аппаратными и программными средствами разработки от фирмы Silicon Laboratories и других фирм. Фирма Silicon Laboratories предлагает интегрированную среду проектирования (IDE), которая обеспечивает взаимодействие с CIP-51 посредством JTAG интерфейса, что позволяет осуществлять быстрое и эффективное программирование МК и его отладку. Доступны также макроассемблеры и C-компиляторы независимых фирм-производителей.

13.1. СИСТЕМА КОМАНД

Система команд CIP-51 полностью совместима с системой команд MCS-51™, поэтому разработка программного обеспечения может осуществляться с использованием средств проектирования для стандартной архитектуры 8051. Все команды CIP-51 являются двоичным и функциональным эквивалентом аналогичных команд MCS-51™, включая коды операций, режимы адресации и изменение флагов состояния. Однако, по времени выполнения команды отличаются.

13.1.1. Команды и тактирование

Во многих МК с архитектурой 8051 существует различие между машинным циклом и циклом тактирования, при этом машинный цикл длится от 2 до 12 циклов тактирования. Однако CIP-51 основан исключительно на синхронизации тактовым сигналом и все временные параметры команд приводятся на основе циклов тактирования.

Благодаря конвейерной архитектуре CIP-51, количество тактовых циклов, требуемых для выполнения большинства команд, равно количеству байтов в команде. Команды условных переходов требуют для завершения на один цикл меньше, если переход не происходит (по сравнению с тем случаем, когда переход происходит). Система команд CIP-51 приведена в таблице 13.1, которая содержит мнемонику, количество байтов и количество тактовых циклов для каждой команды.

13.1.2. Команда MOVX и память программ

В CIP-51 команда MOVX используется для доступа к трем типам памяти: встроенной XRAM, внешней XRAM, встроенной Flash-памяти программ. Возможность доступа к Flash-памяти программ обеспечивает механизм, посредством которого программа пользователя может обновлять программный код и использовать область памяти программ для долговременного хранения данных (см. раздел 16). Интерфейс внешней памяти обеспечивает быстрый доступ к внешней XRAM (или отображенным на память периферийным модулям) с помощью команды MOVX (см. раздел 17).

Таблица 12.1. Система команд CIP-51

Мнемоника команды	Описание	Байты	Циклы
АРИФМЕТИЧЕСКИЕ ОПЕРАЦИИ			
ADD A,Rn	Сложение аккумулятора с регистром ($n = 0 \dots 7$)	1	1
ADD A,direct	Сложение аккумулятора с прямо-адресуемым байтом	2	2
ADD A,@Ri	Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ	1	2
ADD A,#data	Сложение аккумулятора с константой	2	2
ADDC A,Rn	Сложение аккумулятора с регистром и переносом	1	1
ADDC A,direct	Сложение аккумулятора с прямо-адресуемым байтом и переносом	2	2
ADDC A,@Ri	Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ и переносом	1	2
ADDC A,#data	Сложение аккумулятора с константой и переносом	2	2
SUBB A,Rn	Вычитание из аккумулятора регистра и заема	1	1
SUBB A,direct	Вычитание из аккумулятора прямо-адресуемого байта и заема	2	2
SUBB A,@Ri	Вычитание из аккумулятора косвенно-адресуемого байта ОЗУ и заема	1	2
SUBB A,#data	Вычитание из аккумулятора константы и заема	2	2
INC A	Инкремент аккумулятора	1	1
INC Rn	Инкремент регистра	1	1
INC direct	Инкремент прямо-адресуемого байта	2	2
INC @Ri	Инкремент косвенно-адресуемого байта ОЗУ	1	2
DEC A	Декремент аккумулятора	1	1
DEC Rn	Декремент регистра	1	1
DEC direct	Декремент прямо-адресуемого байта	2	2
DEC @Ri	Декремент косвенно-адресуемого байта ОЗУ	1	2
INC DPTR	Инкремент указателя данных	1	1
MUL AB	Умножение аккумулятора на регистр В	1	4
DIV AB	Деление аккумулятора на регистр В	1	8
DA A	Десятичная коррекция аккумулятора	1	1
ЛОГИЧЕСКИЕ ОПЕРАЦИИ			
ANL A,Rn	Логическое И аккумулятора и регистра	1	1
ANL A,direct	Логическое И аккумулятора и прямо-адресуемого байта	2	2
ANL A,@Ri	Логическое И аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
ANL A,#data	Логическое И аккумулятора и константы	2	2
ANL direct,A	Логическое И прямо-адресуемого байта и аккумулятора	2	2
ANL direct,#data	Логическое И прямо-адресуемого байта и константы	3	3
ORL A,Rn	Логическое ИЛИ аккумулятора и регистра	1	1
ORL A,direct	Логическое ИЛИ аккумулятора и прямо-адресуемого байта	2	2
ORL A,@Ri	Логическое ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
ORL A,#data	Логическое ИЛИ аккумулятора и константы	2	2
ORL direct,A	Логическое ИЛИ прямо-адресуемого байта и аккумулятора	2	2
ORL direct,#data	Логическое ИЛИ прямо-адресуемого байта и константы	3	3
XRL A,Rn	Исключающее ИЛИ аккумулятора и регистра	1	1
XRL A,direct	Исключающее ИЛИ аккумулятора и прямо-адресуемого байта	2	2
XRL A,@Ri	Исключающее ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
XRL A,#data	Исключающее ИЛИ аккумулятора и константы	2	2
XRL direct,A	Исключающее ИЛИ прямо-адресуемого байта и аккумулятора	2	2
XRL direct,#data	Исключающее ИЛИ прямо-адресуемого байта и константы	3	3
CLR A	Сброс аккумулятора	1	1
CPL A	Инверсия аккумулятора	1	1
RL A	Сдвиг аккумулятора влево циклический	1	1
RLC A	Сдвиг аккумулятора влево через перенос	1	1

Мнемоника команды	Описание	Байты	Циклы
RR A	Сдвиг аккумулятора вправо циклический	1	1
RRC A	Сдвиг аккумулятора вправо через перенос	1	1
SWAP A	Обмен местами тетрад в аккумуляторе	1	1
КОМАНДЫ ПЕРЕДАЧИ ДАННЫХ			
MOV A,Rn	Пересылка в аккумулятор из регистра (n = 0...7)	1	1
MOV A,direct	Пересылка в аккумулятор прямо-адресуемого байта	2	2
MOV A,@Ri	Пересылка в аккумулятор косвенно-адресуемого байта ОЗУ	1	2
MOV A,#data	Загрузка в аккумулятор константы	2	2
MOV Rn,A	Пересылка в регистр из аккумулятора	1	1
MOV Rn,direct	Пересылка в регистр прямо-адресуемого байта	2	2
MOV Rn,#data	Загрузка в регистр константы	2	2
MOV direct,A	Пересылка по прямому адресу аккумулятора	2	2
MOV direct,Rn	Пересылка по прямому адресу регистра	2	2
MOV direct,direct	Пересылка прямо-адресуемого байта по прямому адресу	3	3
MOV direct,@Ri	Пересылка косвенно-адресуемого байта ОЗУ по прямому адресу	2	2
MOV direct,#data	Пересылка по прямому адресу константы	3	3
MOV @Ri,A	Пересылка в косвенно-адресуемую ячейку ОЗУ аккумулятора	1	2
MOV @Ri,direct	Пересылка в косвенно-адресуемую ячейку ОЗУ прямо-адресуемого байта	2	2
MOV @Ri,#data	Пересылка в косвенно-адресуемую ячейку ОЗУ константы	2	2
MOV DPTR,#data16	Загрузка указателя данных	3	3
MOVC A,@A+DPTR	Пересылка в аккумулятор байта из памяти программ	1	3
MOVC A,@A+PC	Пересылка в аккумулятор байта из памяти программ	1	3
MOVX A,@Ri	Пересылка в аккумулятор байта из внешней памяти данных	1	3
MOVX @Ri,A	Пересылка байта из аккумулятора во внешнюю память данных	1	3
MOVX A,@DPTR	Пересылка в аккумулятор из расширенной внешней памяти данных	1	3
MOVX @DPTR,A	Пересылка из аккумулятора в расширенную внешнюю память данных	1	3
PUSH direct	Загрузка в стек	2	2
POP direct	Извлечение из стека	2	2
XCH A,Rn	Обмен аккумулятора с регистром	1	1
XCH A,direct	Обмен аккумулятора с прямо-адресуемым байтом	2	2
XCH A,@Ri	Обмен аккумулятора с косвенно-адресуемым байтом ОЗУ	1	2
XCHD A,@Ri	Обмен младшей тетрады аккумулятора с младшей тетрадой косвенно-адресуемого байта ОЗУ	1	2
ОПЕРАЦИИ С БИТАМИ			
CLR C	Сброс переноса	1	1
CLR bit	Сброс бита	2	2
SETB C	Установка переноса	1	1
SETB bit	Установка бита	2	2
CPL C	Инверсия переноса	1	1
CPL bit	Инверсия бита	2	2
ANL C,bit	Логическое И бита и переноса	2	2
ANL C,/bit	Логическое И инверсии бита и переноса	2	2
ORL C,bit	Логическое ИЛИ бита и переноса	2	2
ORL C,/bit	Логическое ИЛИ инверсии бита и переноса	2	2
MOV C,bit	Пересылка бита в перенос	2	2
MOV bit,C	Пересылка переноса в бит	2	2
JC rel	Переход, если перенос равен единице	2	2/3

Мнемоника команды	Описание	Байты	Циклы
JNC rel	Переход, если перенос равен нулю	2	2/3
JB bit,rel	Переход, если бит равен единице	3	3/4
JNB bit,rel	Переход, если бит равен нулю	3	3/4
JBC bit,rel	Переход, если бит установлен, с последующим сбросом бита	3	3/4
ПРОГРАММНЫЕ ПЕРЕХОДЫ			
ACALL addr11	Абсолютный вызов подпрограммы в пределах страницы в 2 Кбайта	2	3
LCALL addr16	Длинный вызов подпрограммы	3	4
RET	Возврат из подпрограммы	1	5
RETI	Возврат из подпрограммы обработки прерывания	1	5
AJMP addr11	Абсолютный переход внутри страницы в 2 Кбайта	2	3
LJMP addr16	Длинный переход в полном объеме памяти программ	3	4
SJMP rel	Короткий относительный переход внутри страницы в 256 байт	2	3
JMP @A+DPTR	Косвенный относительный переход	1	3
JZ rel	Переход, если аккумулятор равен нулю	2	2/3
JNZ rel	Переход, если аккумулятор не равен нулю	2	2/3
CJNE A,direct,rel	Сравнение аккумулятора с прямо-адресуемым байтом и переход, если не равно	3	3/4
CJNE A,#data,rel	Сравнение аккумулятора с константой и переход, если не равно	3	3/4
CJNE Rn,#data,rel	Сравнение регистра с константой и переход, если не равно	3	3/4
CJNE @Ri,#data,rel	Сравнение косвенно-адресуемого байта ОЗУ с константой и переход, если не равно	3	4/5
DJNZ Rn,rel	Декремент регистра и переход, если не нуль	2	2/3
DJNZ direct,rel	Декремент прямо-адресуемого байта и переход, если не нуль	3	3/4
NOP	Холостая команда	1	1

Условные обозначения:

Rn - Регистр R0-R7 выбранного банка регистров.

@Ri – Ячейка ОЗУ данных, адресуемая косвенно через регистры R0-R1

rel - 8-битное смещение со знаком (в дополнительном коде) относительно первого байта следующей команды. Используется командой SJMP и всеми командами условных переходов.

direct - 8-битный адрес ячейки внутреннего ОЗУ данных. Это может быть ячейка ОЗУ данных прямого доступа (0x00-0x7F) или регистр специального назначения SFR (0x80-0xFF).

#data - 8-битная константа

#data 16 - 16-битная константа

bit – Прямо-адресуемый бит ячейки ОЗУ данных или регистра специального назначения SFR.

addr 11 - 11-битный адрес перехода, используемый командами ACALL и AJMP. Переход должен осуществляться в пределах той 2-Кбайтной страницы памяти программ, в которой расположен первый байт следующей команды.

addr 16 - 16-битный адрес перехода, используемый командами LCALL и LJMP. Переход может осуществляться в пределах всего 64-Кбайтного пространства памяти программ.

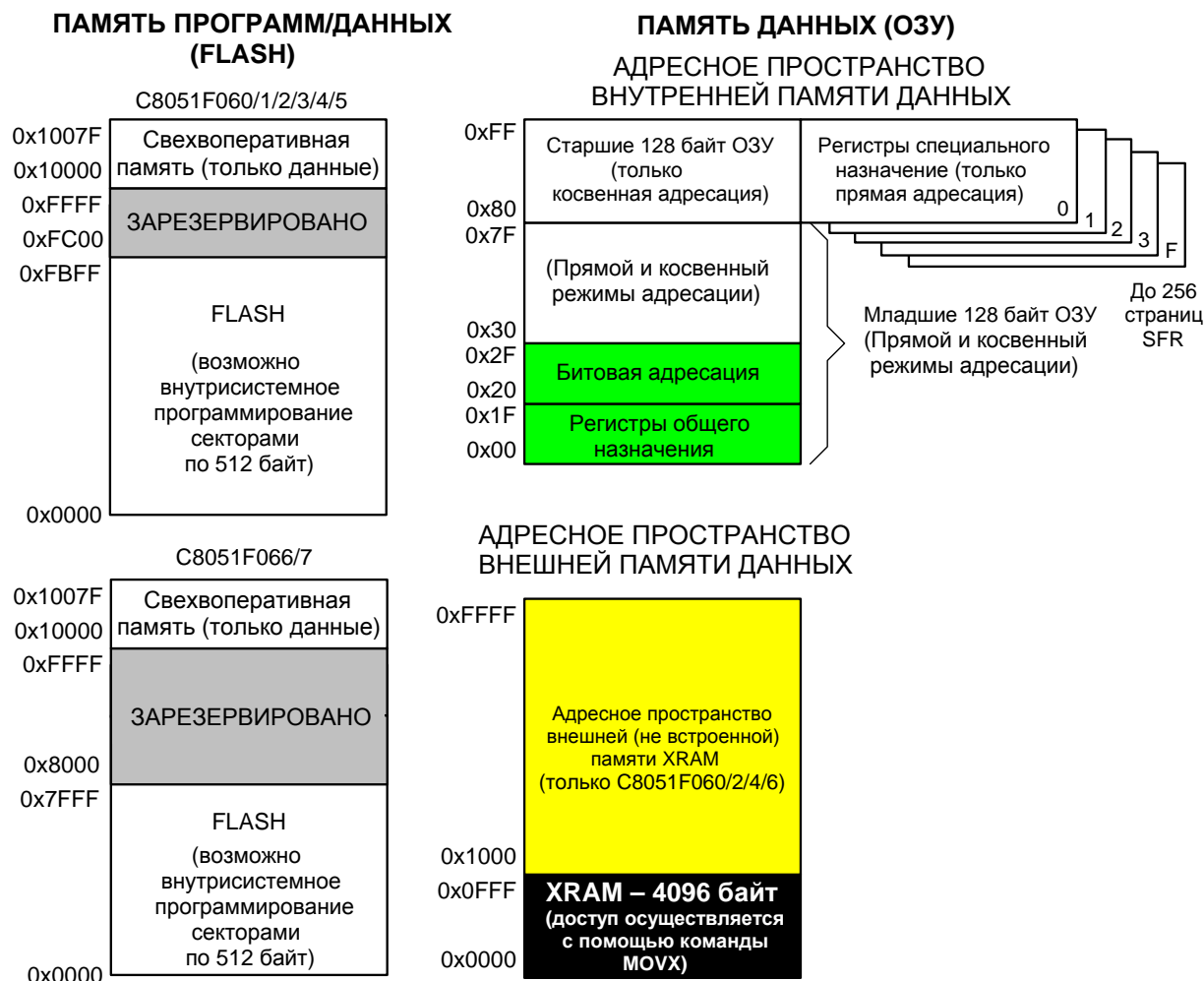
Существует один неиспользуемый код операции (0xA5), который исполняется аналогично команде NOP.

На всю мнемонику распространяется авторское право © Intel Corporation 1980.

13.2. ОРГАНИЗАЦИЯ ПАМЯТИ

Организация памяти МК с ядром CIP-51 соответствует стандарту 8051. Имеется две отдельных области памяти, память программ и память данных, которые разделяют одно и то же адресное пространство, но доступ к ним осуществляется командами различного типа. Имеется 256 байт внутренней памяти данных и 64 Кбайт (C8051F060/1/2/3/4/5) или 32 Кбайт (C8051F066/7) адресного пространства внутренней памяти программ, реализованных в CIP-51. Организация памяти CIP-51 показана на рис.13.2.

Рисунок 13.2. Карта распределения памяти



13.2.1. Память программ

CIP-51 имеет адресное пространство памяти программ 64 Кбайт. В МК C8051F060/1/2/3/4/5 физически реализовано 64 Кбайт этой памяти программ, которая является внутрисистемной перепрограммируемой Flash-памятью, занимающей непрерывный блок адресов от 0x0000 до 0xFFFF. Следует иметь в виду, что 1024 байт (0xFC00 – 0xFFFF) этой памяти зарезервированы для целей производителя и не доступны для хранения программ пользователя. В МК C8051F066/7 физически реализовано 32 Кбайт этой памяти программ, которая является внутрисистемной перепрограммируемой Flash-памятью, занимающей непрерывный блок адресов от 0x0000 до 0x7FFF.

По умолчанию память программ настраивается только для чтения. Однако CIP-51 может записывать данные в память программ (с использованием команды MOVX), для чего необходимо разрешить запись во Flash-память программ. Эта возможность позволяет CIP-51 обновлять программный код и использовать память программ для долговременного хранения данных. Подробная информация о работе с Flash-памятью приведена в разделе 16.

13.2.2. Память данных

Физически реализовано 256 байт внутреннего ОЗУ, отображенного в пространстве памяти данных с адресами от 0x00 до 0xFF. Младшие 128 байт памяти данных используются для регистров общего назначения (РОН) и сверхоперативного ЗУ (СОЗУ). Для доступа к младшим 128 байтам памяти данных можно использовать либо прямую, либо косвенную адресацию. Ячейки с адресами от 0x00 до 0x1F разбиты на четыре банка РОН, каждый банк состоит из восьми однобайтовых регистров. Следующие 16 байт (0x20 - 0x2F) могут адресоваться побайтно или побитно как 128 бит, доступные в режиме прямой битовой адресации.

Старшие 128 байт памяти данных доступны только в режиме косвенной адресации. Эта область памяти занимает то же самое адресное пространство, что и регистры специального назначения (Special Function Registers - SFR), но физически отделена от них. При обращении к ячейкам памяти с адресами 0x7F - 0xFF использующийся в команде режим адресации определяет, к чему осуществляется доступ: к старшим 128 байтам памяти данных или к SFR. Команды, которые используют режим прямой адресации, будут обращаться к SFR. Команды, использующие режим косвенной адресации, будут обращаться к старшим 128 байтам памяти данных. На рис.13.2 показана организация памяти данных CIP-51.

13.2.3. Регистры общего назначения

Младшие 32 байта памяти данных (0x00 - 0x1F) разбиты на четыре банка регистров общего назначения. Каждый банк состоит из восьми однобайтовых регистров, обозначаемых R0-R7. В конкретный момент времени может быть активен лишь один банк, определяемый битами RS0 (PSW.3) и RS1 (PSW.4) в слове состояния программы (program status word) PSW (см. описание PSW на рис.13.16). Это позволяет осуществлять быстрое переключение контекста при вызове подпрограмм и процедур обработки прерываний. Режимы косвенной адресации используют регистры R0 и R1 в качестве индексных регистров.

13.2.4. Ячейки памяти с битовой адресацией

Кроме прямого (побайтного) доступа к памяти данных 16 ячеек этой памяти с адресами 0x20 - 0x2F доступны также как 128 индивидуально адресуемых бит. Каждый бит имеет битовый адрес от 0x00 до 0x7F. Бит 0 байта 0x20 имеет битовый адрес 0x00, а бит 7 байта 0x20 имеет битовый адрес 0x07. Бит 7 байта 0x2F имеет битовый адрес 0x7F. Битовый доступ можно отличить от байтового доступа по типу используемой команды (операнды исходных данных и результата в первом случае являются битами, во втором – байтами).

Ассемблер MCS-51™ допускает альтернативную запись для режима битовой адресации в форме XX.B, где XX – адрес байта, а B – позиция бита внутри этого байта. Например, команда:

```
MOV C, 22h.3
```

присваивает значение бита 0x13 (бит 3 в ячейке с адресом 0x22) флагу переноса.

13.2.5. Стек

Программный стек может быть размещен в любом месте 256-байтной памяти данных. Область стека определяется с использованием указателя стека (Stack Pointer - SP, 0x81). SP будет указывать на последнюю использованную ячейку. Следующее значение, загружаемое в стек, размещается по адресу SP+1, и затем SP инкрементируется. При сбросе SP инициализируется значением 0x07. Поэтому первое значение, загружаемое в стек, размещается по адресу 0x08, которое также является первым регистром (R0) регистрового банка 1. Таким образом, если требуется использовать более одного банка регистров, SP следует инициализировать адресом ячейки ОЗУ, не используемой для хранения данных. Стек может иметь глубину до 256 байт.

МК также имеют встроенный аппаратный регистратор стековых операций, который представляет собой 32-разрядный сдвиговый регистр. Каждая команда PUSH или инкремент SP загружают один регистрационный бит в этот регистр, каждая команда CALL или прерывание загружают два регистрационных бита в этот регистр. (Команда POP или декремент SP извлекают один регистрационный бит, а команда RET извлекает два регистрационных бита из этого регистра). Схема регистратора стековых операций способна определять переполнение или опустошение стека и может уведомлять программные средства отладки, даже если МК отлаживается в режиме реального времени.

13.2.6. Регистры специального назначения

Ячейки памяти данных с адресами от 0x80 до 0xFF, доступные в режиме прямой адресации, образуют регистры специального назначения (special function registers - SFR). SFR позволяют управлять ресурсами ядра CIP-51 и периферийными модулями, а также осуществлять обмен данными с ними. CIP-51 дублирует SFR, типичные для архитектуры 8051, и содержит дополнительные SFR, используемые для настройки подсистем, уникальных для данного семейства МК, и доступа к ним. Это позволяет реализовать новые возможности при сохранении совместимости с системой команд MCS-51™. В таблице 13.2 перечислены все SFR МК на основе CIP-51.

Регистры SFR доступны в любое время, когда для доступа к ячейкам памяти с адресами от 0x80 до 0xFF используется режим прямой адресации. SFR с адресами, оканчивающимися на 0x0 или 0x8 (т.е. P0, TCON, P1, SCON, IE, и т.д.), адресуются как побайтно, так и побитно. Все другие SFR адресуются только побайтно. Незанятые адреса в области SFR зарезервированы для дальнейшего использования. Обращение к ячейкам из этой области даст неопределенный результат и должно быть исключено. Подробное описание каждого регистра приведено на соответствующей странице данного руководства (см. табл. 13.3).

13.2.6.1. Страничная организация SFR.

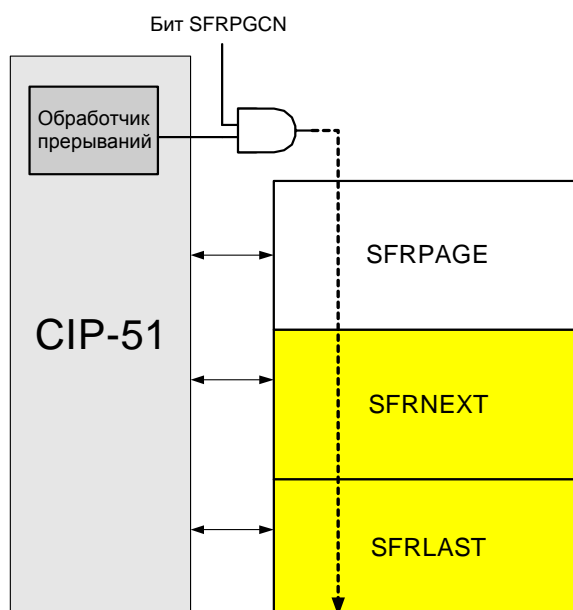
В CIP-51 используется страничная организация SFR, что позволяет отображать в адресном пространстве 0x80 – 0xFF большое количество регистров SFR. Пространство памяти SFR имеет 256 страниц. Таким образом, каждая ячейка памяти из области 0x80 – 0xFF может адресовать до 256 регистров SFR. В МК семейства C8051F06x используются пять SFR страниц: 0, 1, 2, 3 и F. SFR страницы выбираются при помощи регистра выбора страницы SFR SFRPAGE (см. рис.13.10). Последовательность действий при чтении и записи SFR следующая:

1. Выбрать номер соответствующей SFR страницы, используя регистр SFRPAGE.
2. Прочитать или записать регистр SFR, используя режим прямой адресации (команда MOV).

13.2.6.2. Страничная организация SFR и прерывания.

При возникновении прерывания регистр страницы SFR автоматически переключится на ту страницу SFR, которая содержит флаг, вызвавший прерывание. Функция автоматического переключения SFR страницы просто освобождает процедуру обслуживания прерывания от необходимости переключать SFR страницы. После выполнения команды RETI SFR страница автоматически восстановится, т.е. будет установлена та SFR страница, которая использовалась до прерывания. Это осуществляется с помощью трехбайтного *стека SFR страниц*. Старшим байтом стека является SFRPAGE, текущая SFR страница. Вторым байтом стека SFR страниц является SFRNEXT. Третьим (младшим) байтом стека SFR страниц является SFRLAST. При возникновении прерывания текущее значение SFRPAGE загружается в регистр SFRNEXT, а значение SFRNEXT загружается в регистр SFRLAST. Затем в регистр SFRPAGE аппаратно записывается номер той SFR страницы, которая содержит флаг, вызвавший прерывание. При возврате из прерывания стек SFR страниц «выталкивается», в результате чего значение из SFRNEXT возвращается в регистр SFRPAGE, т.е. номер SFR страницы восстанавливается без вмешательства со стороны программы. Значение из SFRLAST (0x00, если на дне стека нет значения SFR страницы) помещается в регистр SFRNEXT. При необходимости в процедуре обслуживания прерывания можно модифицировать значения, сохраненные в регистрах SFRNEXT и SFRLAST, тогда при выполнении команды RETI (при выходе из прерывания) произойдет возврат на другую SFR страницу. Модификация регистров в стеке SFR страниц не приведет к «проталкиванию» стека. Лишь вызов прерывания и возврат из прерывания могут инициировать операции загрузки/извлечения стека SFR страниц.

Рисунок 13.3. Стек страниц SFR



Автоматическое аппаратное переключение страниц SFR можно разрешить или запретить (при необходимости), используя бит разрешения автоматического управления страницами SFR, размещенный в регистре управления страницами SFR (SFRPGCN). После сброса эта функция по умолчанию разрешена (включена). Таким образом, функция автоматического переключения SFR страниц будет включена до тех пор, пока она не будет отключена в программе.

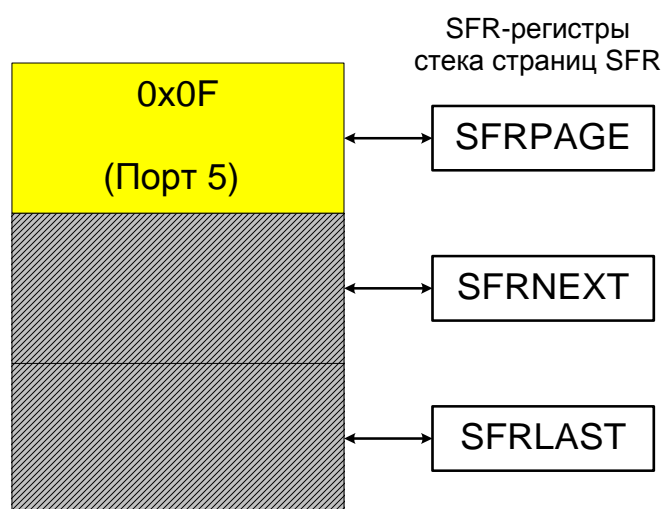
Полный перечень ячеек SFR (адрес и SFR страница) приведен в таблице 13.2 в виде карты распределения памяти SFR. Каждая ячейка памяти в этой карте имеет строку SFR страниц, показывающую, на какой странице находится данный SFR регистр. Следует отметить, что некоторые регистры SFR доступны со всех SFR страниц и имеют обозначение «**ВСЕ СТРАНИЦЫ**». Например, регистры портов ввода/вывода P0, P1, P2 и P3 все имеют обозначение «**ВСЕ СТРАНИЦЫ**», означающее, что эти регистры SFR доступны со всех страниц SFR независимо от значения регистра SFRPAGE.

13.2.6.3. Пример стека SFR страниц

Ниже приведен пример, показывающий функционирование стека SFR страниц при возникновении прерывания.

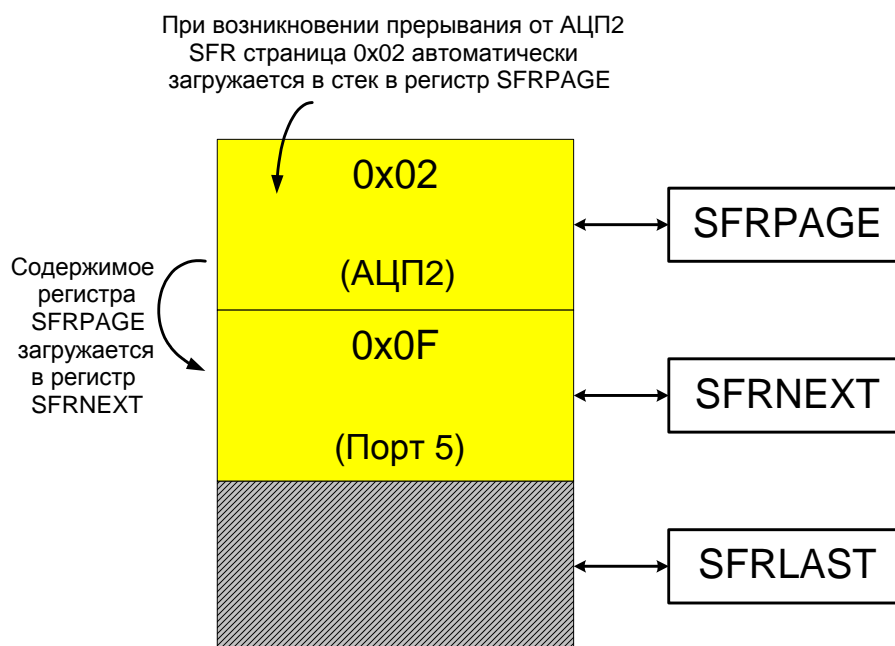
В этом примере управление SFR страницами оставлено во включенном по умолчанию состоянии (т.е. $SFRPGEN = 1$) и CIP-51 выполняет программный код (без переходов), записывающий значение в Порт 5 (SFR регистр «P5», расположенный по адресу 0xD8 на SFR странице 0x0F). Кроме этого МК использует программируемый массив счетчиков (ПМС) и детектор диапазона 10-разрядного АЦП (АЦП2) для слежения за напряжением. ПМС тактирует критичную управляющую функцию в своей процедуре обслуживания прерывания, поэтому прерывание от ПМС разрешено и ему назначен высокий приоритет. АЦП2 отслеживает напряжение, что не так важно, но с целью оптимизации программы используются прерывания от детектора диапазона АЦП2, которым присвоен низкий приоритет. Изначально SFR страница настроена для доступа к SFR регистру Порта 5 ($SFRPAGE = 0x0F$). См. рис.13.4 ниже.

Рисунок 13.4. Стек страниц SFR при использовании страницы SFR 0x0F для обращения к Порту 5



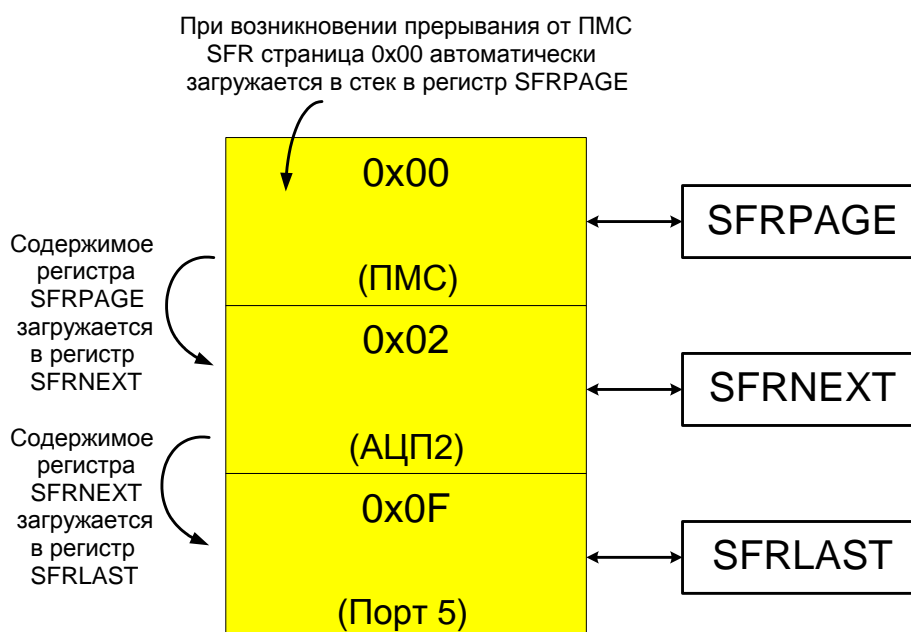
Сначала в нашем примере во время выполнения программного кода (записывающего в этом примере значение в Порт 5) происходит прерывание от детектора диапазона АЦП2. СІР-51 переходит на процедуру обслуживания прерывания от детектора диапазона АЦП2 и записывает номер текущей SFR страницы (0x0F) в регистр SFRNEXT в стеке SFR страниц. Номер SFR страницы, необходимой для доступа к SFR регистрам АЦП2, затем автоматически загружается в регистр SFRPAGE (0x02). SFRPAGE считается «вершиной» стека SFR страниц. Теперь программа может обращаться к SFR регистрам АЦП2. Программа может переключиться на любую страницу SFR путем записи нового значения в регистр SFRPAGE в любой момент во время выполнения процедуры обслуживания прерывания от АЦП2. Это может потребоваться для доступа к SFR регистрам, расположенным на других SFR страницах (не 0x02). См. рис.13.5 ниже.

Рисунок 13.5. Стек страниц SFR после возникновения прерывания от детектора диапазона АЦП2



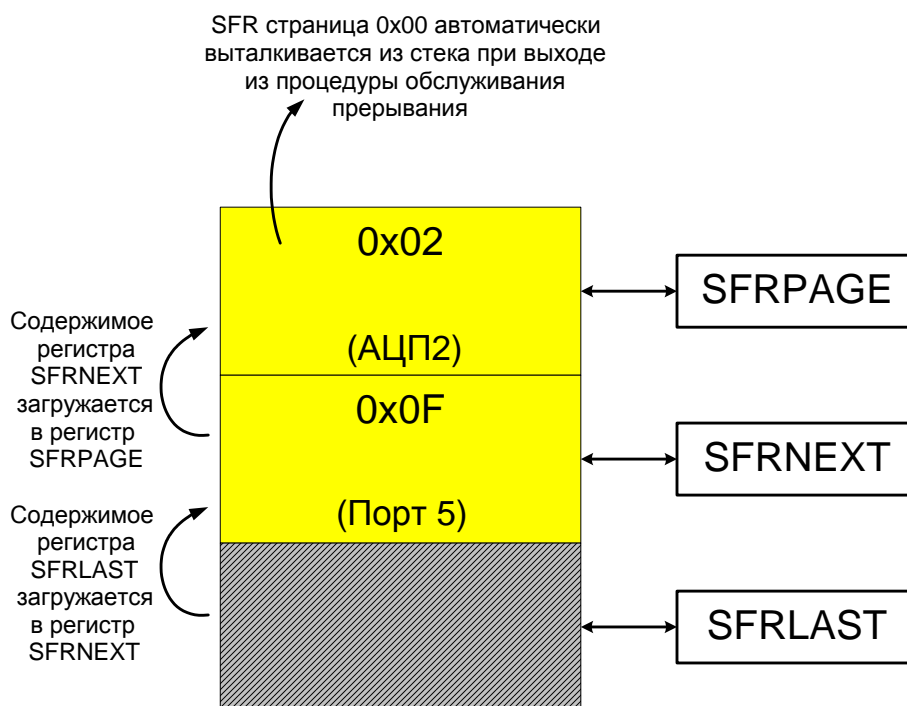
Далее во время выполнения процедуры обслуживания прерывания от АЦП2 происходит прерывание от ПМС. Прерыванию от ПМС назначен высокий уровень приоритета, а прерыванию от АЦП2 назначен низкий уровень приоритета. Поэтому произойдет переход на процедуру обслуживания прерывания от ПМС, имеющую более высокий приоритет. После этого CIP-51 автоматически запишет номер страницы SFR, необходимой для доступа к регистрам специального назначения ПМС, в регистр SFRPAGE (0x00). Значение, которое было в регистре SFRPAGE до возникновения прерывания от ПМС (SFR страница 0x02 для АЦП2), записывается вниз по стеку в регистр SFRNEXT. Аналогичным образом значение, которое было в регистре SFRNEXT до возникновения прерывания от ПМС (в данном случае SFR страница 0x0F для Porta 5), записывается вниз по стеку в регистр SFRLAST, т.е. на «дно» стека. Следует иметь в виду, что значение, сохраненное в регистре SFRLAST (записанное ранее программой) будет переписано. См. рис. 13.6 ниже.

Рисунок 13.6. Стек страниц SFR после возникновения прерывания от модуля ПМС во время выполнения процедуры обслуживания прерывания от АЦП2



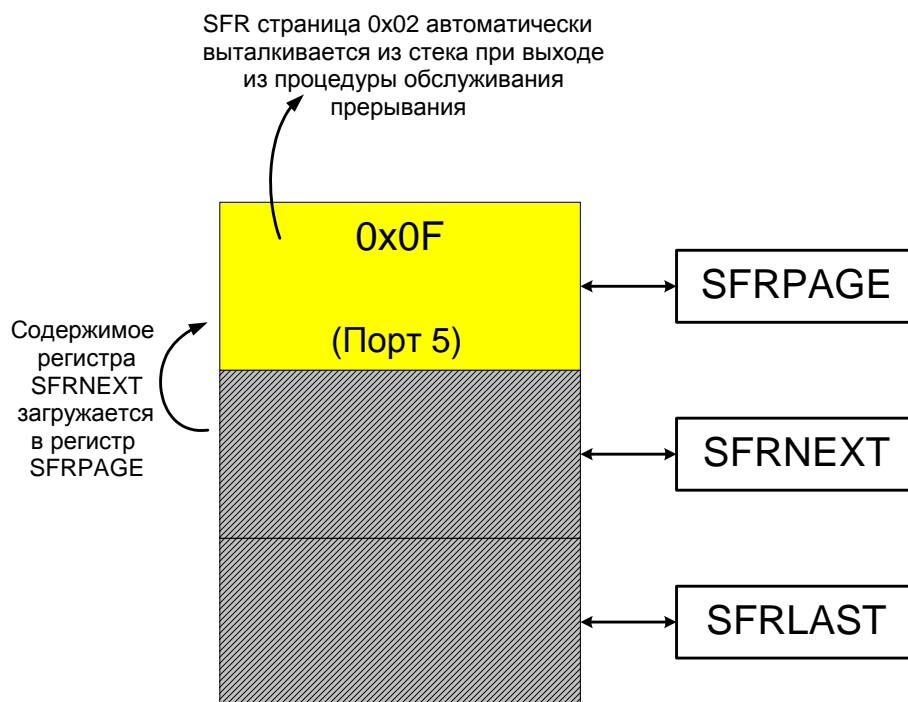
При выходе из процедуры обслуживания прерывания от модуля ПМС CIP-51 возвратится к процедуре обслуживания прерывания от детектора диапазона АЦП2. После выполнения команды RETI SFR страница 0x00, которая использовалась для доступа к регистрам ПМС, автоматически будет извлечена из стека SFR страниц, а содержимое регистра SFRNEXT будет помещено в регистр SFRPAGE. Программа в процедуре обслуживания прерывания от АЦП2 может продолжать обращаться к SFR регистрам так же, как и до возникновения прерывания от ПМС. Аналогичным образом содержимое регистра SFRLAST записывается в регистр SFRNEXT. Напомним, что оно представляет собой номер 0x0F SFR страницы, которая использовалась для доступа к Порту 5 до возникновения прерывания от АЦП2. См. рис. 13.7 ниже.

Рисунок 13.7. Стек страниц SFR после возврата из процедуры обслуживания прерывания от модуля ПМС



После выполнения команды RETI в процедуре обслуживания прерывания от детектора диапазона АЦП2 содержимое регистра SFRNEXT переписывается в регистр SFRPAGE. Теперь CIP-51 может обращаться к SFR регистрам Порты 5 так же, как и до возникновения прерываний. См. рис. 13.8 ниже.

Рисунок 13.8. Стек страниц SFR после возврата из процедуры обслуживания прерывания от детектора диапазона АЦП2



Следует отметить, что в приведенном выше примере все три байта в стеке SFR страниц доступны через регистры специального назначения SFRPAGE, SFRNEXT и SFRLAST. Если стек изменяется во время обслуживания прерывания, то при выходе из прерывания возврат может произойти на SFR страницу, отличную от той, которая была выбрана до вызова прерывания. Прямой доступ к стеку SFR страниц может оказаться полезным в том случае, когда, например, требуется разрешить системам, работающим в реальном (масштабе) времени, управлять переключением контекста между различными задачами.

Загрузка данных в стек SFR страниц происходит лишь при обслуживании прерывания, а извлечение данных из стека SFR страниц происходит лишь при выходе из прерывания (при выполнении команды RETI). Автоматическое переключение SFRPAGE и функционирование стека SFR страниц можно запретить программно путем сброса в 0 бита разрешения автоматического управления страницами SFR (SFRPGEN) в регистре управления SFR страницами (SFRPGCN). См. рис.13.9.

Рисунок 13.9. Регистр управления страницами SFR: SFRPGCN.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000001
-	-	-	-	-	-	-	SFRPGEN	SFR Адрес: 0x96 SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-1: Зарезервированы.

Бит 0: SFRPGEN: Бит разрешения автоматического управления страницами SFR.
После возникновения прерывания произойдет переход на соответствующую процедуру обслуживания прерывания и автоматически будет переключена SFR страница. Этот бит используется для управления функцией автоматического переключения SFR страниц.

0: Автоматическое переключение SFR страниц запрещено. CIP-51 не будет автоматически устанавливать необходимую SFR страницу (т.е. ту SFR страницу, которая содержит SFR регистры, связанные с периферийным модулем (функцией), вызвавшим прерывание).

1: Автоматическое переключение SFR страниц разрешено. При возникновении прерывания CIP-51 автоматически установит ту SFR страницу, которая содержит SFR регистры, связанные с периферийным модулем (функцией), вызвавшим прерывание.

Рисунок 13.10. Регистр страницы SFR: SFRPAGE.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0x84 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SFRPAGE: Регистр страницы SFR.
Этот байт представляет собой страницу SFR, которую CIP-51 использует при чтении или модификации регистров специального назначения.
Запись: Установка SFR страницы.

Чтение: Возвращается номер SFR страницы, которую использует CIP-51.

Если SFRPGEN = 1, то C8051 будет автоматически переключаться на ту SFR страницу, которая содержит SFR регистры, связанные с периферийным модулем (функцией), вызвавшим прерывание, а при выходе из прерывания будет восстанавливаться предыдущая страница (если только стек SFR страниц не был изменен до выхода из прерывания).

SFRPAGE является старшим байтом стека SFR страниц. Только прерывание и возврат из прерывания вызывают загрузку/извлечение данных в стек/из стека SFR страниц (а не чтение/запись регистра SFRPAGE).

Рисунок 13.11. Регистр следующей страницы SFR: SFRNEXT.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x85 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Биты стека SFR страниц: Контекст SFR страниц сохраняется при возникновении прерывания/выходе из прерывания в 3-хбайтном стеке SFR страниц: SFRPAGE является первым элементом этого стека, SFRNEXT – вторым, а SFRLAST – третьим. Байты SFRPAGE, SFRNEXT и SFRLAST можно использовать для изменения контекста в стеке SFR страниц, не вызывая «проталкивания» данных по стеку. Только прерывание и возврат из прерывания вызывают загрузку/извлечение данных в стек/из стека SFR страниц.

Запись: Загружает номер SFR страницы во второй байт стека SFR страниц. В результате при возврате из прерывания в регистр SFRPAGE будет записан этот номер SFR страницы.

Чтение: Возвращается номер SFR страницы, содержащийся во втором байте стека SFR страниц. Это значение будет загружено в регистр SFRPAGE при возврате из прерывания.

Рисунок 13.12. Регистр последней страницы SFR: SFRLAST.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x86 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Биты стека SFR страниц: Контекст SFR страниц сохраняется при возникновении прерывания/выходе из прерывания в 3-хбайтном стеке SFR страниц: SFRPAGE является первым элементом этого стека, SFRNEXT – вторым, а SFRLAST – третьим. Байты стека SFR страниц можно использовать для изменения контекста в стеке SFR страниц, не вызывая при этом «проталкивания» стека. Только прерывание и возврат из прерывания вызывают загрузку/извлечение данных в стек/из стека SFR страниц.

Запись: Загружает номер SFR страницы в последний байт стека SFR страниц. В результате при возврате из прерывания в регистр SFRNEXT будет записан этот номер SFR страницы.

Чтение: Возвращается номер SFR страницы, содержащийся в последнем байте стека SFR страниц.

Таблица 13.2. Распределение регистров специального назначения в памяти

Адрес	SFR PAGE	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
F8	0 1 2 3 F	SPI0CN CAN0CN DMA0CF P7	PCA0L	PCA0H	PCA0CPL0	PCA0CPH0	PCA0CPL1	PCA0CPH1	WDTCN (ВСЕ СТРА- НИЦЫ)
F0	0 1 2 3 F	B (ВСЕ СТРА- НИЦЫ)						EIP1 (ВСЕ СТРА- НИЦЫ)	EIP2 (ВСЕ СТРА- НИЦЫ)
E8	0 1 2 3 F	ADC0CN ADC1CN ADC2CN P6	PCA0CPL2	PCA0CPH2	PCA0CPL3	PCA0CPH3	PCA0CPL4	PCA0CPH4	RSTSRC
E0	0 1 2 3 F	ACC (ВСЕ СТРА- НИЦЫ)	PCA0CPL5	PCA0CPH5				EIE1 (ВСЕ СТРА- НИЦЫ)	EIE2 (ВСЕ СТРА- НИЦЫ)
D8	0 1 2 3 F	PCA0CN CAN0DATL DMA0CN P5	PCA0MD CAN0DATH	PCA0CPM0 CAN0ADR	PCA0CPM1 CAN0TST	PCA0CPM2	PCA0CPM3	PCA0CPM4	PCA0CPM5
D0	0 1 2 3 F	PSW (ВСЕ СТРА- НИЦЫ)	REF0CN REF1CN REF2CN	DAC0L DAC1L	DAC0H DAC1H	DAC0CN DAC1CN			
C8	0 1 2 3 F	TMR2CN TMR3CN TMR4CN P4	TMR2CF TMR3CF TMR4CF	RCAP2L RCAP3L RCAP4L	RCAP2H RCAP3H RCAP4H	TMR2L TMR3L TMR4L	TMR2H TMR3H TMR4H		SMB0CR
C0	0 1 2 3 F	SMB0CN CAN0STA	SMB0STA	SMB0DAT	SMB0ADR	ADC0GTL ADC2GTL	ADC0GTH ADC2GTH	ADC0LTL ADC2LTL	ADC0LTH ADC2LTH
B8	0 1 2 3 F	IP (ВСЕ СТРА- НИЦЫ)	SADEN0	AMX2CF ADC0CPT	AMX0SL AMX2SL ADC0CCF	ADC0CF ADC1CF ADC2CF		ADC0L ADC1L ADC2L	ADC0H ADC1H ADC2H
B0	0 1 2 3 F	P3 (ВСЕ СТРА- НИЦЫ)							FLSCL FLACL
A8	0 1 2 3 F	IE (ВСЕ СТРА- НИЦЫ)	SADDR0				P1MDIN	P2MDIN	
A0	0 1 2 3 F	P2 (ВСЕ СТРА- НИЦЫ)	EMI0TC	EMI0CN	EMI0CF				
98	0 1 2 3 F	SCON0 SCON1	SBUF0 SBUF1	SPI0CFG	SPI0DAT				
		0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)

Таблица 13.2. Распределение регистров специального назначения в памяти

90	0 1 2 3 F	P1 (ВСЕ СТРА- НИЦЫ)	SSTA0						
88	0 1 2 3 F	TCON CPT0CN CPT1CN CPT2CN	TMOD CPT0MD CPT1MD CPT2MD	TL0	TL1	TH0	TH1	SFRPGCN CKCON	CLKSEL PSCCL
80	0 1 2 3 F	P0 (ВСЕ СТРА- НИЦЫ)	SP (ВСЕ СТРА- НИЦЫ)	DPL (ВСЕ СТРА- НИЦЫ)	DPH (ВСЕ СТРА- НИЦЫ)	SFRPAGE (ВСЕ СТРА- НИЦЫ)	SFRNEXT (ВСЕ СТРА- НИЦЫ)	SFRLAST (ВСЕ СТРА- НИЦЫ)	PCON (ВСЕ СТРА- НИЦЫ)
		0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)

Таблица 13.3. Регистры специального назначения

SFR перечислены в алфавитном порядке. Все неопределенные ячейки в области SFR зарезервированы.

Адрес	Регистр	Страница SFR	Описание	№ стр.
0xE0	ACC	Все стр-цы	Аккумулятор	150
0xBB	ADC0CCF	F	Калибровочный коэффициент АЦП0	68
0xBC	ADC0CF	0	Конфигурация АЦП0	58
0xE8	ADC0CN	0	Управление АЦП0	60
0xBA	ADC0CPT	F	Указатель калибровочного коэффициента АЦП0	68
0xC5	ADC0GTH	0	Нижняя граница диапазона АЦП0 (старший байт)	69
0xC4	ADC0GTL	0	Нижняя граница диапазона АЦП0 (младший байт)	69
0xBF	ADC0H	0	Слово данных АЦП0 (старший байт)	63
0xBE	ADC0L	0	Слово данных АЦП0 (младший байт)	63
0xC7	ADC0LTH	0	Верхняя граница диапазона АЦП0 (старший байт)	70
0xC6	ADC0LTL	0	Верхняя граница диапазона АЦП0 (младший байт)	70
0xBC	ADC1CF	1	Конфигурация АЦП1	59
0xE8	ADC1CN	1	Управление АЦП1	61
0xBF	ADC1H	1	Слово данных АЦП1 (старший байт)	65
0xBE	ADC1L	1	Слово данных АЦП1 (младший байт)	65
0xBC	ADC2CF	2	Конфигурация АЦП2	94 ^{*5}
0xE8	ADC2CN	2	Управление АЦП2	96 ^{*5}
0xC5	ADC2GTH	2	Нижняя граница детектора диапазона АЦП2 (старший байт)	97 ^{*5}
0xC4	ADC2GTL	2	Нижняя граница детектора диапазона АЦП2 (младший байт)	97 ^{*5}
0xBF	ADC2H	2	Слово данных АЦП2 (старший байт)	95 ^{*5}
0xBE	ADC2L	2	Слово данных АЦП2 (младший байт)	95 ^{*5}
0xC7	ADC2LTH	2	Верхняя граница детектора диапазона АЦП2 (старший байт)	98 ^{*5}
0xC6	ADC2LTL	2	Верхняя граница детектора диапазона АЦП2 (младший байт)	98 ^{*5}
0xBB	AMX0SL	0	Выбор канала мультиплексора АЦП0	57
0xBA	AMX2CF	2	Конфигурация аналогового мультиплексора АЦП2	94 ^{*5}
0xBB	AMX2SL	2	Выбор канала аналогового мультиплексора АЦП2	93 ^{*5}
0xF0	B	Все стр-цы	Регистр B	150
0xDA	CAN0ADR	1	Адрес CAN0	232 ^{*5}
0xF8	CAN0CN	1	Управление CAN0	232 ^{*5}
0xD9	CAN0DATH	1	Старший байт регистра данных CAN0	231 ^{*5}
0xD8	CAN0DATL	1	Младший байт регистра данных CAN0	231 ^{*5}
0xC0	CAN0STA	1	Состояние CAN0	233 ^{*5}
0xDB	CAN0TST	1	Регистр тестирования CAN0	233 ^{*5}
0x8E	CKCON	0	Управление тактированием таймеров 0 и 1	293
0x97	CLKSEL	F	Выбор тактового генератора	173
0x89	CPT0MD	1	Выбор режима компаратора 0	121
0x89	CPT1MD	2	Выбор режима компаратора 1	121
0x89	CPT2MD	3	Выбор режима компаратора 2	121
0x88	CPT0CN	1	Управление компаратором 0	120

Адрес	Регистр	Страница SFR	Описание	№ стр.
0x88	CPT1CN	2	Управление компаратором 1	120
0x88	CPT2CN	3	Управление компаратором 2	120
0xD4	DAC0CN	0	Управление ЦАП0	106 ^{*5}
0xD3	DAC0H	0	Слово данных ЦАП0 (старший байт)	105 ^{*5}
0xD2	DAC0L	0	Слово данных ЦАП0 (младший байт)	105 ^{*5}
0xD4	DAC1CN	1	Управление ЦАП1	108 ^{*5}
0xD3	DAC1H	1	Слово данных ЦАП1 (старший байт)	107 ^{*5}
0xD2	DAC1L	1	Слово данных ЦАП1 (младший байт)	107 ^{*5}
0xFD	DMA0BND	3	Граница команд DMA0	83
0xF8	DMA0CF	3	Конфигурация DMA0	81
0xD8	DMA0CN	3	Управление DMA0	80
0xFC	DMA0CSH	3	Счетчик повторений DMA0 (старший байт)	85
0xFB	DMA0CSL	3	Счетчик повторений DMA0 (младший байт)	85
0xFA	DMA0CTH	3	Граница счетчика повторений DMA0 (старший байт)	85
0xF9	DMA0CTL	3	Граница счетчика повторений DMA0 (младший байт)	85
0xDA	DMA0DAH	3	Начальный адрес данных DMA0 (старший байт)	84
0xD9	DMA0DAL	3	Начальный адрес данных DMA0 (младший байт)	84
0xDC	DMA0DSH	3	Указатель адреса данных DMA0 (старший байт)	84
0xDB	DMA0DSL	3	Указатель адреса данных DMA0 (младший байт)	84
0xDE	DMA0IDT	3	Данные команды DMA0	82
0xDD	DMA0IPT	3	Адрес команды DMA0	82
0xFE	DMA0ISW	3	Состояние команды DMA0	83
0x83	DPH	Все стр-цы	Указатель данных (старший байт)	148
0x82	DPL	Все стр-цы	Указатель данных (младший байт)	148
0xE6	EIE1	Все стр-цы	Дополнительный регистр разрешения прерываний 1	156
0xE7	EIE2	Все стр-цы	Дополнительный регистр разрешения прерываний 2	157
0xF6	EIP1	Все стр-цы	Дополнительный регистр приоритетов прерываний 1	158
0xF7	EIP2	Все стр-цы	Дополнительный регистр приоритетов прерываний 2	159
0xA2	EMI0CN	0	Управление интерфейсом внешней памяти	189 ^{*1}
0xA3	EMI0CF	0	Конфигурация интерфейса внешней памяти	189 ^{*1}
0xA1	EMI0TC	0	Управление временными параметрами интерфейса внешней памяти	194 ^{*1}
0xB7	FLACL	F	Ограничение доступа к Flash-памяти	182
0xB7	FLSCL	0	Делитель модуля Flash-памяти	184
0xA8	IE	Все стр-цы	Разрешение прерываний	154
0xB8	IP	Все стр-цы	Управление приоритетами прерываний	155
0x8B	OSCICL	F	Калибровка внутреннего генератора	172
0x8A	OSCICN	F	Управление внутренним генератором	172
0x8C	OSCXCN	F	Управление внешним генератором	174
0x80	P0	Все стр-цы	Регистр-защелка порта 0	214
0xA4	P0MDOUT	F	Регистр настройки выходов порта 0	214
0x90	P1	Все стр-цы	Регистр-защелка порта 1	215
0xAD	P1MDIN	F	Регистр настройки входов порта 1	215

Адрес	Регистр	Страница SFR	Описание	№ стр.
0xA5	P1MDOUT	F	Регистр настройки выходов порта 1	216
0xA0	P2	Все стр-цы	Регистр-защелка порта 2	216
0xAE	P2MDIN	F	Регистр настройки входов порта 2	217
0xA6	P2MDOUT	F	Регистр настройки выходов порта 2	217
0xB0	P3	Все стр-цы	Регистр-защелка порта 3	218 ^{*1}
0xA7	P3MDOUT	F	Регистр настройки выходов порта 3	218 ^{*1}
0xC8	P4	F	Регистр-защелка порта 4	221 ^{*1}
0x9C	P4MDOUT	F	Регистр настройки выходов порта 4	221 ^{*1}
0xD8	P5	F	Регистр-защелка порта 5	222 ^{*1}
0x9D	P5MDOUT	F	Регистр настройки выходов порта 5	222 ^{*1}
0xE8	P6	F	Регистр-защелка порта 6	223 ^{*1}
0x9E	P6MDOUT	F	Регистр настройки выходов порта 6	223 ^{*1}
0xF8	P7	F	Регистр-защелка порта 7	224 ^{*1}
0x9F	P7MDOUT	F	Регистр настройки выходов порта 7	224 ^{*1}
0xD8	PCA0CN	0	Управление программируемым массивом счетчиков (ПМС) 0	312
0xFC	PCA0CPH0	0	Слово данных модуля захвата 0 (старший байт)	316
0xFE	PCA0CPH1	0	Слово данных модуля захвата 1 (старший байт)	316
0xEA	PCA0CPH2	0	Слово данных модуля захвата 2 (старший байт)	316
0xEC	PCA0CPH3	0	Слово данных модуля захвата 3 (старший байт)	316
0xEE	PCA0CPH4	0	Слово данных модуля захвата 4 (старший байт)	316
0xE2	PCA0CPH5	0	Слово данных модуля захвата 5 (старший байт)	316
0xFB	PCA0CPL0	0	Слово данных модуля захвата 0 (младший байт)	316
0xFD	PCA0CPL1	0	Слово данных модуля захвата 1 (младший байт)	316
0xE9	PCA0CPL2	0	Слово данных модуля захвата 2 (младший байт)	316
0xEB	PCA0CPL3	0	Слово данных модуля захвата 3 (младший байт)	316
0xED	PCA0CPL4	0	Слово данных модуля захвата 4 (младший байт)	316
0xE1	PCA0CPL5	0	Слово данных модуля захвата 5 (младший байт)	316
0xDA	PCA0CPM0	0	Настройка модуля захват/сравнение 0	314
0xDB	PCA0CPM1	0	Настройка модуля захват/сравнение 1	314
0xDC	PCA0CPM2	0	Настройка модуля захват/сравнение 2	314
0xDD	PCA0CPM3	0	Настройка модуля захват/сравнение 3	314
0xDE	PCA0CPM4	0	Настройка модуля захват/сравнение 4	314
0xDF	PCA0CPM5	0	Настройка модуля захват/сравнение 5	314
0xFA	PCA0H	0	Слово данных таймера/счетчика ПМС (старший байт)	315
0xF9	PCA0L	0	Слово данных таймера/счетчика ПМС (младший байт)	315
0xD9	PCA0MD	0	Режим ПМС 0	313
0x87	PCON	Все стр-цы	Управление питанием	161
0x8F	PSCTL	0	Управление режимом чтения/записи памяти программ	185
0xD0	PSW	Все стр-цы	Слово состояния программы	149
0xCB	RCAP2H	0	Регистр захвата/перезагрузки таймера/счетчика 2 (старший байт)	301
0xCA	RCAP2L	0	Регистр захвата/перезагрузки таймера/счетчика 2 (младший байт)	301

Адрес	Регистр	Страница SFR	Описание	№ стр.
0xCB	RCAP3H	1	Регистр захвата/перезагрузки таймера/счетчика 3 (старший байт)	301
0xCA	RCAP3L	1	Регистр захвата/перезагрузки таймера/счетчика 3 (младший байт)	301
0xCB	RCAP4H	2	Регистр захвата/перезагрузки таймера/счетчика 4 (старший байт)	301
0xCA	RCAP4L	2	Регистр захвата/перезагрузки таймера/счетчика 4 (младший байт)	301
0xD1	REF0CN	0	Регистр управления ИОН 0	62
0xD1	REF1CN	1	Регистр управления ИОН 1	62
0xD1	REF2CN	2	Регистр управления ИОН 2	112 ^{*2} , 114 ^{*3} , 116 ^{*5}
0xEF	RSTSRC	0	Регистр источника сброса	168
0xA9	SADDR0	0	Адрес ведомого УАППО	276
0xB9	SADEN0	0	Разрешение адреса ведомого УАППО	276
0x99	SBUF0	0	Буфер данных УАППО	276
0x99	SBUF1	1	Буфер данных УАППО	283
0x98	SCON0	0	Управление последовательным портом УАППО	274
0x98	SCON1	1	Управление последовательным портом УАППО	282
0x84	SFRPAGE	Все стр-цы	Регистр страницы SFR	139
0x96	SFRPGCN	F	Регистр управления страницы SFR	139
0x85	SFRNEXT	Все стр-цы	Регистр следующей SFR страницы в стеке страниц SFR	140
0x86	SFRLAST	Все стр-цы	Регистр последней SFR страницы в стеке страниц SFR	140
0xC3	SMB0ADR	0	Адрес модуля SMBus 0	246
0xC0	SMB0CN	0	Управление модулем SMBus 0	243
0xCF	SMB0CR	0	Установка частоты тактирования модуля SMBus 0	244
0xC2	SMB0DAT	0	Регистр данных модуля SMBus 0	245
0xC1	SMB0STA	0	Регистр состояния модуля SMBus 0	247
0x81	SP	Все стр-цы	Указатель стека	148
0x9A	SPI0CFG	0	Конфигурация модуля SPI	258
0x9D	SPI0CKR	0	Установка частоты тактирования модуля SPI	260
0xF8	SPI0CN	0	Управление модулем SPI	259
0x9B	SPI0DAT	0	Регистр данных модуля SPI	261
0x91	SSTA0	0	Выбор тактирования/состояние УАППО	275
0x88	TCON	0	Управление таймером/счетчиком	291
0x8C	TH0	0	Слово данных таймера/счетчика 0 (старший байт)	294
0x8D	TH1	0	Слово данных таймера/счетчика 1 (старший байт)	294
0x8A	TL0	0	Слово данных таймера/счетчика 0 (младший байт)	294
0x8B	TL1	0	Слово данных таймера/счетчика 1 (младший байт)	294
0x89	TMOD	0	Режим таймера/счетчика	292
0xC9	TMR2CF	0	Настройка таймера/счетчика 2	300
0xC8	TMR2CN	0	Управление таймером/счетчиком 2	299
0xCD	TMR2H	0	Старший байт таймера/счетчика 2	302
0xCC	TMR2L	0	Младший байт таймера/счетчика 2	301
0xC9	TMR3CF	1	Настройка таймера/счетчика 3	300
0xC8	TMR3CN	1	Управление таймером/счетчиком 3	299
0xCD	TMR3H	1	Старший байт таймера/счетчика 3	302
0xCC	TMR3L	1	Младший байт таймера/счетчика 3	301

0xC9	TMR4CF	2	Настройка таймера/счетчика 4	300
0xC8	TMR4CN	2	Управление таймером/счетчиком 4	299
0xCD	TMR4H	2	Старший байт таймера/счетчика 4	302
0xCC	TMR4L	2	Младший байт таймера/счетчика 4	301
0xFF	WDTCN	Все стр-цы	Управление сторожевым таймером	167
0xE1	XBR0	F	Регистр 0 конфигурации матрицы портов ввода/вывода	210
0xE2	XBR1	F	Регистр 1 конфигурации матрицы портов ввода/вывода	211
0xE3	XBR2	F	Регистр 2 конфигурации матрицы портов ввода/вывода	212
0xE4	XBR3	F	Регистр 3 конфигурации матрицы портов ввода/вывода	213

- *1 - Только для МК C8051F060/2/4/6
- *2 - Только для МК C8051F060/2
- *3 - Только для МК C8051F061/3
- *4 - Только для МК C8051F060/1/2/3
- *5 - Только для МК C8051F064/5/6/7

13.2.7. Описания регистров

Ниже приведены описания регистров SFR, связанных с работой ядра CIP-51. Зарезервированные биты не следует устанавливать в логическую 1. Будущие версии МК могут использовать эти биты для реализации новых функций, тогда при сбросе в эти биты будут записаны логические нули, выбирая тем самым состояние по умолчанию для новых функций. Подробные описания остальных SFR включены в разделы настоящего руководства, посвященные описанию связанных с ними системных модулей и функций.

Рисунок 13.13. SP: Указатель стека

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x81 SFR страница: Все

Биты 7-0: SP: Указатель стека.
Указатель стека содержит адрес вершины стека. Указатель стека инкрементируется перед каждой операцией PUSH. После сброса регистр SP содержит значение по умолчанию 0x07.

Рисунок 13.14. DPL: Младший байт указателя данных

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x82 SFR страница: Все

Биты 7-0: DPL: Младший байт указателя данных.
Регистр DPL является младшим байтом 16-разрядного регистра DPTR. DPTR используется для доступа в режиме косвенной адресации к памяти XRAM и Flash-памяти.

Рисунок 13.15. DPH: Старший байт указателя данных

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x83 SFR страница: Все

Биты 7-0: DPH: Старший байт указателя данных.
Регистр DPH является младшим байтом 16-разрядного регистра DPTR. DPTR используется для доступа в режиме косвенной адресации к памяти XRAM и Flash-памяти.

Рисунок 13.16. PSW: Слово состояния программы

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CY	AC	F0	RS1	RS0	OV	F1	PARITY	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xD0 SFR страница: Все

Бит 7: CY: Флаг переноса.
Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) или заем (вычитание). Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 6: AC: Флаг десятичного переноса.
Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) в старший полубайт или заем (вычитание) из старшего полубайта. Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 5: F0: Флаг пользователя 0.
Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.

Биты 4-3: RS1-RS0: Биты выбора банка регистров.
Эти биты определяют активный банк регистров.

RS1	RS0	Банк регистров	Адреса
0	0	0	0x00-0x07
0	1	1	0x08-0x0F
1	0	2	0x10-0x17
1	1	3	0x18-0x1F

Бит 2: OV: Флаг переполнения.
Этот бит устанавливается в 1 в следующих случаях:

- если в результате выполнения команды ADD, ADDC или SUBB произошло переполнение с изменением знака;
- если в результате выполнения команды MUL произошло переполнение (результат превышает значение 255);
- если при выполнении команды DIV произошло деление на ноль.

Бит OV сбрасывается в 0 командами ADD, ADDC, SUBB, MUL и DIV во всех других случаях.

Бит 1: F1: Флаг пользователя 1.
Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.

Бит 0: PARITY: Флаг четности.
(Только для чтения)
Этот бит устанавливается в 1, если сумма восьми бит в аккумуляторе нечетная и сбрасывается, если сумма четная.

Рисунок 13.17. ACC: Аккумулятор

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xE0 SFR страница: Все

Биты 7-0: ACC: Аккумулятор
Этот регистр является аккумулятором для арифметических операций.

Рисунок 13.18. В: Регистр В

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xF0 SFR страница: Все

Биты 7-0: В: Регистр В
Этот регистр работает в качестве второго аккумулятора для точных арифметических операций.



13.3. ОБРАБОТКА ПЕРЕРЫВАНИЙ

CIP-51 имеет развитую систему прерываний, поддерживающую в общей сложности 22 источника прерываний с двумя уровнями приоритета. Распределение источников прерываний между встроенными периферийными модулями и внешними входными выводами зависит от конкретного типа МК. Каждый источник прерываний имеет один или несколько связанных с ним флагов прерываний, размещенных в SFR. Когда периферийный модуль или внешний источник прерываний регистрирует событие, удовлетворяющее условию прерывания, соответствующий флаг прерывания устанавливается в 1.

Если прерывание от источника прерываний разрешено, то при установке флага прерывания генерируется запрос прерывания. Как только выполнение текущей команды завершится, будет сгенерирована команда LCALL перехода по предопределенному адресу, откуда начнется исполнение процедуры обслуживания прерывания (interrupt service routine - ISR). Каждая ISR должна заканчиваться командой RETI, которая возвращает управление прерванной программе и приводит к выполнению той команды, которая исполнилась бы, если бы запроса прерывания не было. Если прерывания не разрешены, флаг прерывания игнорируется и выполнение программы продолжается в нормальном режиме. (Флаг прерывания устанавливается в 1 независимо от того, разрешены прерывания или запрещены).

Прерывание от каждого источника прерываний может быть разрешено или запрещено с помощью соответствующих битов разрешения прерываний в регистрах SFR (IE-EIE2). Однако, сначала прерывания необходимо разрешить глобально установкой в 1 бита EA (IE.7), только после этого состояние индивидуальных флагов разрешения прерываний будет иметь силу. Сброс в 0 бита EA запрещает прерывания от всех источников прерываний независимо от состояния индивидуальных флагов разрешения прерываний.

Некоторые флаги прерываний сбрасываются автоматически аппаратными средствами при переходе к процедуре ISR. Однако большинство флагов прерываний не сбрасываются аппаратно и должны быть сброшены программно до возвращения из процедуры ISR. Если флаг прерывания остается установленным после завершения выполнения команды возврата из прерывания (RETI), то сразу же будет сгенерирован новый запрос прерывания и после завершения выполнения следующей команды произойдет повторный переход к процедуре ISR.

13.3.1. Источники и векторы прерываний

Данное семейство МК поддерживает 22 источника прерываний. Программа может симулировать прерывание установкой в 1 любого флага прерывания. Если прерывание для этого флага разрешено, будет сгенерирован запрос прерывания и произойдет переход по адресу процедуры ISR, связанной с этим флагом прерывания. Источники прерываний МК, соответствующие им адреса прерываний, уровень приоритета и биты управления перечислены в таблице 13.4. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

13.3.2. Внешние прерывания

Два внешних источника прерываний (/INT0 и /INT1) настраиваются как входы с низким активным уровнем, чувствительные к уровню или к фронту сигнала, в зависимости от состояния битов IT0 (TCON.0) и IT1 (TCON.2). Биты IE0 (TCON.1) и IE1 (TCON.3) служат флагами прерываний для внешних прерываний /INT0 и /INT1 соответственно. Если вход /INT0 или /INT1 настроен как чувствительный к фронту, то соответствующий флаг прерывания автоматически сбрасывается аппаратными средствами при переходе к процедуре ISR. Если вход /INT0 или /INT1 настроен как чувствительный к уровню, то соответствующий флаг прерывания отслеживает (повторяет) состояние входного вывода внешнего прерывания. Внешний источник прерывания должен удерживать на этом входе активный уровень до тех пор, пока запрос прерывания не будет распознан. Затем необходимо деактивировать запрос прерывания до окончания выполнения процедуры ISR, иначе будет сгенерирован другой запрос прерывания.

Таблица 13.4. Источники прерываний

Источник прерывания	Вектор прерывания	Приоритет	Флаг прерывания	Битовая адресация ?	Аппаратный сброс ?	Бит разрешения	Управление приоритетом
Сброс	0x0000	Наивысший	Нет	N/A	N/A	Разрешен всегда	Всегда наивысший
Внешнее прерывание 0 (/INT0)	0x0003	0	IE0 (TCON.1)	Y	Y	EX0 (IE.0)	PX0 (IP.0)
Переполнение Таймера 0	0x000B	1	TF0 (TCON.5)	Y	Y	ET0 (IE.1)	PT0 (IP.1)
Внешнее прерывание 1 (/INT1)	0x0013	2	IE1 (TCON.3)	Y	Y	EX1 (IE.2)	PX1 (IP.2)
Переполнение Таймера 1	0x001B	3	TF1 (TCON.7)	Y	Y	ET1 (IE.3)	PT1 (IP.3)
Последовательный порт УАППО	0x0023	4	RI0 (SCON0.0) TI0 (SCON0.1)	Y		ES0 (IE.4)	PS0 (IP.4)
Таймер 2	0x002B	5	TF2 (TMR2CN.7)	Y		ET2 (IE.5)	PT2 (IP.5)
Модуль SPI	0x0033	6	SPIF (SPI0CN.7) WCOL (SPI0CN.6) MODF (SPI0CN.5) RXOVRN (SPI0CN.4)	Y		ESPI0 (EIE1.0)	PSPI0 (EIP1.0)
Модуль SMBus	0x003B	7	SI (SMB0CN.3)	Y		ESMB0 (EIE1.1)	PSMB0 (EIP1.1)
Детектор диапазона АЦПО	0x0043	8	AD0WINT (ADC0CN.1)	Y		EWADC0 (EIE1.2)	PWADC0 (EIP1.2)
Программируемый массив счетчиков	0x004B	9	CF (PCA0CN.7) CCFn (PCA0CN.n)	Y		EPCA0 (EIE1.3)	PPCA0 (EIP1.3)
Компаратор 0	0x0053	10	CP0FIF/CP0RIF (CPT0CN.4/.5)	Y		CP0IE (EIE1.4)	PCP0 (EIP1.4)
Компаратор 1	0x005B	11	CP1FIF/CP1RIF (CPT1CN.4/.5)	Y		CP1IE (EIE1.5)	PCP1 (EIP1.5)
Компаратор 2	0x0063	12	CP2FIF/CP2RIF (CPT2CN.4/.5)	Y		CP2IE (EIE1.6)	PCP2 (EIP1.6)
Завершение преобразования АЦПО	0x006B	13	ADC0INT (ADC0CN.5)	Y		EADC0 (EIE1.7)	PADC0 (EIP1.7)
Таймер 3	0x0073	14	TF3 (TMR3CN.7)	Y		ET3 (EIE2.0)	PT3 (EIP2.0)
Завершение преобразования АЦП1	0x007B	15	ADC1INT (ADC1CN.5)	Y		EADC1 (EIE2.1)	PADC1 (EIP2.1)
Таймер 4	0x0083	16	TF4 (TMR4CN.7)	Y		ET4 (EIE2.2)	PT4 (EIP2.2)
Детектор диапазона АЦП2	0x008B	17	AD2WINT (ADC2CN.1)	Y		EWADC2 (EIE2.3)	PWADC2 (EIP2.3)
Завершение преобразования АЦП2	0x0093	18	AD2INT (ADC2CN.5)	Y		EADC2 (EIE2.4)	PADC2 (EIP2.4)
Модуль CAN	0x009B	19	CAN0CN.7	Y	Y	ECAN0 (EIE2.5)	PCAN0 (EIP2.5)
Последовательный порт УАПП1	0x00A3	20	RI1 (SCON1.0) TI1 (SCON1.1)	Y		ES1 (EIE2.6)	PS1 (EIP2.6)
Прерывание от интерфейса DMA0	0x00AB	21	DMA0INT (DMA0CN.6)	Y		EDMA0 (EIE2.7)	PDMA0 (EIP2.7)

13.3.3. Приоритеты прерываний

Каждому источнику прерываний можно программно присвоить один из двух уровней приоритета: низкий или высокий. Процедура ISR с низким приоритетом может быть прервана прерыванием с высоким приоритетом. Прерывание с высоким приоритетом не может быть прервано. Каждое прерывание имеет связанный с ним бит приоритета в регистрах SFR (IP-EIP2), используемый для настройки уровня приоритета. По умолчанию присваивается низкий приоритет. Если два прерывания происходят одновременно, прерывание с более высоким приоритетом обслуживается первым. Если оба прерывания имеют одинаковый приоритет, для арбитража используется фиксированный уровень приоритета, приведенный в табл.13.4.

13.3.4. Задержка обработки прерывания

Время реакции на прерывание зависит от состояния процессорного ядра в момент возникновения прерывания. Опрос флага прерывания и декодирование приоритета осуществляется каждый системный тактовый цикл. Поэтому, наименьшее возможное время реакции на прерывание составляет 5 тактовых циклов: 1 цикл для определения прерывания и 4 цикла для выполнения команды LCALL перехода к процедуре ISR. Если в момент выполнения команды RETI появляется прерывание, то до выполнения команды LCALL перехода на процедуру обслуживания этого прерывания будет исполнена одна команда основной программы. Поэтому максимальное время реакции на прерывание (если в настоящий момент не обслуживается другое прерывание или если новое прерывание имеет более высокий приоритет) будет тогда, когда выполняется команда RETI, а следом за ней должна выполняться команда DIV. В этом случае время реакции составляет 18 тактовых циклов: 1 цикл для определения прерывания, 5 циклов для выполнения команды RETI, 8 циклов для выполнения команды DIV и 4 цикла для выполнения команды LCALL перехода на процедуру ISR. Если выполняется процедура ISR для прерывания с равным или более высоким приоритетом, новое прерывание не будет обслужено до тех пор, пока не завершится текущая процедура ISR, включая команду RETI и следующую команду.

13.3.5. Описания регистров прерываний

Регистры SFR, используемые для разрешения/запрещения источников прерываний и установки их приоритетов, описаны ниже. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

Рисунок 13.19. IE: Регистр разрешения прерываний

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
EA	IEGF0	ET2	ES0	ET1	EX1	ET0	EX0	SFR Адрес: 0xA8 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит 7: EA: Бит разрешения всех прерываний. Это бит глобально разрешает/запрещает все прерывания. Будучи сброшенным в 0, он перекрывает индивидуальные маски прерываний 0: Все источники прерываний запрещены. 1: Каждое прерывание разрешено/запрещено в соответствии с его индивидуальной маской.</p> <p>Бит 6: IEGF0: Флаг общего назначения 0. Это флаг общего назначения, предназначенный для использования под управлением программы.</p> <p>Бит 5: ET2: Бит разрешения прерывания от Таймера 2. Этот бит устанавливает маскирование прерывания от Таймера 2. 0: Все прерывания от Таймера 2 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF2 (T2CON.7)</p> <p>Бит 4: ES0: Бит разрешения прерываний от последовательного порта УАППО. Этот бит устанавливает маскирование прерывания от последовательного порта УАППО. 0: Прерывания от УАППО запрещены. 1: Прерывания от УАППО разрешены.</p> <p>Бит 3: ET1: Бит разрешения прерывания от Таймера 1. Этот бит устанавливает маскирование прерывания от Таймера 1. 0: Все прерывания от Таймера 1 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF1 (TCON.7).</p> <p>Бит 2: EX1: Бит разрешения внешнего прерывания 1. Этот бит устанавливает маскирование внешнего прерывания 1. 0: Внешнее прерывание 1 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на выводе /INT1.</p> <p>Бит 1: ET0: Бит разрешения прерывания от Таймера 0. Этот бит устанавливает маскирование прерывания от Таймера 0. 0: Все прерывания от Таймера 0 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF0 (TCON.5).</p> <p>Бит 0: EX0: Бит разрешения внешнего прерывания 0. Этот бит устанавливает маскирование внешнего прерывания 0. 0: Внешнее прерывание 0 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на выводе /INT0.</p>								

Рисунок 13.20. IP: Регистр приоритетов прерываний

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	PT2	PS0	PT1	PX1	PT0	PX0	11000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xB8 SFR страница: Все
Биты 7-6: Не используются. Читаются как 11b.								
Бит 5: PT2: Управление приоритетом прерывания от Таймера 2.								
Этот бит устанавливает приоритет прерываний от Таймера 2.								
0: Приоритет прерывания от Таймера 2 определяется уровнем приоритета по умолчанию.								
1: Прерываниям от Таймера 2 назначается высокий уровень приоритета.								
Бит 4: PS0: Управление приоритетом прерывания от последовательного порта УАПП0.								
Этот бит устанавливает приоритет прерываний от последовательного порта УАПП0.								
0: Приоритет прерывания от УАПП0 определяется уровнем приоритета по умолчанию.								
1: Прерываниям от УАПП0 назначается высокий уровень приоритета.								
Бит 3: PT1: Управление приоритетом прерывания от Таймера 1.								
Этот бит устанавливает приоритет прерываний от Таймера 1.								
0: Приоритет прерывания от Таймера 1 определяется уровнем приоритета по умолчанию.								
1: Прерываниям от Таймера 1 назначается высокий уровень приоритета.								
Бит 2: PX1: Управление приоритетом внешнего прерывания 1.								
Этот бит устанавливает приоритет внешнего прерывания 1.								
0: Приоритет внешнего прерывания 1 определяется уровнем приоритета по умолчанию.								
1: Внешнему прерыванию 1 назначается высокий уровень приоритета.								
Бит 1: PT0: Управление приоритетом прерывания от Таймера 0.								
Этот бит устанавливает приоритет прерываний от Таймера 0.								
0: Приоритет прерывания от Таймера 0 определяется уровнем приоритета по умолчанию.								
1: Прерываниям от Таймера 0 назначается высокий уровень приоритета.								
Бит 0: PX0: Управление приоритетом внешнего прерывания 0.								
Этот бит устанавливает приоритет внешнего прерывания 0.								
0: Приоритет внешнего прерывания 0 определяется уровнем приоритета по умолчанию.								
1: Внешнему прерыванию 0 назначается высокий уровень приоритета.								

Рисунок 13.21. EIE1: Дополнительный регистр разрешения прерываний 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
EADC0	CP2IE	CP1IE	CP0IE	EPCA0	EWADC0	ESMB0	ESPI0	SFR Адрес: 0xE6
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR страница: Все

Бит 7: EADC0: Бит разрешения прерываний, возникающих при завершении преобразования АЦП0.
Этот бит устанавливает маскирование прерывания, возникающего при завершении преобразования АЦП0.
0: Прерывание, возникающее при завершении преобразования АЦП0, запрещено.
1: Разрешены запросы прерываний, генерируемые при завершении преобразования АЦП0.

Бит 6: CP2IE: Бит разрешения прерываний от Компаратора 2 (CP2).
Этот бит устанавливает маскирование прерывания от CP2.
0: Прерывания от CP2 запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага CP2IF.

Бит 5: CP1IE: Бит разрешения прерываний от Компаратора 1 (CP1).
Этот бит устанавливает маскирование прерывания от CP1.
0: Прерывания от CP1 запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага CP1IF.

Бит 4: CP0IE: Бит разрешения прерываний от Компаратора 0 (CP0).
Этот бит устанавливает маскирование прерывания от CP0.
0: Прерывания от CP0 запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага CP0IF.

Бит 3: EPCA0: Бит разрешения прерываний от программируемого массива счетчиков (PCA0).
Этот бит устанавливает маскирование прерывания от PCA0.
0: Все прерывания от PCA0 запрещены.
1: Разрешены запросы прерываний, генерируемые PCA0.

Бит 2: EWADC0: Бит разрешения прерываний от детектора диапазона АЦП0.
Этот бит устанавливает маскирование прерывания от детектора диапазона АЦП0.
0: Прерывание от детектора диапазона АЦП0 запрещено.
1: Разрешены запросы прерываний, генерируемые детектором диапазона АЦП0.

Бит 1: ESMB0: Бит разрешения прерываний от модуля SMBus.
Этот бит устанавливает маскирование прерывания от модуля SMBus.
0: Все прерывания от модуля SMBus запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага SI.

Бит 0: ESPI0: Бит разрешения прерываний от модуля SPI0.
Этот бит устанавливает маскирование прерывания от модуля SPI0.
0: Все прерывания от модуля SPI0 запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флага SPI0.

Рисунок 13.22. EIE2: Дополнительный регистр разрешения прерываний 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xE7 SFR страница: Все
EDMA0	ES1	ECAN0	EADC2	EWADC2	ET4	EADC1	ET3	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: EDMA0: Бит разрешения прерываний от интерфейса прямого доступа к памяти DMA0. Этот бит устанавливает маскирование прерываний от модуля DMA0. 0: Прерывания от модуля DMA0 запрещены. 1: Прерывания от модуля DMA0 разрешены.</p> <p>Бит 6: ES1: Бит разрешения прерываний от последовательного порта УАПП1. Этот бит устанавливает маскирование прерывания от последовательного порта УАПП1. 0: Прерывания от УАПП1 запрещены. 1: Прерывания от УАПП1 разрешены.</p> <p>Бит 5: ECAN0: Бит разрешения прерываний от контроллера CAN. Этот бит устанавливает маскирование прерываний от контроллера CAN. 0: Прерывание от контроллера CAN запрещено. 1: Разрешены запросы прерываний, генерируемые контроллером CAN.</p> <p>Бит 4: EADC2: Бит разрешения прерываний, возникающих при завершении преобразования АЦП2. Этот бит устанавливает маскирование прерывания, возникающего при завершении преобразования АЦП2. 0: Прерывание, возникающее при завершении преобразования АЦП2, запрещено. 1: Разрешены запросы прерываний, генерируемые при завершении преобразования АЦП2.</p> <p>Бит 3: EWADC2: Бит разрешения прерываний от детектора диапазона АЦП2. Этот бит устанавливает маскирование прерываний от детектора диапазона АЦП2. 0: Прерывание от детектора диапазона АЦП2 запрещено. 1: Разрешены запросы прерываний, генерируемые детектором диапазона АЦП2.</p> <p>Бит 2: ET4: Бит разрешения прерываний от Таймера 4. Этот бит устанавливает маскирование прерывания от Таймера 4. 0: Все прерывания от Таймера 4 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF4.</p> <p>Бит 1: EADC1: Бит разрешения прерываний, возникающих при завершении преобразования АЦП1. Этот бит устанавливает маскирование прерывания, возникающего при завершении преобразования АЦП1. 0: Прерывание, возникающее при завершении преобразования АЦП1, запрещено. 1: Разрешены запросы прерываний, генерируемые при завершении преобразования АЦП1.</p> <p>Бит 0: ET3: Бит разрешения прерываний от Таймера 3. Этот бит устанавливает маскирование прерывания от Таймера 3. 0: Все прерывания от Таймера 3 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF3.</p>								

Рисунок 13.23. EIP1: Дополнительный регистр приоритетов прерываний 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
PADC0	PCP2	PCP1	PCP0	PPCA0	PWADC0	PSMB0	PSPI0	SFR Адрес: 0xF6 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: PADC0: PADC0: Управление приоритетом прерывания от флага завершения преобразования АЦП0. Этот бит устанавливает приоритет прерывания от флага завершения преобразования АЦП0. 0: Прерыванию от флага завершения преобразования АЦП0 назначается низкий уровень приоритета. 1: Прерыванию от флага завершения преобразования АЦП0 назначается высокий уровень приоритета.</p> <p>Бит 6: PCP2: Управление приоритетом прерываний от Компаратора 2 (CP2). Этот бит устанавливает приоритет прерывания от CP2. 0: Прерыванию от CP2 назначается низкий уровень приоритета. 1: Прерыванию от CP2 назначается высокий уровень приоритета.</p> <p>Бит 5: PCP1: Управление приоритетом прерываний от Компаратора 1 (CP1). Этот бит устанавливает приоритет прерывания от CP1. 0: Прерыванию от CP1 назначается низкий уровень приоритета. 1: Прерыванию от CP1 назначается высокий уровень приоритета.</p> <p>Бит 4: PCP0: Управление приоритетом прерываний от Компаратора 0 (CP0). Этот бит устанавливает приоритет прерывания от CP0. 0: Прерыванию от CP0 назначается низкий уровень приоритета. 1: Прерыванию от CP0 назначается высокий уровень приоритета.</p> <p>Бит 3: PPCA0: Управление приоритетом прерывания от программируемого массива счетчиков (PCA0). Этот бит устанавливает приоритет прерывания от PCA0. 0: Прерыванию от PCA0 назначается низкий уровень приоритета. 1: Прерыванию от PCA0 назначается высокий уровень приоритета.</p> <p>Бит 2: PWADC0: Управление приоритетом прерывания от детектора диапазона АЦП0. Этот бит устанавливает приоритет прерывания от детектора диапазона АЦП0. 0: Прерыванию от детектора диапазона АЦП0 назначается низкий уровень приоритета. 1: Прерыванию от детектора диапазона АЦП0 назначается высокий уровень приоритета.</p> <p>Бит 1: PSMB0: Управление приоритетом прерывания от модуля SMBus. Этот бит устанавливает приоритет прерывания от модуля SMBus. 0: Прерыванию от модуля SMBus назначается низкий уровень приоритета. 1: Прерыванию от модуля SMBus назначается высокий уровень приоритета.</p> <p>Бит 0: PSPI0: Управление приоритетом прерывания от модуля SPI0. Этот бит устанавливает приоритет прерывания от модуля SPI0. 0: Прерыванию от модуля SPI0 назначается низкий уровень приоритета. 1: Прерыванию от модуля SPI0 назначается высокий уровень приоритета.</p>								

Рисунок 13.24. EIP2: Дополнительный регистр приоритетов прерываний 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
PDMA0	EP1	PCAN0	PADC2	PWADC2	PT4	PADC1	PT3	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xF7 SFR страница: Все
<p>Бит 7: PDMA0: Управление приоритетом прерываний от модуля DMA0. Этот бит устанавливает приоритет прерываний от модуля DMA0. 0: Прерываниям от модуля DMA0 назначается низкий уровень приоритета. 1: Прерываниям от модуля DMA0 назначается высокий уровень приоритета.</p> <p>Бит 6: EP1: Управление приоритетом прерывания от последовательного порта УАПП1. Этот бит устанавливает приоритет прерываний от последовательного порта УАПП1. 0: Прерываниям от УАПП1 назначается низкий уровень приоритета. 1: Прерываниям от УАПП1 назначается высокий уровень приоритета.</p> <p>Бит 5: PCAN0: Управление приоритетом прерываний от контроллера CAN. Этот бит устанавливает приоритет прерываний от контроллера CAN. 0: Прерываниям от контроллера CAN назначается низкий уровень приоритета. 1: Прерываниям от контроллера CAN назначается высокий уровень приоритета.</p> <p>Бит 4: PADC2: Управление приоритетом прерывания от флага завершения преобразования АЦП2. Этот бит устанавливает приоритет прерывания от флага завершения преобразования АЦП2. 0: Прерыванию от флага завершения преобразования АЦП2 назначается низкий уровень приоритета. 1: Прерыванию от флага завершения преобразования АЦП2 назначается высокий уровень приоритета.</p> <p>Бит 3: PWADC2: Управление приоритетом прерывания от детектора диапазона АЦП2. Этот бит устанавливает приоритет прерывания от детектора диапазона АЦП2. 0: Прерыванию от детектора диапазона АЦП2 назначается низкий уровень приоритета. 1: Прерыванию от детектора диапазона АЦП2 назначается высокий уровень приоритета.</p> <p>Бит 2: PT4: Управление приоритетом прерывания от Таймера 4. Этот бит устанавливает приоритет прерывания от Таймера 4. 0: Прерыванию от Таймера 4 назначается низкий уровень приоритета. 1: Прерыванию от Таймера 4 назначается высокий уровень приоритета.</p> <p>Бит 1: PADC1: Управление приоритетом прерывания от флага завершения преобразования АЦП1. Этот бит устанавливает приоритет прерывания от флага завершения преобразования АЦП1. 0: Прерыванию от флага завершения преобразования АЦП1 назначается низкий уровень приоритета. 1: Прерыванию от флага завершения преобразования АЦП1 назначается высокий уровень приоритета.</p> <p>Бит 0: PT3: Управление приоритетом прерывания от Таймера 3. Этот бит устанавливает приоритет прерывания от Таймера 3. 0: Приоритет прерывания от Таймера 3 определяется уровнем приоритета по умолчанию. 1: Прерыванию от Таймера 3 назначается высокий уровень приоритета.</p>								

13.4. Режимы управления электропитанием

Ядро CIP-51 имеет два программируемых режима управления электропитанием: режим ожидания и режим остановки. В режиме ожидания процессорное ядро останавливается, а внешние периферийные модули и внутренние тактовые генераторы остаются активными. В режиме остановки процессорное ядро и системный тактовый генератор останавливаются, все источники прерываний и таймеры (кроме детектора исчезновения тактовых импульсов) неактивны, системный тактовый генератор останавливается. После того, как тактовые генераторы переведены в режим ожидания, энергопотребление зависит от системной тактовой частоты и количества периферийных модулей, оставленных в активном режиме до входа в режим ожидания. В режиме остановки энергопотребление наименьшее. На рис.13.25 описан регистр управления питанием (PCON), используемый для настройки режимов электропитания CIP-51.

Хотя CIP-51 имеет встроенные режимы ожидания и остановки (как любой МК со стандартной архитектурой 8051), управление питанием всего МК наиболее эффективно осуществляется путем разрешения/запрещения по необходимости индивидуальных периферийных модулей. Каждый аналоговый периферийный модуль, когда он не используется, может быть заблокирован и переведен в режим пониженного энергопотребления. Цифровые периферийные модули, такие как таймеры или последовательные интерфейсы, потребляют мало энергии, когда не используются. Отключение Flash-памяти уменьшает энергопотребление также, как переход в режим ожидания. Отключение генератора хоть и сохраняет много энергии, но требует сброса для запуска МК.

13.4.1. Режим ожидания

Установка в 1 бита выбора режима ожидания (PCON.0) заставит CIP-51 остановить процессорное ядро и перейти в режим ожидания сразу же после завершения команды, которая устанавливает этот бит. Все внутренние регистры и память сохраняют свои данные. Все аналоговые и цифровые периферийные модули могут оставаться активными во время режима ожидания.

Выйти из режима ожидания можно или по сигналу сброса, или по прерыванию. Любой из разрешенных сигналов прерывания приведет к сбросу бита PCON.0 и возобновлению работы процессорного ядра. Прерывание будет обслужено и после выхода из прерывания (RETI) будет исполнена команда, которая следует в программе за командой, установившей бит выбора режима ожидания (PCON.0). Если режим ожидания завершается по внутреннему или внешнему сигналу сброса, то CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если сторожевой таймер включен, то со временем он вызовет сброс от сторожевого таймера, что приведет к выходу из режима ожидания. Эта возможность защищает систему от непреднамеренного постоянного отключения в случае случайной записи регистра PCON. Когда такое поведение нежелательно, сторожевой таймер может быть отключен программно до входа в режим ожидания, если первоначально он был настроен на разрешение такой операции. Это обеспечивает возможность дополнительного уменьшения энергопотребления, т.к. система остается в режиме ожидания неопределенно долгое время, ожидая внешнего сигнала пробуждения системы. Подробная информация об использовании и настройке сторожевого таймера приведена в разделе 14.7.

Примечание: За любой командой, которая устанавливает бит выбора режима ожидания (PCON.0) должна сразу же следовать команда, состоящая из двух или более байт. Например:

```
// на 'C':
PCON |= 0x01;      // Установка бита выбора режима ожидания (PCON.0)
PCON = PCON;      // Холостая команда длительностью 3 такта

; на ассемблере:
ORL PCON, #01h     ; Установка бита выбора режима ожидания (PCON.0)
MOV PCON, PCON     ; Холостая команда длительностью 3 такта
```

Если команда, которая следует за командой установки бита выбора режима ожидания (PCON.0), является однобайтной командой и прерывание происходит во время выполнения команды, которая устанавливает бит PCON.0, то МК может не выйти из режима ожидания, когда в будущем произойдет прерывание.

13.4.2. Режим остановки

Установка в 1 бита выбора режима остановки (PCON.1) заставит CIP-51 перейти в режим остановки сразу же после завершения команды, которая устанавливает этот бит. В режиме остановки процессорное ядро и тактовые генераторы останавливаются, а значит все цифровые модули выключаются. Каждый аналоговый периферийный модуль должен быть отключен индивидуально до перехода в режим остановки. Выйти из режима остановки можно только по внутреннему или внешнему сигналу сброса. При сбросе CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если включен детектор исчезновения тактовых импульсов (Missing Clock Detector – MCD), то он вызовет внутренний сброс и тем самым выведет МК из режима остановки. Детектор исчезновения тактовых импульсов следует отключить, если необходимо перевести МК в режим остановки на время, большее времени задержки MCD (100 мкс).

Рисунок 13.25. PCON: Регистр управления электропитанием

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	-	STOP	IDLE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x87 SFR страница: Все

Бит 7-2: Зарезервированы.

Бит 1: STOP: Выбор режима остановки.
Установка в 1 этого бита переведет CIP-51 в режим остановки. Этот бит всегда будет читаться как '0'.
1: Переход в режим пониженного энергопотребления. (Отключение внутреннего тактового генератора).

Бит 0: IDLE: Выбор режима ожидания.
Установка в 1 этого бита переведет CIP-51 в режим ожидания. Этот бит всегда будет читаться как '0'.
1: Переход в режим ожидания. (Отключение тактирования процессорного ядра, однако тактирование таймеров, модулей прерываний и всех периферийных модулей остается включенным).

См. примечание в разделе 13.4.1.

Примечания

14. ИСТОЧНИКИ СБРОСА

Схема сброса позволяет легко перевести МК в predetermined по умолчанию состояние. При переходе к этому состоянию сброса происходит следующее:

- CIP-51 останавливает выполнение программы;
- регистры SFR инициализируются значениями по умолчанию;
- выходы внешних портов устанавливаются в известное состояние;
- прерывания и таймеры запрещаются.

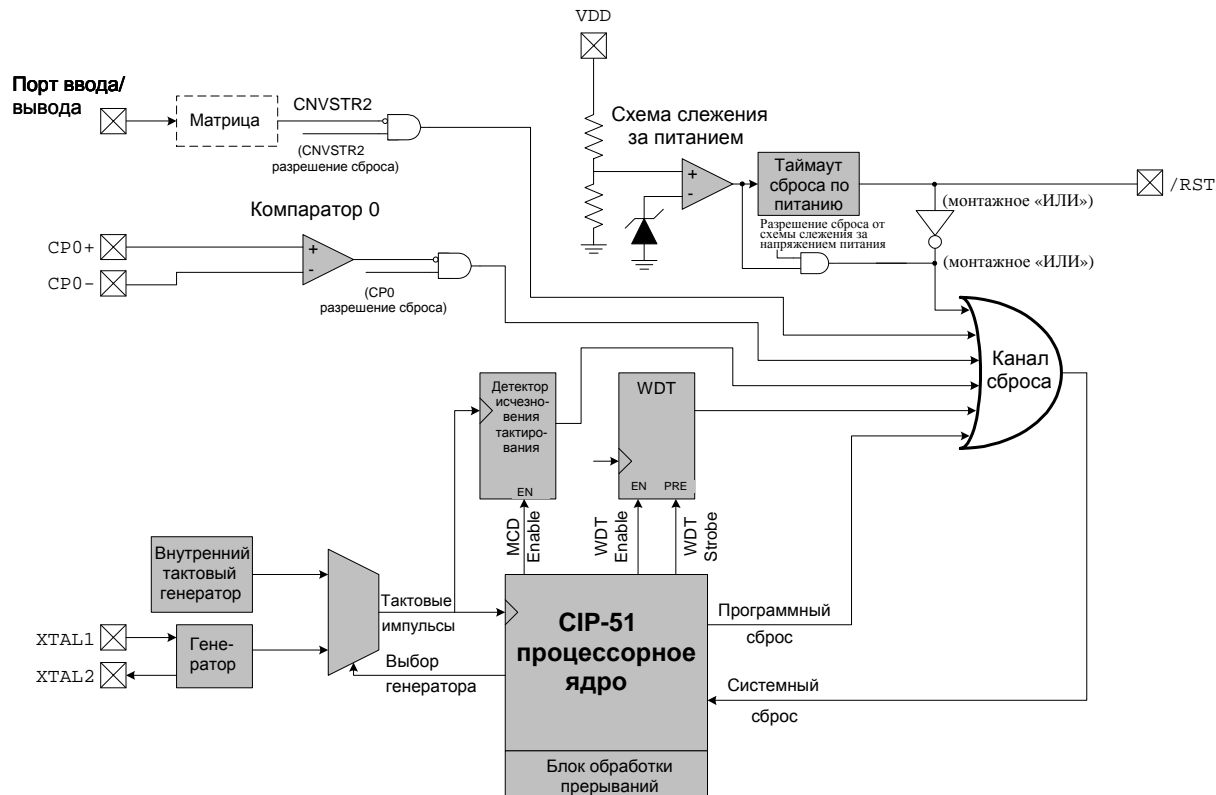
Все регистры SFR принимают значения по умолчанию. В подробном описании каждого регистра SFR приведено значение, загружаемое в этот регистр при сбросе. Содержимое внутренней памяти данных не изменяется при сбросе и ранее сохраненные данные остаются неизменными. Однако, т.к. регистр указателя стека сбрасывается, стек фактически теряется, хотя данные в нем не изменяются.

Защелки портов ввода/вывода сбрасываются в состояние 0xFF (все логические единицы), активируя внутренние слаботочковые подтяжки, которые удерживают на внешних портах ввода/вывода высокий логический уровень. Напряжение высокого уровня появляется на внешних портах ввода/вывода не сразу, а в течение четырех системных тактовых циклов после перехода в состояние сброса. Это позволяет уменьшить энергопотребление, когда МК удерживается в состоянии сброса. Если источником сброса является схема слежения за напряжением питания, то на выводе /RST удерживается низкий логический уровень до истечения таймута сброса по питанию.

При выходе из состояния сброса МК использует внутренний тактовый генератор, работающий на минимальной тактовой частоте. Программный счетчик (PC) сбрасывается и выполнение программы начинается с адреса 0x0000. Информация о выборе и настройке источников системного тактового сигнала приведена в разделе 15. Сторожевой таймер включен и настроен на максимальный таймаут. (Подробное описание сторожевого таймера приведено в разделе 14.7).

Семь источников могут перевести МК в состояние сброса: включение/исчезновение питания, внешний вывод /RST, внешний сигнал CNVSTR2, программный сброс, компаратор 0, детектор исчезновения тактирования, сторожевой таймер. Каждый источник сброса описан ниже.

Рисунок 14.1. Структурная схема источников сброса

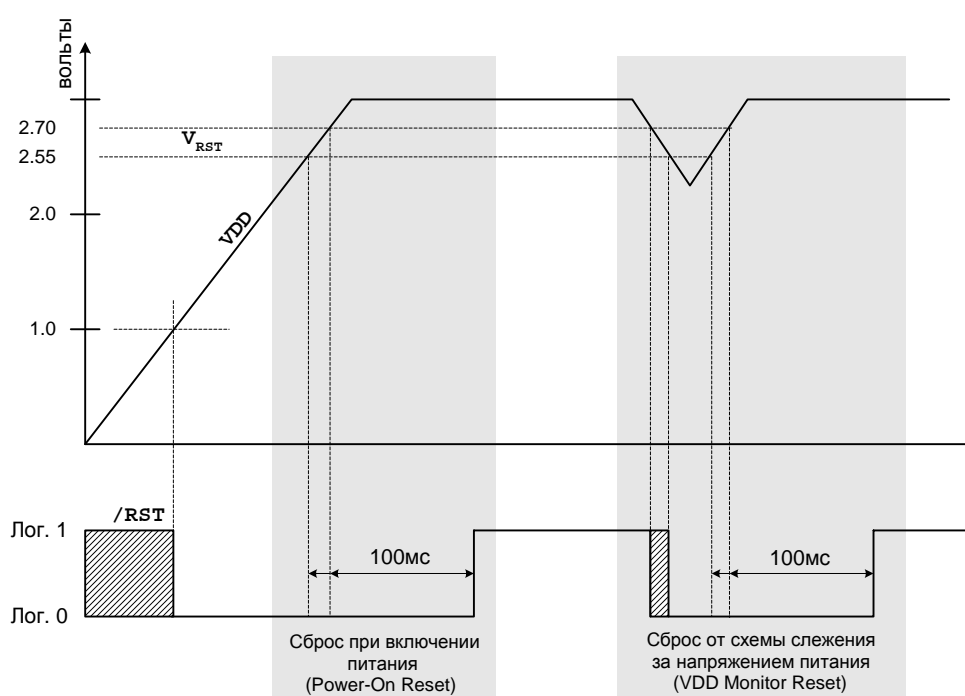


14.1. Сброс при включении питания (Power-on Reset - POR)

МК C8051F060/1/2/3/4/5/6/7 содержат схему слежения за напряжением питания, которая удерживает МК в состоянии сброса, пока напряжение питания VDD не превысит в процессе включения уровень V_{RST} . (См. временную диаграмму на рис.14.2 и электрические характеристики в табл.14.1). В течение таймута схемы слежения за напряжением питания (100 мс) на выводе /RST удерживается низкий логический уровень, что позволяет напряжению питания стабилизироваться. Для разрешения/запрещения сброса от схемы слежения за напряжением питания используется внешний вывод MOVEN.

При завершении сброса типа POR флаг PORSF (RSTSRC.1) аппаратно устанавливается в 1. Состояние всех других флагов сброса в регистре RSTSRC являются неопределенным. Флаг PORSF сбрасывается в 0 при сбросе от любого другого источника. Т.к. при сбросе любого типа выполнение программы начинается с одного и того же адреса (0x0000), программа может опросить флаг PORSF, чтобы определить, было ли включение питания причиной сброса. Содержимое внутренней памяти данных после сброса типа POR следует считать неопределенным.

Рисунок 14.2. Временная диаграмма работы схемы слежения за напряжением питания



14.2. Сброс при исчезновении питания (Power-fail Reset – PFR)

Когда при выключении или сбое питания напряжение питания VDD опускается ниже уровня V_{RST} , схема слежения за напряжением питания установит на выводе /RST низкий логический уровень и переведет CIP-51 в состояние сброса. Когда VDD превысит уровень V_{RST} , CIP-51 выйдет из состояния сброса точно так же, как при сбросе типа POR (см. рис.14.2). Следует иметь в виду, что, хотя содержимое внутренней памяти данных и не изменяется при сбросе типа PFR, невозможно определить, опускалось ли напряжение VDD ниже уровня, необходимого для сохранения данных. Если флаг PORSF установлен в 1, данные нельзя более считать действительными.

14.3. Внешний сброс

Внешний вывод /RST позволяет внешней схеме перевести МК в состояние сброса. Подача на вывод /RST сигнала с низким активным уровнем заставит МК перейти в состояние сброса. Несмотря на наличие внутренних слаботочковых подтяжек, желательно обеспечить на выводе /RST внешние подтягивающие и/или развязывающие цепи, чтобы предотвратить ложные сбросы, вызванные шумом. После снятия сигнала с низким активным уровнем с вывода /RST МК будет оставаться в состоянии сброса еще по крайней мере 12 тактовых циклов. При завершении внешнего сброса устанавливается в 1 флаг PINRSF (RSTSRC.0).

14.4. Сброс от детектора исчезновения тактирования

Детектор исчезновения тактирования (Missing Clock Detector – MCD) фактически представляет собой одновибратор, который управляется системным тактовым сигналом. Если системный тактовый сигнал исчезнет более чем на 100мкс, то одновибратор сработает и сгенерирует сброс. После сброса от MCD будет установлен в 1 флаг MCDRSF (RSTSRC.2), показывая, что источником сброса был MCD; в иных случаях этот бит читается как 0. Состояние вывода /RST не влияет на сброс этого типа. Работа детектора исчезновения тактирования разрешается установкой бита MCDRSF (RSTSRC.2) в 1 (см. раздел 15).

14.5. Сброс от Компаратора 0

Установка в 1 флага CORSEF (RSTSRC.5) настраивает Компаратор 0 как вход сброса с низким активным уровнем. Компаратор 0 следует включить, используя бит CPT0CN.7 (см. раздел 12), до записи бита CORSEF, чтобы дребезг на выходе не привел к генерации нежелательного сброса. Когда напряжение на неинвертирующем входе (CP0+) меньше, чем напряжение на инвертирующем входе (CP0-), то, если компаратор 0 настроен как источник сброса, МК перейдет в состояние сброса. После сброса от Компаратора 0 флаг CORSEF (RSTSRC.5) будет читаться как 1, показывая, что Компаратор 0 был источником сброса; в иных случаях этот бит читается как 0. Состояние вывода /RST не влияет на сброс этого типа.

14.6. Сброс от внешнего вывода CNVSTR2

Установка в 1 флага CNVRSEF (RSTSRC.6) настраивает внешний сигнал CNVSTR2 как вход сброса с активным низким уровнем. Сигнал CNVSTR2 может появиться на любых выводах портов ввода/вывода P0, P1, P2 или P3, как описано в разделе 18.1. (Необходимо отметить, что матрица должна быть сконфигурирована таким образом, чтобы сигнал CNVSTR2 был выведен на соответствующий порт ввода/вывода). Матрицу следует настроить и включить до установки бита CNVRSEF. Если сигнал CNVSTR2 настроен как источник сброса, то его нельзя использовать для запуска АЦП2. Когда сигнал CNVSTR2 настроен как источник сброса, он представляет собой чувствительный к уровню сигнал с активным низким уровнем. После сброса от сигнала CNVSTR2 флаг CNVRSEF (RSTSRC.6) будет читаться как 1, показывая, что сигнал CNVSTR2 был источником сброса; в иных случаях этот бит читается как 0. Состояние вывода /RST не влияет на сброс этого типа.

14.7. Сброс от сторожевого таймера

МК содержит программируемый сторожевой таймер (Watchdog Timer - WDT), работающий независимо от системного тактового сигнала. WDT переводит МК в состояние сброса в случае своего переполнения. Чтобы предотвратить сброс, WDT должен перезапускаться из прикладной программы до того, как произойдет его переполнение. Если в системе происходит программный/аппаратный сбой, не позволяющий программе перезапустить WDT, то WDT переполнится и вызовет сброс. Это предотвращает выход системы из под контроля.

После сброса любого типа WDT автоматически включается и запускается по умолчанию с максимальным таймаутом. При необходимости WDT можно программно отключить или заблокировать, предотвратив его случайное отключение. После блокировки WDT его нельзя отключить до следующего системного сброса. Состояние вывода /RST не влияет на сброс этого типа.

WDT состоит из 21-разрядного таймера, работающего с программируемой тактовой частотой. Этот таймер измеряет период между операциями записи определенных значений в его регистр управления. Если этот период превышает установленный предел, то генерируется сброс от WDT. WDT может быть программно разрешен или запрещен, кроме этого можно заблокировать функцию отключения WDT. Управление WDT осуществляется посредством регистра управления WDT (WDTCN), показанного на рис.14.3.

14.7.1. Включение/сброс WDT

WDT как включается, так и сбрасывается записью значения 0xA5 в регистр WDTCN. Программа пользователя должна периодически записывать значение 0xA5 в регистр WDTCN, чтобы предотвратить переполнение сторожевого таймера. WDT включается и сбрасывается в результате любого системного сброса.

14.7.2. Отключение WDT

Запись в регистр WDTCN значения 0xAD вслед за значением 0xDE отключает WDT. Следующий сегмент программного кода иллюстрирует операцию отключения WDT:

```
CLR EA          ; запрет всех прерываний
MOV WDTCN, #0DEh ; отключение сторожевого таймера
MOV WDTCN, #0ADh ;
SETB EA        ; разрешение прерываний
```

Между записью значений 0xDE и 0xAD должно пройти не более четырех тактовых циклов, иначе операция отключения игнорируется. На время этой процедуры следует запретить прерывания во избежание задержки между двумя операциями записи.

14.7.3. Блокировка отключения WDT

Запись значения 0xFF в регистр WDTCN заблокирует функцию отключения WDT. Будучи заблокированной, операция отключения игнорируется до следующего системного сброса. Запись значения 0xFF не включает и не сбрасывает сторожевой таймер. Приложения, планирующие использовать WDT постоянно, должны записывать значение 0xFF в регистр WDTCN в процессе начальной инициализации.

14.7.4. Установка временного интервала (таймаута) WDT

Биты WDTCN.[2:0] управляют таймаутом сторожевого таймера. Временной интервал определяется следующим уравнением:

$$4^{3+WDTCN[2:0]} \times T_{SYSCLK}, \text{ где } T_{SYSCLK} - \text{период системного тактового сигнала.}$$

Для системной тактовой частоты 3 МГц таймаут, в соответствии с этим уравнением, может быть от 0,021 мс до 349,5 мс. При установке этого временного интервала бит WDTCN.7 должен быть равен 0. Операция чтения WDTCN возвратит заданный таймаут. После системного сброса биты WDTCN.[2:0] читаются как 111b.



Рисунок 14.3. WDTCN: Регистр управления WDT

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: xxxxxx111
								SFR Адрес: 0xFF SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: Управление WDT								
Запись 0xA5 как включает, так и перезагружает WDT.								
Запись 0xAD в течение 4 тактовых циклов после записи 0xDE отключает WDT.								
Запись 0xFF блокирует функцию отключения.								
Бит 4: Бит состояния WDT (при чтении)								
Чтение бита WDTCN.[4] показывает состояние сторожевого таймера.								
0: WDT не активен								
1: WDT активен								
Биты 2-0: Биты установки таймаута WDT								
Биты WDTCN.[2:0] задают временной интервал сторожевого таймера. При записи этих битов бит WDTCN.7 должен быть равен 0.								

Рисунок 14.4. RSTSRC: Регистр источников сброса

R	R/W	R/W	R/W	R	R/W	R	R/W	Значение при сбросе:
-	CNVRSEF	CORSEF	SWRSEF	WDTRSF	MCDRSF	PORSF	PINRSF	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xEF SFR страница: 0

Бит 7: Зарезервирован.

Бит 6: CNVRSEF: Разрешение и флаг сброса от сигнала CNVSTR2 (Convert Start).
 Запись:
 0: CNVSTR2 не является источником сброса.
 1: CNVSTR2 является источником сброса (активный уровень - низкий).
 Чтение:
 0: CNVSTR2 не был источником предыдущего сброса.
 1: CNVSTR2 был источником предыдущего сброса.

Бит 5: CORSEF: Разрешение и флаг сброса от Компаратора 0.
 Запись:
 0: Компаратор 0 не является источником сброса.
 1: Компаратор 0 является источником сброса (активный уровень - низкий).
 Чтение:
 0: Компаратор 0 не был источником предыдущего сброса.
 1: Компаратор 0 был источником предыдущего сброса .

Бит 4: SWRSF: Бит инициации и флаг программного сброса.
 Запись:
 0: Не оказывает никакого влияния.
 1: Вызывает внутренний сброс. Состояние вывода /RST не влияет на этот сброс.
 Чтение:
 0: Предыдущий сброс не был вызван установкой в 1 бита SWRSF.
 1: Предыдущий сброс был вызван установкой в 1 бита SWRSF.

Бит 3: WDTRSF: Флаг сброса от сторожевого таймера
 0: WDT не был источником предыдущего сброса.
 1: WDT был источником предыдущего сброса.

Бит 2: MCDRSF: Флаг сброса от детектора исчезновения тактирования (MCD).
 Запись:
 0: Детектор исчезновения тактирования отключен.
 1: Детектор исчезновения тактирования включен.
 Чтение:
 0: MCD не был источником предыдущего сброса.
 1: MCD был источником предыдущего сброса.

Бит 1: PORSF: Флаг сброса типа POR (сброс при включении питания).
 Запись: Если схема слежения за напряжением питания включена (на выводе MOVEN присутствует сигнал высокого уровня), то этот бит используется для выбора ее в качестве источника сброса.
 0: Схема слежения за напряжением питания не будет источником сброса.
 1: Схема слежения за напряжением питания будет источником сброса.
Примечание: При включении питания для включения/отключения схемы слежения за напряжением питания используется внешний вывод MONEN. Бит PORSF не включает/отключает схему слежения за напряжением питания. Он лишь выбирает ее в качестве источника сброса.
 Чтение: Этот бит устанавливается каждый раз, когда происходит сброс типа POR. Это может быть сброс по включению питания или сброс от схемы слежения за напряжением питания. В любом случае содержимое памяти данных после сброса следует считать неопределенным.
 0: Предыдущий сброс не был сбросом типа POR или сбросом от схемы слежения за напряжением питания.
 1: Предыдущий сброс был сбросом типа POR или сбросом от схемы слежения за напряжением питания.
Примечание: Если флаг PORSF = 1, то состояние других флагов сброса является неопределенным.

Бит 0: PINRSF: Флаг сброса от вывода /RST.
 Запись: 0: Не оказывает никакого влияния.
 1: Вызывает сброс типа POR. На выводе /RST появляется сигнал низкого уровня.
 Чтение: 0: Предыдущий сброс не был сбросом от вывода /RST.
 1: Предыдущий сброс был сбросом от вывода /RST.

Таблица 14.1. Электрические параметры источников сброса

Т = от - 40°C до + 85°C, если не указано иное.

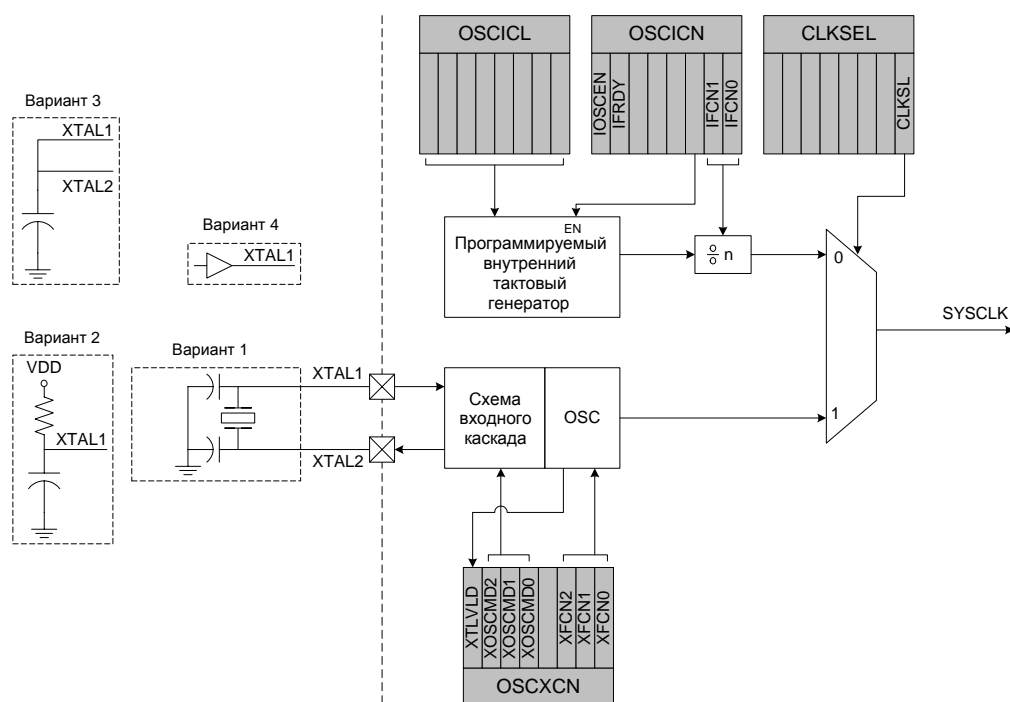
ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Выходное напряжение низкого уровня на выводе /RST	$I_{OL} = 8.5\text{mA}$, $V_{DD} = 2.7 \dots 3.6\text{V}$			0.6	В
Входное напряжение высокого уровня на выводе /RST		0.7 x V_{DD}			В
Входное напряжение низкого уровня на выводе /RST				0.3 x V_{DD}	В
Входной ток утечки вывода /RST	/RST = 0.0В		50		мкА
Напряжение VDD, необходимое для функционирования выхода /RST		1.0			В
Напряжение AV+, необходимое для функционирования выхода /RST		1.0			В
Пороговое значение напряжения VDD для сброса типа POR (V_{RST})		2.40	2.55	2.70	В
Минимальная длительность низкого уровня сигнала на выводе /RST, необходимая для генерации системного сброса		10			нс
Время задержки сброса	Задержка нарастающего фронта на выв. /RST после превышения порога сброса V_{RST}	80	100	120	мс
Таймаут детектора исчезновения тактирования	Время от последнего тактового импульса до генерации сброса	100	220	500	мкс



15. ГЕНЕРАТОРЫ

МК C8051F06x содержат программируемый внутренний генератор и схему возбуждения для внешнего генератора. Внутренний генератор можно включать, отключать и калибровать с помощью регистров OSCICN и OSCICL (см. рис.15.1). Системным тактовым сигналом может быть сигнал от внешнего генератора, сигнал от внутреннего генератора или деленный по частоте сигнал от внутреннего генератора. Электрические характеристики внутреннего генератора приведены в табл.15.1.

Рисунок 15.1. Структурная схема генератора



15.1. Программируемый внутренний генератор

Все МК C8051F060/1/2/3/4/5/6/7 содержат программируемый внутренний генератор, который после сброса системы является по умолчанию системным тактовым генератором. Частоту внутреннего генератора можно программировать с помощью регистра OSCICL (см. рис.15.2). OSCICL калибруется при изготовлении МК таким образом, чтобы частота внутреннего генератора после сброса составляла 24,5 МГц (f_{BASE}).

Электрические параметры прецизионного внутреннего генератора приведены в табл.15.1. Программируемая частота внутреннего генератора не должна превышать 25 МГц. Следует иметь в виду, что системная тактовая частота может быть получена из частоты внутреннего генератора, деленной на 1, 2, 4 или 8, в зависимости от значения битов IFCN регистра OSCICN.

Рисунок 15.2. OSCICL: Регистр калибровки внутреннего генератора

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: различно для каждого экземп- ляра МК
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: OSCICL: Регистр калибровки внутреннего генератора.
 Этот регистр используется для настройки частоты внутреннего генератора. Значение регистра OSCICL, устанавливаемое при сбросе, определяет базовую частоту внутреннего генератора. Значение, устанавливаемое при сбросе, различно для каждого конкретного МК и определяется при изготовлении МК таким образом, чтобы внутренний генератор генерировал сигнал с частотой 24,5 МГц.

SFR Адрес: 0x8B
SFR страница: F

Рисунок 15.3. OSCICN: Регистр управления внутренним генератором

R/W	R	R/W	R	R/W	R/W	R/W	R/W	Значение при сбросе: 11000000
IOSCEN	IFRDY	-	-	-	-	IFCN1	IFCN0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8A SFR страница: F

Бит 7: IOSCEN: Бит включения внутреннего генератора
 0: Внутренний генератор выключен
 1: Внутренний генератор включен

Бит 6: IFRDY: Флаг стабилизации частоты внутреннего генератора
 0: Частота внутреннего генератора не соответствует частоте, задаваемой битами IFCN.
 1: Частота внутреннего генератора соответствует частоте, задаваемой битами IFCN.

Биты 5-2: Зарезервированы.

Биты 1-0: IFCN1-0: Биты управления частотой внутреннего генератора
 00: SYSCLK равна частоте внутреннего генератора, деленной на 8.
 01: SYSCLK равна частоте внутреннего генератора, деленной на 4.
 10: SYSCLK равна частоте внутреннего генератора, деленной на 2.
 11: SYSCLK равна частоте внутреннего генератора, деленной на 1.

Таблица 15.1. Электрические параметры внутреннего генератора

T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Откалиброванная частота внутреннего генератора		24	24,5	25	МГц
Ток потребления внутреннего генератора (При напр. питания = 3В)	OSCICN.7 = 1		550		мкА

15.2. Схема возбуждения внешнего генератора.

Для внешнего генератора можно использовать кварцевый или керамический резонатор, конденсатор или RC-цепочку. Кроме этого, системный тактовый сигнал может подаваться от внешнего КМОП-счетчика. Если используется кварцевый или керамический резонатор, то он должен подключаться к выводам XTAL1 и XTAL2, как показано на рис.15.1 (вариант 1). При использовании RC-цепочки, конденсатора или КМОП-счетчика источник тактовых импульсов следует подключать к выводу(-ам) XTAL2 и/или XTAL1, как показано на рис.15.1 (варианты 2, 3 или 4). Тип внешнего генератора следует выбрать в регистре OSCXCN. В соответствии с выбранным типом внешнего генератора следует установить биты управления его частотой XFCN (см. рис.15.5).

15.3. Выбор источника системного тактового сигнала.

Бит CLKSL регистра CLKSEL определяет, какой генератор используется в качестве источника системного тактового сигнала. Бит CLKSL следует установить в 1, чтобы тактирование системы осуществлялось от внешнего генератора; однако внешний генератор может еще тактировать периферийные модули (таймеры, ПМС), в то время как внутренний генератор выбран в качестве источника системного тактового сигнала. Источник системного тактового сигнала (внутренний или внешний генератор) можно переключать «на лету» при условии, что выбранный генератор включен и стабилен. Внутренний генератор требует небольшого времени запуска. Его можно включить и выбрать в качестве источника системного тактового сигнала одной и той же командой записи в регистр OSCICN. Внешние кварцевый и керамический резонаторы обычно требуют определенного времени запуска, лишь после истечения которого они будут стабильны и готовы для использования в качестве источников системного тактового сигнала. Когда внешний генератор стабилизируется, флаг стабилизации кварцевого генератора (XTLVLD в регистре OSCXCN) будет аппаратно установлен в 1. Чтобы исключить считывание некорректного значения флага XTLVLD, в режиме работы с кварцевым резонатором программа должна выдержать паузу длительностью минимум 1 мс между включением внешнего генератора и проверкой флага XTLVLD. В режимах работы с конденсатором или RC-цепочкой обычно не требуется времени запуска.

Рисунок 15.4. CLKSEL: Регистр выбора тактового генератора

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	-	-	CLKSL	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x97 SFR страница: F

Биты 7-1: Зарезервированы.

Бит 0: CLKSL: Бит выбора источника системного тактового сигнала.
 0: SYSCLK равна частоте внутреннего генератора, деленной коэффициентом, определяемый битами IFCN регистра OSCICN..
 1: SYSCLK равна частоте внешнего генератора.

Рисунок 15.5. OSCXCN: Регистр управления внешним генератором

R	R/W	R/W	R/W	R	R/W	R/W	R/W	Значение при сбросе: 00000000
XTLVLD	XOSCMD2	XOSCMD1	XOSCMD0	-	XFCN2	XFCN1	XFCN0	SFR Адрес: 0x8C SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: XTLVLD: Флаг стабилизации кварцевого генератора.

(Действителен, только если XOSCMD = 11х.)

0: Кварцевый генератор не используется или еще нестабилен.

1: Кварцевый генератор работает и стабилен.

Биты 6-4: XOSCMD2-0: Биты выбора режима внешнего генератора.

00х: Внешний генератор выключен.

010: Тактовые импульсы поступают от внешнего КМОП-счетчика через вывод XTAL1.

011: Тактовые импульсы поступают от внешнего КМОП-счетчика через вывод XTAL1 и внутренний делитель на 2.

10х: Режим RC/C-генератора с делением тактовой частоты на 2.

110: Режим кварцевого генератора

111: Режим кварцевого генератора с делением тактовой частоты на 2.

Бит 3: Зарезервирован. Читается как 0b. Запись не оказывает никакого влияния.

Биты 2-0: XFCN2-0: Биты управления частотой внешнего генератора

000-111: см. таблицу:

XFCN	Резонатор (XOSCMD = 11х)	RC (XOSCMD = 10х)	C (XOSCMD = 10х)
000	$f \leq 32 \text{ кГц}$	$f \leq 25 \text{ кГц}$	KF = 0.87
001	$32 \text{ кГц} < f \leq 84 \text{ кГц}$	$25 \text{ кГц} < f \leq 50 \text{ кГц}$	KF = 2.6
010	$84 \text{ кГц} < f \leq 225 \text{ кГц}$	$50 \text{ кГц} < f \leq 100 \text{ кГц}$	KF = 7.7
011	$225 \text{ кГц} < f \leq 590 \text{ кГц}$	$100 \text{ кГц} < f \leq 200 \text{ кГц}$	KF = 22
100	$590 \text{ кГц} < f \leq 1,5 \text{ МГц}$	$200 \text{ кГц} < f \leq 400 \text{ кГц}$	KF = 65
101	$1,5 \text{ МГц} < f \leq 4 \text{ МГц}$	$400 \text{ кГц} < f \leq 800 \text{ кГц}$	KF = 180
110	$4 \text{ МГц} < f \leq 10 \text{ МГц}$	$800 \text{ кГц} < f \leq 1.6 \text{ МГц}$	KF = 664
111	$10 \text{ МГц} < f \leq 30 \text{ МГц}$	$1.6 \text{ МГц} < f \leq 3.2 \text{ МГц}$	KF = 1590

Режим генератора с кварцевым или керамическим резонатором

(Схема на рис.15.1, Вариант 1; XOSCMD = 11х)

Выберите значение XFCN, соответствующее частоте кварцевого или керамического резонатора.

Режим RC-генератора

(Схема на рис.15.1, Вариант 2; XOSCMD = 10х)

Выберите диапазон генерируемых частот, где:

$$f = 1.23(10^3) / (R * C), \text{ где}$$

f = генерируемая частота в [МГц]

C = емкость конденсатора в [пФ]

R = сопротивление подтягивающего резистора в [кОм]

Режим генератора с конденсатором

(Схема на рис.15.1, Вариант 3; XOSCMD = 10х)

Выберите коэффициент К (KF) для требуемой частоты:

$$f = KF / (C * VDD), \text{ где}$$

f = генерируемая частота в [МГц]

C = емкость конденсатора, подключенного к выводам XTAL1 и XTAL2, в [пФ]

VDD = напряжение питания МК в [В].



15.4. Пример использования внешнего резонатора

Если бы для генерации системной тактовой частоты МК использовался кварцевый или керамический резонатор, то схема была бы такой, как показано на рис.15.1, вариант 1. При выборе значения битов управления частотой внешнего генератора (XFCN) следует использовать столбец «Резонатор» таблицы, приведенной на рис.15.5. Например, для резонатора с частотой 11.0592 МГц значение битов XFCN должно быть 111b.

Как только внешний кварцевый генератор выходит на стабильный режим работы, устанавливается в 1 флаг стабилизации кварцевого генератора (XTLVLD в регистре OSCXCN). Чтобы исключить преждевременное переключение на тактирование системы от внешнего генератора, необходимо выдержать паузу длительностью как минимум 1мс между включением генератора и проверкой бита XTLVLD. Переключение на работу от внешнего генератора до выхода его в устойчивый режим работы может привести к непредсказуемому поведению МК. Рекомендуется следующая последовательность действий:

1. Включить внешний генератор.
2. Выдержать паузу длительностью как минимум 1мс.
3. Опрашивать бит XTLVLD до обнаружения перехода его состояния из '0' в '1'.
4. Переключиться на работу от внешнего генератора.

ПРИМЕЧАНИЕ: Схемы кварцевых генераторов достаточно чувствительны к разводке печатной платы и внешним шумам. Кварцевый резонатор следует размещать как можно ближе к выводам XTAL микроконтроллера, добиваясь минимальной длины проводников. Кварцевый резонатор необходимо экранировать слоем «земли» от любых других проводников, которые могли бы быть причиной шумов и помех.

15.5. Пример использования RC-генератора

Если бы для генерации системной тактовой частоты МК использовалась RC-цепочка, то схема была бы такой, как показано на рис.15.1, вариант 2. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью (менее 20пФ) приведет к увеличению частотного дрейфа вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала нужно выбрать значения компонентов RC-цепи, необходимые для получения требуемой частоты генерации. Например, если требуется частота 100кГц, то можно взять $R = 246\text{кОм}$ и $C = 50\text{пФ}$:

$$\begin{aligned}f &= 1.23(10^3)/RC = 1.23(10^3) / [246 * 50] = 0.1\text{МГц} = 100\text{кГц} \\XFCN &\geq \log_2(f/25\text{кГц}) \\XFCN &\geq \log_2(100\text{кГц}/25\text{кГц}) = \log_2(4) \\XFCN &\geq 2, \text{ или код } 010\end{aligned}$$

15.6. Пример использования внешнего генератора с конденсатором

Если бы для генерации системной тактовой частоты МК использовался внешний конденсатор, то схема была бы такой, как показано на рис.15.1, вариант 3. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью приведет к увеличению погрешности установки частоты вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала необходимо выбрать емкость используемого конденсатора и вычислить частоту генерации из уравнения, приведенного ниже. Например, для $VDD = 3.0\text{В}$ и $C = 50\text{пФ}$ получим:

$$\begin{aligned}f &= KF / (C * VDD) = KF / (50 * 3) \\f &= KF / 150\end{aligned}$$

Если требуется получить частоту около 50кГц, то из таблицы на рис.15.5 необходимо выбрать $KF = 7.7$:

$$f = 7.7 / 150 = 0.051\text{МГц}, \text{ или } 51\text{кГц}$$

Поэтому, значение битов XFCN для этого примера составляет 010b.

ПРИМЕЧАНИЯ

16. FLASH-ПАМЯТЬ

МК C8051F060/1/2/3/4/5/6/7 содержат встроенную перепрограммируемую Flash-память для хранения программного кода и долговременного хранения данных. МК C8051F060/1/2/3/4/5 содержат 64k + 128 байт Flash-памяти. МК C8051F066/7 содержат 32k + 128 байт Flash-памяти. Flash-память может программироваться внутрисистемно по одному байту за раз посредством JTAG-интерфейса или из программы, используя команду MOVX. Если Flash-бит сброшен в 0, то для того, чтобы установить его в 1, его необходимо стереть. Байты перед программированием обычно стираются (устанавливаются в 0xFF). Временные интервалы операций записи и стирания, необходимые для корректной работы, устанавливаются автоматически аппаратными средствами. Опрос данных для определения завершения операции записи/стирания не требуется. Процессорное ядро останавливается во время операций записи/стирания Flash-памяти, а периферийные модули остаются активными. Прерывания, возникающие во время записи/стирания Flash-памяти, будут обработаны после окончания операций с Flash-памятью в порядке, определяемом их уровнями приоритета. Электрические параметры Flash-памяти приведены в таблице 16.1.

16.1. Программирование Flash-памяти

Самый простой способ программирования Flash-памяти заключается в использовании JTAG-интерфейса и средств программирования, предлагаемых фирмой Silicon Labs или независимыми производителями. Это единственный способ программирования неинициализированного МК. Подробная информация об использовании JTAG команд для программирования Flash-памяти приведена в разделе 26.

Flash-память можно программировать программным путем, используя команду MOVX с адресом и байтом данных в качестве обычных операндов. Перед записью во Flash-память с использованием команды MOVX операции записи Flash-памяти необходимо разрешить установкой в 1 бита разрешения записи памяти программ PSWE (PSCTL.0). Это приведет к тому, что операции записи с помощью команды MOVX будут относиться не к памяти XRAM (устанавливается по умолчанию), а к Flash-памяти. Бит PSWE остается установленным в 1 до сброса его программным путем. Чтобы предотвратить случайную запись во Flash-память, рекомендуется запрещать прерывания на все время, пока бит PSWE установлен в 1.

Для чтения Flash-памяти следует использовать команду MOVC. Чтение с использованием команды MOVX всегда относится к памяти XRAM, независимо от состояния бита PSWE.

Примечание: Чтобы гарантировать целостность содержимого Flash-памяти, строго рекомендуется включить схему слежения за напряжением питания, соединив вывод MOVEN с шиной питания VDD и установив в 1 бит PORSF в регистре RSTSRC. Это касается любых систем, которые содержат код, осуществляющий запись/стирание Flash-памяти программным путем.

Запись во Flash-память может сбросить в 0 биты, но не может установить их в 1. Только операция стирания может установить в 1 биты во Flash-памяти. Поэтому ячейку памяти, которую требуется запрограммировать, необходимо предварительно стереть, чтобы можно было записать новое значение. Flash-память организована секторами по 512 байт. Операция стирания применяется ко всему сектору целиком (все байты в секторе устанавливаются в 0xFF). Ниже приведен алгоритм программирования Flash-памяти программным путем:

1. Запретить прерывания.
2. Установить в 1 бит FLWE (FLSCL.0) для разрешения записи/стирания Flash-памяти программным путем.
3. Установить в 1 бит PSEE (PSCTL.1) для разрешения стирания Flash-памяти.
4. Установить в 1 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на запись Flash-памяти.
5. Использовать команду MOVX для записи байта данных в любую ячейку внутри 512-байтного сектора, который таким образом будет стерт.
6. Сбросить в 0 бит PSEE (PSCTL.1) для запрещения стирания Flash-сектора
7. Использовать команду MOVX для записи байта данных по нужному адресу внутри стертого 512-байтного сектора. Повторять этот байт до тех пор, пока все необходимые байты не будут записаны (внутри данного сектора).
8. Сбросить в 0 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на пространство памяти данных XRAM.
9. Разрешить прерывания.

Управление временными интервалами операций записи и стирания осуществляется автоматически аппаратными средствами. Во время программирования или стирания Flash-памяти выполнение программы приостанавливается.

Таблица 16.1. Электрические параметры FLASH-памяти

VDD = 2.7 - 3.6В, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Размер Flash-памяти ^{*1}	C8051F060/1/2/3/4/5	65664 ^{*2}			Байт
Размер Flash-памяти ^{*1}	C8051F066/7	32896			Байт
Число циклов программирования		20000	100000		Стирание/Запись
Время цикла стирания		10	12	14	мс
Время цикла записи		40	50	60	мкс

^{*1} Включая 128-байтный сектор сверхоперативного ЗУ (СОЗУ).

^{*2} 1024-байтный сектор с адресами 0xFC00 – 0xFFFF зарезервирован.

16.2. Долговременное хранение данных

Flash-память может использоваться не только для хранения программного кода, но и для долговременного хранения данных. Это позволяет рассчитывать и сохранять во время выполнения программы такие данные, как калибровочные коэффициенты. Данные записываются с использованием команды MOVX (как описано в предыдущем разделе) и считываются с использованием команды MOVC.

МК данного семейства содержат дополнительный 128-байтный сектор Flash-памяти, предназначенный для долговременного хранения данных. По причине небольшого размера этого сектора его особенно выгодно использовать в качестве долговременной сверхбыстродействующей памяти общего назначения. Несмотря на то, что во Flash-память можно записывать по одному байту за раз, сначала необходимо стереть весь сектор. Чтобы изменить один байт в многобайтном наборе данных, необходимо поместить данные на временное хранение в какую-либо память. После того, как сектор стерт, данные обновляются и возвращаются в исходный сектор. 128-байтный размер сектора позволяет организовать процесс обновления данных без расходования пространства памяти программ или ОЗУ. Этот 128-байтный сектор отображен (в режиме дублирования) на 64-Кбайтную Flash-память и занимает диапазон адресов 0x00 - 0x7F (см. рис.16.1 и рис.16.2). Доступ к этому 128-байтному сектору возможен только тогда, когда бит SFLE регистра PSCTL установлен в 1. Выполнение программного кода из этого 128-байтного сектора сверхоперативной памяти не допускается.

16.3. Защита FLASH-памяти

CIP-51 имеет опции защиты, позволяющие защитить Flash-память от случайной модификации со стороны программы и исключить возможность просмотра патентованного программного кода и констант. Биты разрешения записи памяти программ (PSCTL.0) и разрешения стирания памяти программ (PSCTL.1) защищают Flash-память от случайной модификации со стороны программы. Эти биты должны быть явно установлены в 1, чтобы программа могла модифицировать или стирать Flash-память. Дополнительные функции защиты предотвращают чтение и изменение патентованного программного кода и констант посредством JTAG-интерфейса или программы, запущенной на системном контроллере.

Установка байтов блокировки защиты защищает Flash-память от чтения и изменения посредством JTAG-интерфейса. Каждый бит в байте блокировки защиты защищает один 8-Кбайтный блок памяти. Сброс бита в 0 в байте блокировки чтения защищает соответствующий блок Flash-памяти от чтения посредством JTAG-интерфейса. Сброс бита в 0 в байте блокировки записи/стирания защищает блок от записи и/или стирания посредством JTAG-интерфейса. 128-байтный сектор сверхоперативной памяти блокируется только тогда, когда заблокированы все другие секторы.

В МК C8051F060/1/2/3/4/5 байты блокировки защиты находятся по адресам 0xFBFE (байт блокировки записи/стирания) и 0xFBFF (байт блокировки чтения), как показано на рис.16.1. В МК C8051F066/7 байты блокировки защиты находятся по адресам 0x7FFE (байт блокировки записи/стирания) и 0x7FFF (байт блокировки чтения), как показано на рис.16.2. 512-байтный сектор, содержащий байты защиты, можно программно записывать, но нельзя программно стирать. Операция чтения заблокированных для чтения байт возвратит в качестве результата неопределенные данные. Отладка кода в заблокированном для чтения секторе с помощью JTAG-интерфейса невозможна. Биты блокировки всегда могут быть прочитаны и сброшены в 0 независимо от параметров защиты блока, содержащего байты защиты. Это позволяет защитить дополнительные блоки уже после того, как был защищен блок, содержащий байты защиты.

Важное примечание: Чтобы гарантировать защиту от внешнего доступа, необходимо заблокировать для операций записи/стирания блок памяти, содержащий байты блокировки. В 64-Кбайтных МК (C8051F060/1/2/3/4/5) страница, содержащая байты защиты (0xFA00 – 0xFBFF), блокируется путем сброса в 0 бита 7 байта блокировки записи/стирания. В 32-Кбайтных МК (C8051F066/7) страница, содержащая байты защиты (0x7E00 – 0x7FFF), блокируется путем сброса в 0 бита 3 байта блокировки записи/стирания. Если страница, содержащая байты защиты, не заблокирована для операций записи/стирания, то, используя JTAG-порт, можно стереть эту страницу и сбросить байты защиты.

Если страница, содержащая байты защиты, заблокирована для операций записи/стирания, то для разблокирования любой области Flash-памяти, защищенной байтами защиты, необходимо стереть все пространство памяти программ, используя операцию стирания JTAG-интерфейса. Обращение к любому байту защиты во время выполнения операции JTAG-стирания автоматически инициирует стирание всего пространства памяти программ. Эта операция стирания может быть выполнена только через JTAG-интерфейс и не может быть выполнена из программы, запущенной на МК.

Рисунок 16.1. Карта распределения Flash-памяти программ и байты защиты (C8051F060/1/2/3/4/5)

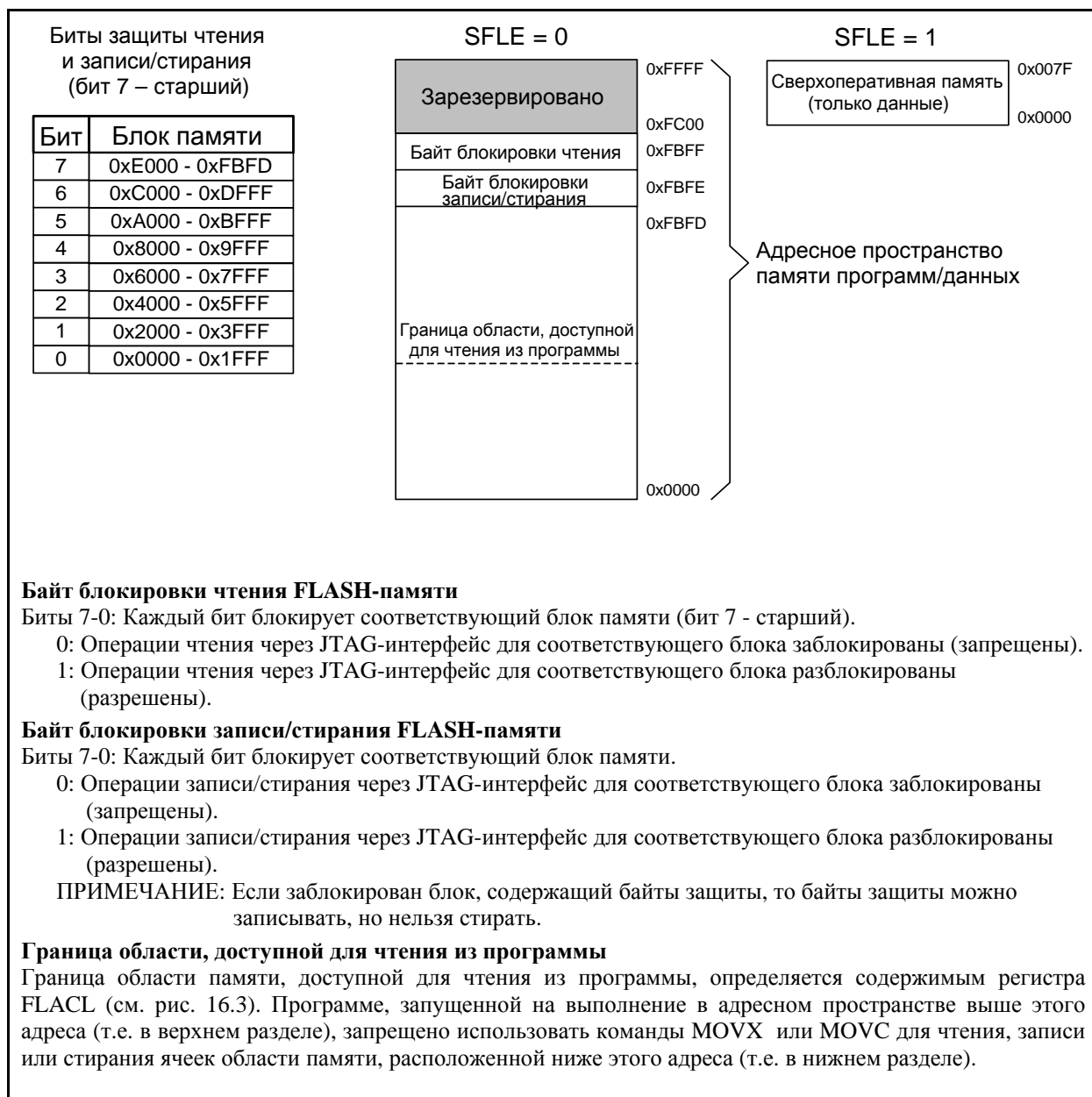
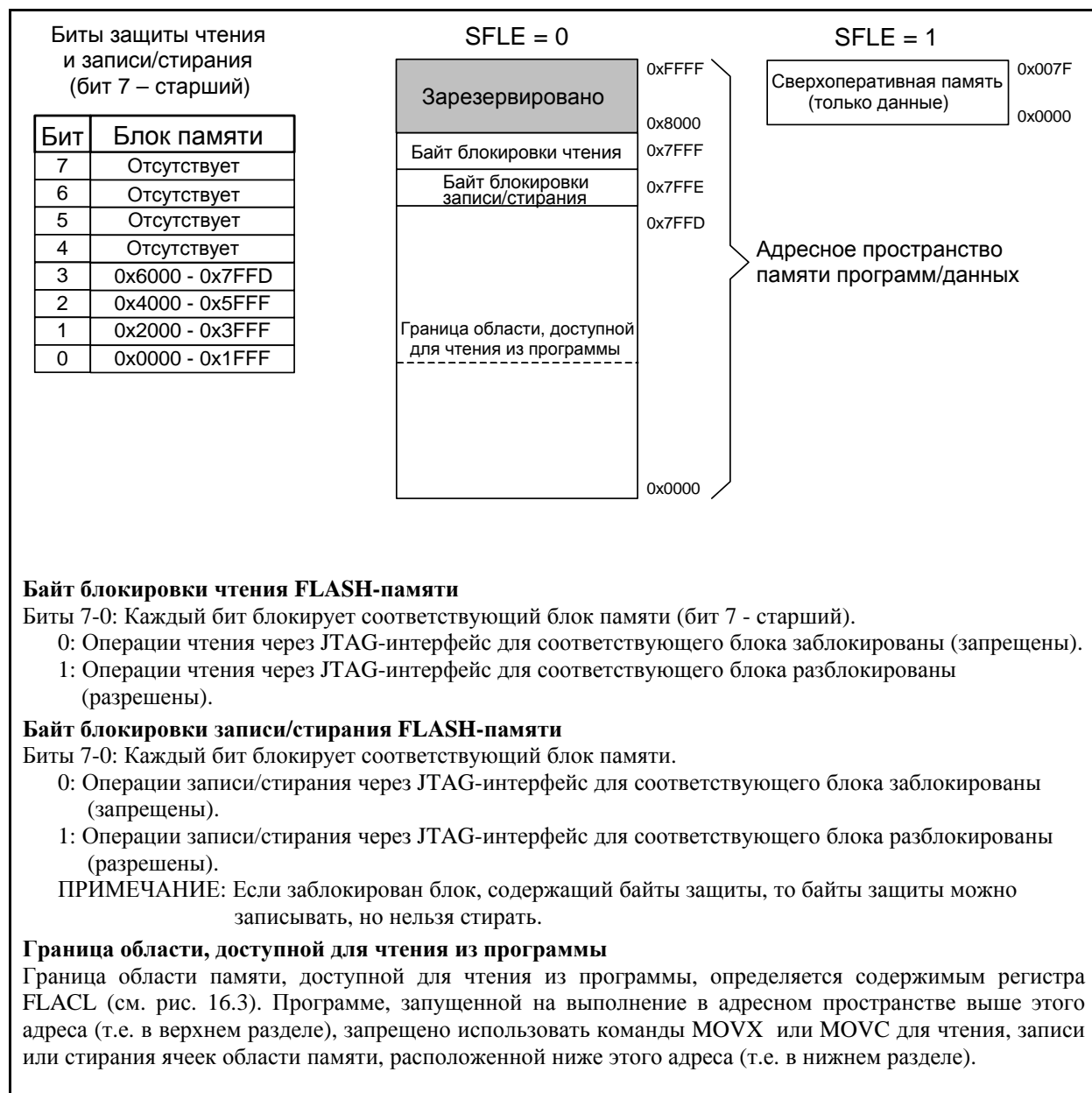


Рисунок 16.2. Карта распределения Flash-памяти программ и байты защиты (C8051F066/7)



Байт блокировки чтения FLASH-памяти

Биты 7-0: Каждый бит блокирует соответствующий блок памяти (бит 7 - старший).

- 0: Операции чтения через JTAG-интерфейс для соответствующего блока заблокированы (запрещены).
- 1: Операции чтения через JTAG-интерфейс для соответствующего блока разблокированы (разрешены).

Байт блокировки записи/стирания FLASH-памяти

Биты 7-0: Каждый бит блокирует соответствующий блок памяти.

- 0: Операции записи/стирания через JTAG-интерфейс для соответствующего блока заблокированы (запрещены).
- 1: Операции записи/стирания через JTAG-интерфейс для соответствующего блока разблокированы (разрешены).

ПРИМЕЧАНИЕ: Если заблокирован блок, содержащий байты защиты, то байты защиты можно записывать, но нельзя стирать.

Граница области, доступной для чтения из программы

Граница области памяти, доступной для чтения из программы, определяется содержимым регистра FLACL (см. рис. 16.3). Программе, запущенной на выполнение в адресном пространстве выше этого адреса (т.е. в верхнем разделе), запрещено использовать команды MOVX или MOVC для чтения, записи или стирания ячеек области памяти, расположенной ниже этого адреса (т.е. в нижнем разделе).

Ограничение доступа к Flash-памяти (см. рис. 16.3) представляет собой функцию защиты, которая защищает патентованный программный код и данные от прочтения программой, запущенной на МК C8051F060/1/2/3/4/5/6/7. Эта функция обеспечивает поддержку OEM-производителей, которые перед распространением МК желают запрограммировать их дополнительным программным обеспечением, являющимся собственностью фирмы. При этом фирменное программное обеспечение будет защищено, а в оставшееся пространство памяти программ можно позднее запрограммировать дополнительный код.

Граница области, доступной для программного чтения (Flash Access Limit - FAL), представляет собой 16-битный адрес, который делит пространство памяти программ на два логических раздела. Первый из них является верхним разделом и состоит из всех ячеек памяти программ, находящихся выше адреса FAL (включая и сам адрес FAL). Второй является нижним разделом и состоит из всех ячеек памяти программ с адресами от 0x0000 до FAL адреса (не включая сам адрес FAL). Программа, запущенная в верхнем разделе, может исполнять код из нижнего раздела, но ей запрещено читать ячейки из нижнего раздела, используя команду MOVC. (Выполнение команды MOVC из верхнего раздела с адресом источника данных, указывающим на нижний раздел, всегда в качестве результата будет возвращать значение 0x00.) Программа, запущенная в нижнем разделе, может обращаться к ячейкам памяти как из верхнего, так и из нижнего разделов без ограничений.

Дополнительные встроенные фирменные программы следует размещать в нижнем разделе. При сбросе управление передается этим программам через вектор сброса. Как только завершится процесс начальной инициализации, произойдет переход по предопределенному адресу в верхнем разделе. Программа, запущенная в верхнем разделе, может выполнять программный код из нижнего раздела, если известны точки входа, но не может прочесть содержимое нижнего раздела. Программному коду, запущенному в нижнем разделе, параметры могут передаваться следующим образом:

- параметры размещаются в стеке до вызова программного кода из нижнего раздела;
- параметры размещаются в регистрах внутреннего ОЗУ до вызова программного кода из нижнего раздела;
- параметры размещаются в определенных ячейках памяти в верхнем разделе.

Адрес FAL задается в регистре ограничения доступа к Flash-памяти (FLACL). 16-разрядный FAL адрес вычисляется как 0xNN00, где NN представляет собой содержимое регистра FLACL. Таким образом, адрес FAL можно задать в любом месте пространства памяти программ на границах 256-байтных секторов. Однако, 512-байтный размер сектора стирания требует использовать в качестве адреса FAL границы 512-байтных секторов. При сбросе в регистр FLACL по умолчанию записывается 0x00, устанавливая тем самым адрес FAL 0x0000 и разрешая доступ по чтению ко всем ячейкам памяти программ.

Рисунок 16.3. FLACL: Регистр ограничения доступа к Flash-памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xB7 SFR страница: F

Биты 7-0: FLACL: Адрес границы программно-доступной области Flash-памяти.

Этот регистр содержит старший байт 16-разрядного адреса границы области памяти программ, доступной для операций чтения/записи/стирания. Значение полного 16-разрядного адреса ограничения доступа рассчитывается как 0xNN00, где NN заменяется содержимым регистра FLACL. Запись в этот регистр устанавливает адрес границы программно-доступной области Flash-памяти. Этот регистр может быть записан только один раз после сброса. Все последующие попытки записать этот регистр игнорируются до следующего сброса. **Чтобы полностью защитить все ячейки памяти с адресами ниже этой границы, необходимо сбросить в 0 бит 0 регистра FLACL; тогда адрес FAL совпадет границей 512-байтного сектора Flash-памяти.**

16.3.1. Обзор методов защиты FLASH-памяти

МК C8051F060/1/2/3/4/5/6/7 поддерживают три метода доступа к Flash-памяти:

- 1) доступ к Flash-памяти с помощью интерфейса JTAG;
- 2) доступ к Flash-памяти из программы, находящейся ниже адреса FAL;
- 3) доступ к Flash-памяти из программы, находящейся выше адреса FAL.

Доступ к Flash-памяти с помощью интерфейса JTAG:

1. Байты блокировки чтения и записи/стирания (байты защиты) обеспечивают защиту от доступа к Flash-памяти с помощью интерфейса JTAG.
2. Любую незаблокированную страницу можно прочитать, записать или стереть.
3. Заблокированные страницы нельзя прочитать, записать или стереть.
4. Прочитать байты защиты можно всегда.
5. Всегда можно заблокировать дополнительные страницы путем записи байтов защиты.
6. Если страница, содержащая байты защиты, не заблокирована, то ее можно стереть. **Это приведет к сбросу байтов защиты и к разблокировке всех страниц Flash-памяти.**
7. Если страница, содержащая байты защиты, заблокирована, **то для ее разблокировки необходимо стереть все адресное пространство памяти МК посредством JTAG-интерфейса.** Это приведет к стиранию всех страниц Flash-памяти, включая страницу, содержащую байты защиты, и сами байты защиты.
8. Зарезервированную область памяти никогда нельзя прочитать, записать или стереть.

Доступ к Flash-памяти из программы, находящейся ниже адреса FAL:

1. Байты блокировки чтения и записи/стирания (байты защиты) не ограничивают доступ к Flash-памяти из программы пользователя.
2. Любая страница Flash-памяти, за исключением страницы, содержащей байты защиты, может быть прочитана, записана или стерта.
3. **Страницу, содержащую байты защиты, нельзя стереть.** Разблокировка страниц Flash-памяти может быть выполнена только посредством интерфейса JTAG.
4. Страницу, содержащую байты защиты, можно прочитать или записать. Страницы Flash-памяти можно заблокировать для доступа посредством интерфейса JTAG путем записи байтов защиты.
5. Зарезервированную область памяти никогда нельзя прочитать, записать или стереть.

Доступ к Flash-памяти из программы, находящейся выше адреса FAL:

1. Байты блокировки чтения и записи/стирания (байты защиты) не ограничивают доступ к Flash-памяти из программы пользователя.
2. Любая страница Flash-памяти, расположенная с и выше адреса FAL, за исключением страницы, содержащей байты защиты, может быть прочитана, записана или стерта.
3. Любая страница Flash-памяти, расположенная ниже адреса FAL, не может быть прочитана, записана или стерта.
4. Разрешены программные переходы по адресам памяти, расположенным ниже адреса FAL.
5. **Страницу, содержащую байты защиты, нельзя стереть.** Разблокировка страниц Flash-памяти может быть выполнена только посредством интерфейса JTAG.
6. Страницу, содержащую байты защиты, можно прочитать или записать. Страницы Flash-памяти можно заблокировать для доступа посредством интерфейса JTAG путем записи байтов защиты.
7. Зарезервированную область памяти никогда нельзя прочитать, записать или стереть.

Рисунок 16.4. FLSCL: Регистр управления контроллером Flash-памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 10000000
FOSE	FRAE	Зарезерв.	Зарезерв.	Зарезерв.	Зарезерв.	Зарезерв.	FLWE	SFR Адрес: 0xB7 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: FOSE: Включение ждущего таймера модуля Flash-памяти
 Это таймер, который отключает усилитель считывания после операций чтения Flash-памяти.
 0: Ждущий таймер модуля Flash-памяти выключен.
 1: Ждущий таймер модуля Flash-памяти включен (рекомендуемое значение).

Бит 6: FRAE: Разрешение постоянного чтения Flash-памяти
 0: Чтение Flash-памяти происходит по необходимости (рекомендуемое значение).
 1: Чтение Flash-памяти происходит каждый системный тактовый цикл.

Биты 5-1: Зарезервированы. Читаются как 00000b. В эти биты следует записать значение 00000b.

Бит 0: FLWE: Разрешение записи/стирания Flash-памяти.
 Чтобы разрешить запись/стирание Flash-памяти из программы пользователя, необходимо установить этот бит в 1.
 0: Операции записи/стирания Flash-памяти запрещены.
 1: Операции записи/стирания Flash-памяти разрешены.

Рисунок 16.5. PSCTL: Регистр управления записью/стиранием памяти программ

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	SFLE	PSEE	PSWE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8F SFR страница: 0

Биты 7-3: Не используются. Читаются как 00000b. Запись не оказывает никакого влияния.

Бит 2: SFLE: Разрешение доступа к сверхоперативному сектору Flash-памяти.
 Когда этот бит установлен в 1, операции чтения и записи Flash-памяти, выполняемые из программы пользователя, относятся к 128-байтному сверхоперативному сектору Flash-памяти. Если SFLE = 1, то не следует пытаться обращаться по адресам Flash-памяти за пределами диапазона 0x00 – 0x7F. Чтение/запись ячеек памяти за пределами этого диапазона приведет к неопределенному результату.
 0: При обращении к Flash-памяти из программы пользователя происходит обращение к сектору Flash-памяти программ/данных.
 1: При обращении к Flash-памяти из программы пользователя происходит обращение к 128-байтному сверхоперативному сектору Flash-памяти.

Бит 1: PSEE: Разрешение стирания памяти программ.
 Установка этого бита разрешает стереть целую страницу Flash-памяти программ при условии, что бит PSWE также установлен. После установки этого бита запись во Flash-память с использованием команды MOVX сотрет целую страницу, которая содержит ячейку, адресуемую командой MOVX (значение записываемого байта данных не важно). **Примечание: из программы нельзя стереть страницу Flash-памяти, содержащую байт блокировки чтения и байт блокировки записи/стирания.**
 0: Стирание Flash-памяти программ запрещено.
 1: Стирание Flash-памяти программ разрешено.

Бит 0: PSWE: Разрешение записи памяти программ.
 Установка этого бита разрешает запись байта данных во Flash-память программ, используя команду MOVX. Адресуемая в команде MOVX ячейка памяти должна быть стертой.
 0: Запись во Flash-память программ запрещена. Операции записи MOVX относятся к внешнему ОЗУ.
 1: Запись во Flash-память программ разрешена. Операции записи MOVX относятся к Flash-памяти.

17. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ XRAM.

МК C8051F060/1/2/3/4/5/6/7 содержат 4 Кбайт встроенного ОЗУ, отображенные в пространстве внешней памяти данных (XRAM). Кроме этого МК C8051F060/2/4/6 интерфейс внешней памяти данных (external memory interface – EMIF), который может использоваться для доступа к внешней (не встроенной) памяти и отображенным на память устройствам, присоединенным к портам ввода/вывода общего назначения. Доступ к пространству внешней памяти осуществляется либо с использованием команды MOVX и указателя данных DPTR, либо с использованием команды MOVX с косвенным режимом адресации (используя регистры R0 и R1). Если команда MOVX используется с 8-битным операндом адреса (например, @R1), то старший байт 16-битного адреса берется из регистра управления интерфейсом внешней памяти EMI0CN (см. рис.17.1). **Примечание:** команда MOVX также используется для записи во Flash-память (см. раздел 16). По умолчанию команда MOVX обращается к памяти XRAM.

17.1. Доступ к памяти XRAM

Для доступа к пространству памяти XRAM (как внутренней, так и внешней) используется команда MOVX. Команда MOVX имеет две формы, причем обе используют косвенный режим адресации. В первой форме используется 16-разрядный указатель данных (DPTR), содержащий полный адрес ячейки памяти XRAM, которую требуется прочитать или записать. Во второй форме для получения полного адреса ячейки памяти XRAM используются регистры R0 или R1 в комбинации с регистром EMI0CN. Ниже приведены примеры использования команды MOVX в обоих формах.

17.1.1. Пример использования команды MOVX с 16-разрядным адресом

Команда MOVX в 16-разрядной форме обращается к ячейке памяти, на которую указывает содержимое регистра DPTR. Следующая последовательность команд осуществляет чтение байта по адресу 0x1234 в аккумулятор A:

```
MOV    DPTR, #1234h ; загрузка в DPTR 16-разрядного адреса 0x1234
MOVX   A, @DPTR     ; загрузка содержимого ячейки памяти с адресом 0x1234 в аккумулятор A
```

В приведенном выше примере регистр DPTR загружается сразу 16-разрядным значением адреса (используя команду MOV). Кроме этого, к регистру DPTR можно обращаться через SFR регистры DPH, который содержит старшие 8 бит DPTR, и DPL, который содержит младшие 8 бит DPTR.

17.1.2. Пример использования команды MOVX с 8-разрядным адресом

Команда MOVX в 8-разрядной форме использует содержимое регистра EMI0CN, чтобы определить старшие 8 бит полного адреса, по которому происходит обращение, и содержимое регистров R0 или R1, чтобы определить младшие 8 бит полного адреса. Следующая последовательность команд осуществляет чтение байта по адресу 0x1234 в аккумулятор A:

```
MOV    EMI0CN, #12h ; загрузка старшего байта адреса в регистр EMI0CN
MOV    R0, #34h     ; загрузка младшего байта адреса в регистр R0 (или R1)
MOVX   A, @R0       ; загрузка содержимого ячейки памяти с адресом 0x1234 в аккумулятор A
```

17.2. Настройка интерфейса внешней памяти

Настройка интерфейса внешней памяти состоит из следующих этапов:

1. Включить ЕМІF на старших (P7, P6, P5 и P4) портах.
2. Настроить выходные драйверы выводов портов как двухтактные выходы или выходы с открытым стоком (обычно используется режим двухтактных цифровых выходов).
3. Настроить выходные защелки портов таким образом, чтобы перевести выходы в доминантное состояние (обычно для этого требуется установить на выводах напряжение высокого логического уровня).
4. Выбрать режим работы ЕМІF: мультиплексированный или не мультиплексированный.
5. Выбрать режим доступа к памяти:
 - 1) доступ только ко внутренней памяти;
 - 2) отдельный доступ без выбора банка;
 - 3) отдельный доступ с выбором банка;
 - 4) доступ только к внешней памяти.
6. Настройка временных параметров ЕМІF в соответствии с динамическими характеристиками внешней памяти или внешних периферийных модулей.

Каждый из этих этапов подробно описывается в следующих разделах. Бит включения связанных с ЕМІF портов, биты выбора режима работы и режима доступа к памяти находятся в регистре ЕМІ0CF (см. рис.17.2).

17.3. Выбор и настройка портов

Если работа ЕМІF разрешена, то для сигналов адреса/данных/управления ЕМІF в немультимплексированном режиме используются порты P7, P6, P5 и P4, а в мультиплексированном режиме – порты P7, P6 и P4.

Интерфейсу внешней памяти ЕМІF для операций с памятью требуются выходы связанных с ним портов только в течение выполнения команды MOVX, обращающейся к внешней памяти. Как только команда MOVX завершается, управление выводами портов возвращается защелкам портов. Подробная информация о работе и настройке портов приведена в разделе 18. **Если ЕМІF не используется, то защелки портов следует явно настроить таким образом, чтобы перевести выходы ЕМІF в доминантное состояние. В большинстве случаев для этого необходимо установить на них напряжение высокого логического уровня.**

Во время выполнения команды MOVX интерфейс внешней памяти явным образом отключит драйверы на всех выводах портов, которые работают как входы (например, Data[7:0] во время операции чтения). Функционирование ЕМІF не влияет на режим работы выходных драйверов выводов портов (являются ли они выходами с открытым стоком или двухтактными), который определяется регистрами PnMDOUT. Подробная информация о настройке выходов портов приведена в разделе 18.

Рисунок 17.1. EMI0CN: Регистр управления интерфейсом внешней памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
PGSEL7	PGSEL6	PGSEL5	PGSEL4	PGSEL3	PGSEL2	PGSEL1	PGSEL0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA2 SFR страница: 0

Биты 7-0: PGSEL[7:0]: Биты выбора страницы XRAM

Биты выбора страницы XRAM образуют старший байт 16-битного адреса внешней памяти данных при использовании команды MOVX с 8-битным адресом, задавая таким образом необходимую 256-байтную страницу ОЗУ.

0x00: 0x0000 – 0x00FF
 0x01: 0x0100 – 0x01FF
 ...
 0xFE: 0xFE00 – 0xFEFF
 0xFF: 0xFF00 – 0xFFFF

Рисунок 17.2. EMI0CF: Регистр конфигурации внешней памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	PRTSEL	EMD2	EMD1	EMD0	EAL1	EAL0	00000011
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA3 SFR страница: 0

Биты 7-6: Не используются. Читаются как 00b. Запись не оказывает никакого влияния.

Бит 5: PRTSEL: Бит выбора портов, связанных с EMIF.
 0: Сигналы EMIF не разведены на выводы портов.
 1: Сигналы EMIF появляются на портах P4 – P7.

Бит 4: EMD2: Бит выбора режима работы EMIF (мультиплексированный/немультиплексированный).
 0: EMIF работает в мультиплексированном режиме адреса/данных.
 1: EMIF работает в немultipлексированном режиме (отдельные выводы для адресов и данных).

Биты 3-2: EMD1-0: Биты выбора режима доступа к памяти.
 Эти биты определяют, какая память будет доступна через интерфейс внешней памяти.
 00: Доступ только ко внутренней памяти: команда MOVX обращается только к встроенной памяти XRAM. Все действительные адреса указывают на пространство встроенной памяти.
 01: Раздельный доступ без выбора банка: Адреса до 4-Кбайтной границы указывают на пространство встроенной памяти. Адреса свыше 4-Кбайтной границы указывают на пространство внешней памяти. Команда MOVX в 8-разрядной форме, обращающаяся к внешней памяти, использует текущее содержимое защелок старшего порта адреса в качестве старшего байта адреса. Следует иметь в виду, что для доступа к внешнему пространству памяти регистр EMI0CN должен указывать на страницу, которая не содержится в пространстве встроенной памяти.
 10: Раздельный доступ с выбором банка: Адреса до 4-Кбайтной границы указывают на пространство встроенной памяти. Адреса свыше 4-Кбайтной границы указывают на пространство внешней памяти. Команда MOVX в 8-разрядной форме, обращающаяся к внешней памяти, использует содержимое регистра EMI0CN, чтобы определить старший байт адреса.
 11: Доступ только к внешней памяти: команда MOVX обращается только к внешней памяти XRAM. Встроенная память XRAM не видима для процессорного ядра.

Биты 1-0: EAL1-0: Биты выбора ширины импульса ALE (действуют только тогда, когда EMD2 = 0).
 00: TALEH = TALEL = 1 период SYSCLK.
 01: TALEH = TALEL = 2 периода SYSCLK.
 10: TALEH = TALEL = 3 периода SYSCLK.
 11: TALEH = TALEL = 4 периода SYSCLK.

17.4. Мультиплексированный и не мультиплексированный режимы работы

EMIF может работать в мультиплексированном или немультимплексированном режимах работы, в зависимости от состояния бита EMD2 (EMI0CF.4).

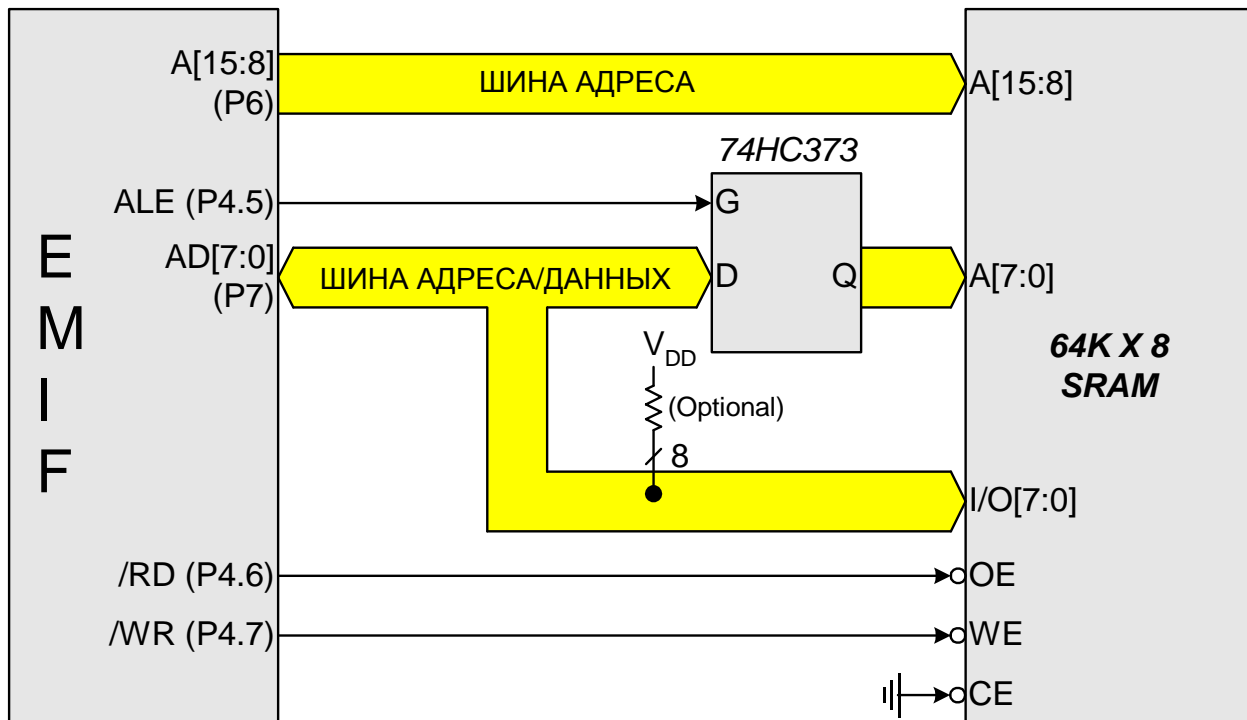
17.4.1. Мультиплексированный режим

В мультиплексированном режиме шина данных и младшие 8 бит шины адреса разделяют одни и те же выводы порта: AD[7:0]. В этом режиме для хранения младших 8 разрядов адреса ОЗУ используется внешний регистр-защелка (74HC373 или подобный). Этот внешний регистр-защелка управляется сигналом ALE, который обеспечивает логика интерфейса внешней памяти. Пример конфигурации с мультиплексированной шиной адреса/данных приведен на рис.17.3.

В мультиплексированном режиме выполнение команды MOVX, обращающейся к внешней памяти, разбивается на две фазы, определяемые состоянием сигнала ALE. В течение первой фазы сигнал ALE имеет высокий уровень, а на выводы AD[7:0] выведены 8 младших разрядов шины адреса. В течение этой фазы регистр-защелка адреса функционирует таким образом, что выходы 'Q' отражают состояние входов 'D'. Когда сигнал ALE сбрасывается в 0, что сигнализирует о начале второй фазы, выходы регистра-защелки адреса фиксируются и более не зависят от уровней сигналов на входах регистра-защелки. Позднее во время второй фазы, когда на выводах AD[7:0] присутствуют сигналы шины данных, появляются сигналы /RD или /WR.

Более подробная информация приведена в разделе 17.6.2.

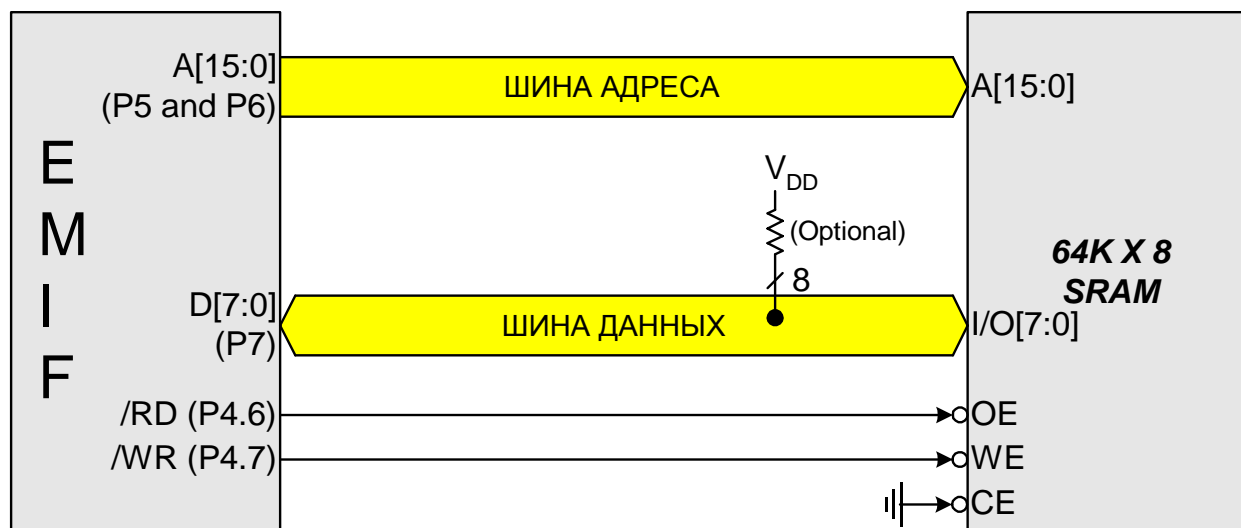
Рисунок 17.3. Пример конфигурации с мультиплексированной шиной адреса/данных



17.4.2. Немультимплексированный режим

В немультимплексированном режиме для шины адреса и шины данных используются отдельные выводы. Пример конфигурации с немультимплексированной шиной адреса/данных приведен на рис.17.4. Более подробная информация о немультимплексированном режиме приведена в разделе 17.6.1.

Рисунок 17.4. Пример конфигурации с немультимплексированной шиной адреса/данных



17.5. Выбор режима доступа к памяти

Пространство внешней памяти данных можно настроить на один из четырех режимов доступа (см. рис.17.5), для чего используются биты EMD1-0 регистра EMI0CF (см. рис.17.2). Описание этих режимов приводится ниже. Дополнительную информацию о различных режимах работы можно найти в разделе 17.6.

17.5.1. Режим доступа только к внутренней памяти XRAM

Когда EMI0CF[3:2] = '00', все команды MOVX будут обращаться к адресному пространству внутренней памяти XRAM микроконтроллера. Все адреса за пределами занятого адресного пространства будут указывать на ячейки из первой 4-Кбайтной области памяти. Например, адреса 0x1000 и 0x2000 указывают на ячейку с адресом 0x0000 встроенной памяти XRAM.

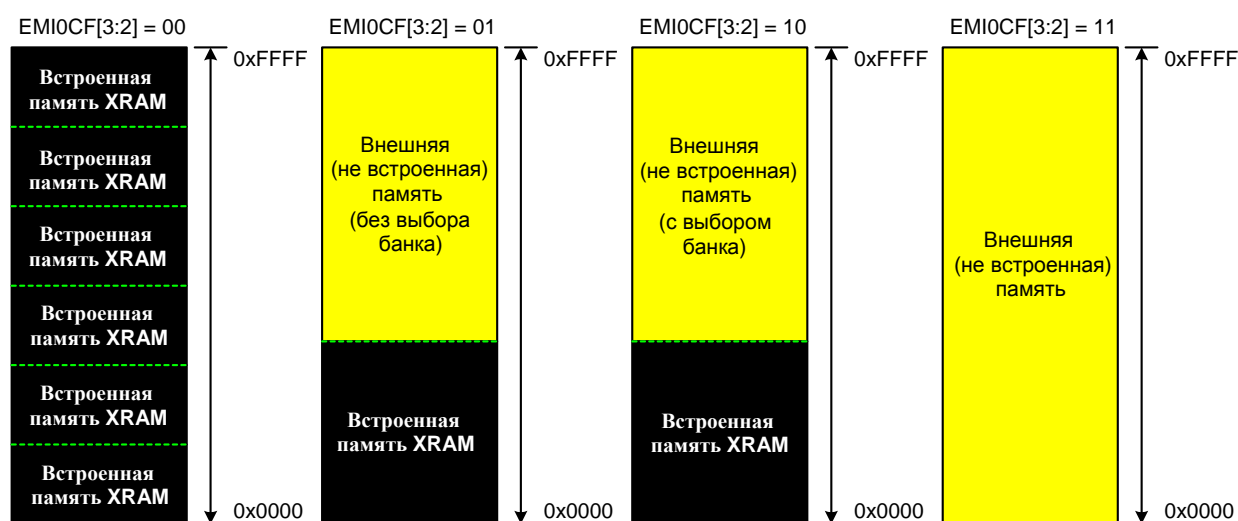
- Команда MOVX в 8-разрядной форме использует содержимое регистра EMI0CN для определения старшего байта полного адреса и регистры R0 или R1 для определения младшего байта полного адреса.
- Команда MOVX в 16-разрядной форме для определения полного адреса использует содержимое 16-разрядного указателя данных DPTR.

17.5.2. Режим раздельного доступа без выбора банка

Когда EMI0CF[3:2] = '01', пространство памяти XRAM делится на две области: пространство встроенной памяти и пространство внешней памяти.

- Адреса, расположенные ниже 4-Кбайтной границы, будут указывать на пространство встроенной памяти XRAM.
- Адреса, расположенные выше 4-Кбайтной границы будут, указывать на пространство внешней памяти.
- При использовании команды MOVX в 8-разрядной форме содержимое регистра EMI0CN определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. Однако, в режиме «без выбора банка», при обращении к внешней памяти посредством команды MOVX в 8-разрядной форме старшие 8 разрядов A[15:8] шины адреса не будут выдаваться на внешние выводы. Это позволяет пользователю манипулировать старшими битами адреса как угодно, непосредственно устанавливая состояние порта. Такое поведение отличает данный режим от описанного ниже режима раздельного доступа с выбором банка. Значения младших 8 разрядов шины адреса A[7:0] определяются содержимым регистров R0 или R1.
- При использовании команды MOVX в 16-разрядной форме содержимое регистра указателя данных DPTR определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. В этом случае, в отличие от команды MOVX в 8-разрядной форме, при обращении к внешней памяти на внешние выводы выдаются все 16 разрядов A[15:0] шины адреса.

Рисунок 17.5. Режимы работы интерфейса внешней памяти



17.5.3. Режим раздельного доступа с выбором банка

Когда $EMI0CF.[3:2] = '10'$, пространство памяти XRAM делится на две области: пространство встроенной памяти и пространство внешней памяти.

- Адреса, расположенные ниже 4-Кбайтной границы, будут указывать на пространство встроенной памяти XRAM.
- Адреса, расположенные выше 4-Кбайтной границы будут, указывать на пространство внешней памяти.
- При использовании команды MOVX в 8-разрядной форме содержимое регистра EMI0CN определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. Значения старших 8 разрядов $A[15:8]$ шины адреса определяются содержимым регистра EMI0CN, а значения младших 8 разрядов $A[7:0]$ шины адреса определяются содержимым регистров R0 или R1. В режиме «с выбором банка» все 16 разрядов $A[15:0]$ шины адреса выдаются на внешние выводы.
- При использовании команды MOVX в 16-разрядной форме содержимое регистра указателя данных DPTR определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. В этом случае при обращении к внешней памяти на внешние выводы выдаются все 16 разрядов $A[15:0]$ шины адреса.

17.5.4. Режим доступа только к внешней памяти XRAM

Когда $EMI0CF.[3:2] = '11'$, все команды MOVX будут обращаться к адресному пространству внешней памяти XRAM микроконтроллера. Встроенная память XRAM не видима для процессорного ядра. Этот режим полезен при обращении к внешней памяти, расположенной в первой 4-Кбайтной области адресного пространства ($0x0000 - 0x0FFF$).

- Команды MOVX в 8-разрядной форме игнорируют содержимое регистра EMI0CN. Старшие биты адреса $A[15:8]$ не выдаются на внешние выводы (так же, как при обращении к внешней памяти в режиме раздельного доступа без выбора банка, описанном выше). Это позволяет пользователю манипулировать старшими битами адреса как угодно, непосредственно устанавливая состояние порта. Значения младших 8 разрядов $A[7:0]$ полного адреса определяются содержимым регистров R0 или R1.
- Команда MOVX в 16-разрядной форме для определения полного адреса $A[15:0]$ использует содержимое 16-разрядного указателя данных DPTR. При обращении к внешней памяти на внешние выводы выдаются все 16 разрядов $A[15:0]$ шины адреса.

17.6. Тактирование и динамические параметры

Временные параметры интерфейса внешней памяти можно программировать, что позволяет подключаться к устройствам, предъявляющим различные требования ко времени установки и удержания сигналов. Время установки адреса, время удержания адреса, ширина импульсов стробирования /RD и /WR, а также (в мультиплексированном режиме) ширина импульса ALE являются программируемыми. Длительность всех этих параметров задается в периодах системного тактового сигнала SYSCLK. Для настройки используются регистр EMI0TC (см. рис.17.6) и биты EALE1-0 регистра EMI0CF.

Время выполнения команды MOVX, обращающейся к внешней памяти, можно вычислить, добавив 4 цикла SYSCLK к значениям временных параметров, определяемым в регистре EMI0TC. Для немultipлексированного режима работы минимальное время выполнения операции обращения к внешней памяти XRAM составляет 5 циклов SYSCLK (1 SYSCLK для импульса /RD или /WR + 4 SYSCLKs). Для мультиплексированного режима работы сигнал ALE будет требовать как минимум 2 дополнительных цикла SYSCLK. Поэтому, для мультиплексированного режима работы минимальное время выполнения операции обращения к внешней памяти XRAM составляет 7 циклов SYSCLK (2 SYSCLK для ALE + 1 SYSCLK для импульса /RD или /WR + 4 SYSCLKs). После сброса для программируемых временных параметров устанавливаются по умолчанию максимальные задержки.

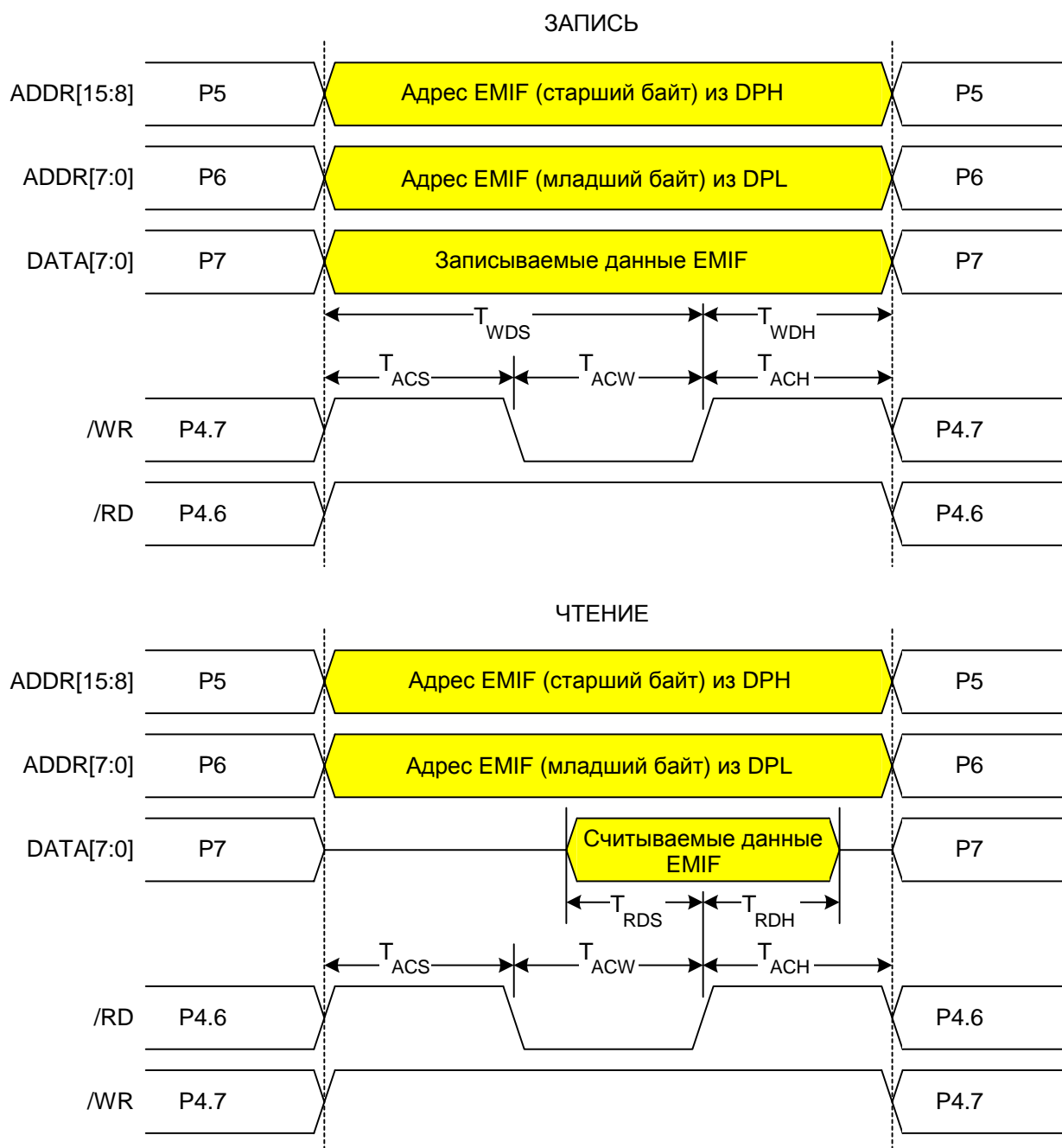
Рисунок 17.6. EMI0TC: Регистр управления временными параметрами интерфейса внешней памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 11111111 SFR Адрес: 0xA1 SFR страница: 0
EAS1	EAS0	EWR3	EWR2	EWR1	EWR0	EAH1	EAH0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-6: EAS1-0: Биты настройки времени установки адреса EMIF.								
00: Время установки адреса = 0 циклов SYSCLK								
01: Время установки адреса = 1 цикл SYSCLK								
10: Время установки адреса = 2 цикла SYSCLK								
11: Время установки адреса = 3 цикла SYSCLK								
Биты 5-2: EWR3-0: Биты управления шириной импульсов /RD и /WR EMIF.								
0000: Ширина импульсов /RD и /WR = 1 цикл SYSCLK								
0001: Ширина импульсов /RD и /WR = 2 цикла SYSCLK								
0010: Ширина импульсов /RD и /WR = 3 цикла SYSCLK								
0011: Ширина импульсов /RD и /WR = 4 цикла SYSCLK								
0100: Ширина импульсов /RD и /WR = 5 циклов SYSCLK								
0101: Ширина импульсов /RD и /WR = 6 циклов SYSCLK								
0110: Ширина импульсов /RD и /WR = 7 циклов SYSCLK								
0111: Ширина импульсов /RD и /WR = 8 циклов SYSCLK								
1000: Ширина импульсов /RD и /WR = 9 циклов SYSCLK								
1001: Ширина импульсов /RD и /WR = 10 циклов SYSCLK								
1010: Ширина импульсов /RD и /WR = 11 циклов SYSCLK								
1011: Ширина импульсов /RD и /WR = 12 циклов SYSCLK								
1100: Ширина импульсов /RD и /WR = 13 циклов SYSCLK								
1101: Ширина импульсов /RD и /WR = 14 циклов SYSCLK								
1110: Ширина импульсов /RD и /WR = 15 циклов SYSCLK								
1111: Ширина импульсов /RD и /WR = 16 циклов SYSCLK								
Биты 1-0: EAH1-0: Биты настройки времени удержания адреса EMIF.								
00: Время удержания адреса = 0 циклов SYSCLK								
01: Время удержания адреса = 1 цикл SYSCLK								
10: Время удержания адреса = 2 цикла SYSCLK								
11: Время удержания адреса = 3 цикла SYSCLK								

В таблице 17.1 приведены временные параметры интерфейса внешней памяти, на рисунках 17.7 – 17.12 приведены временные диаграммы для различных режимов работы EMIF и различных форм команды MOVX.

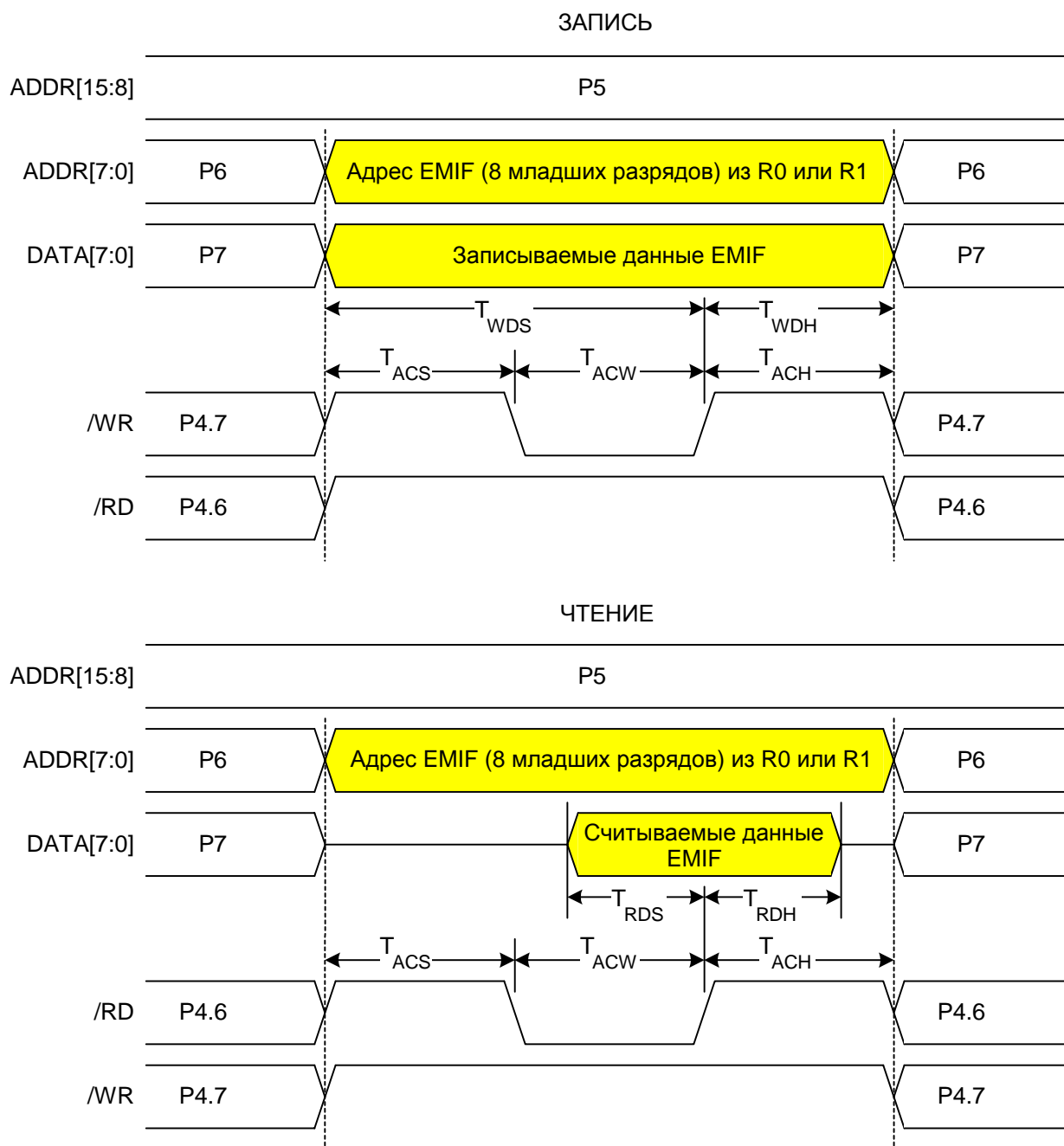
17.6.1. Не мультиплексированный режим

17.6.1.1. 16-разр. MOVX: EMIOCF[4:2] = '101', '110', или '111'

Рисунок 17.7. Временные параметры интерфейса внешней памяти
(не мультиплексированный режим, 16-разр. MOVX)

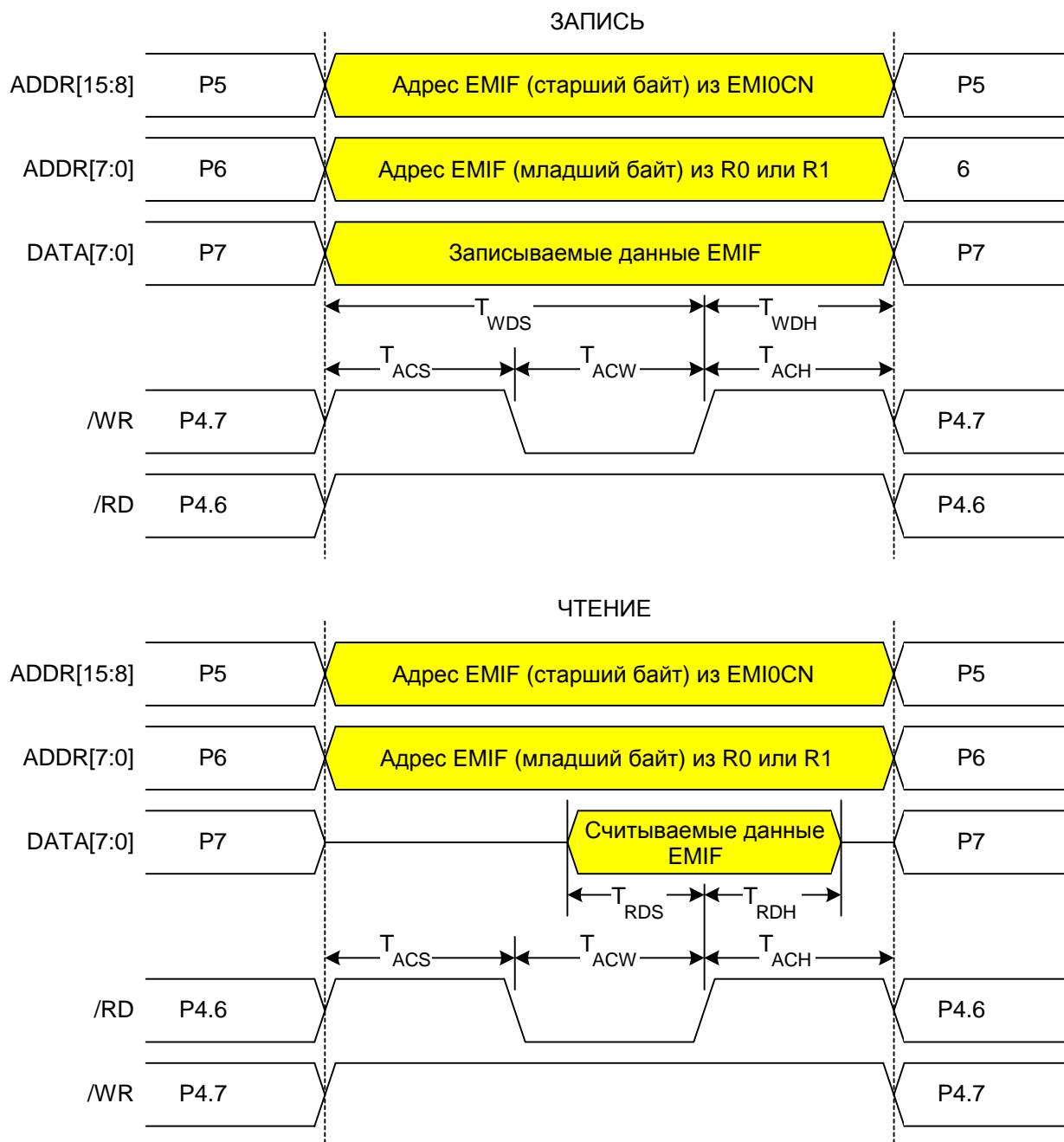
17.6.1.2. 8-разр. MOVX без выбора банка: EMIOCF[4:2] = '101' или '111'

Рисунок 17.8. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 8-разр. MOVX без выбора банка)



17.6.1.3. 8-разр. MOVX с выбором банка: EMI0CF[4:2] = '110'

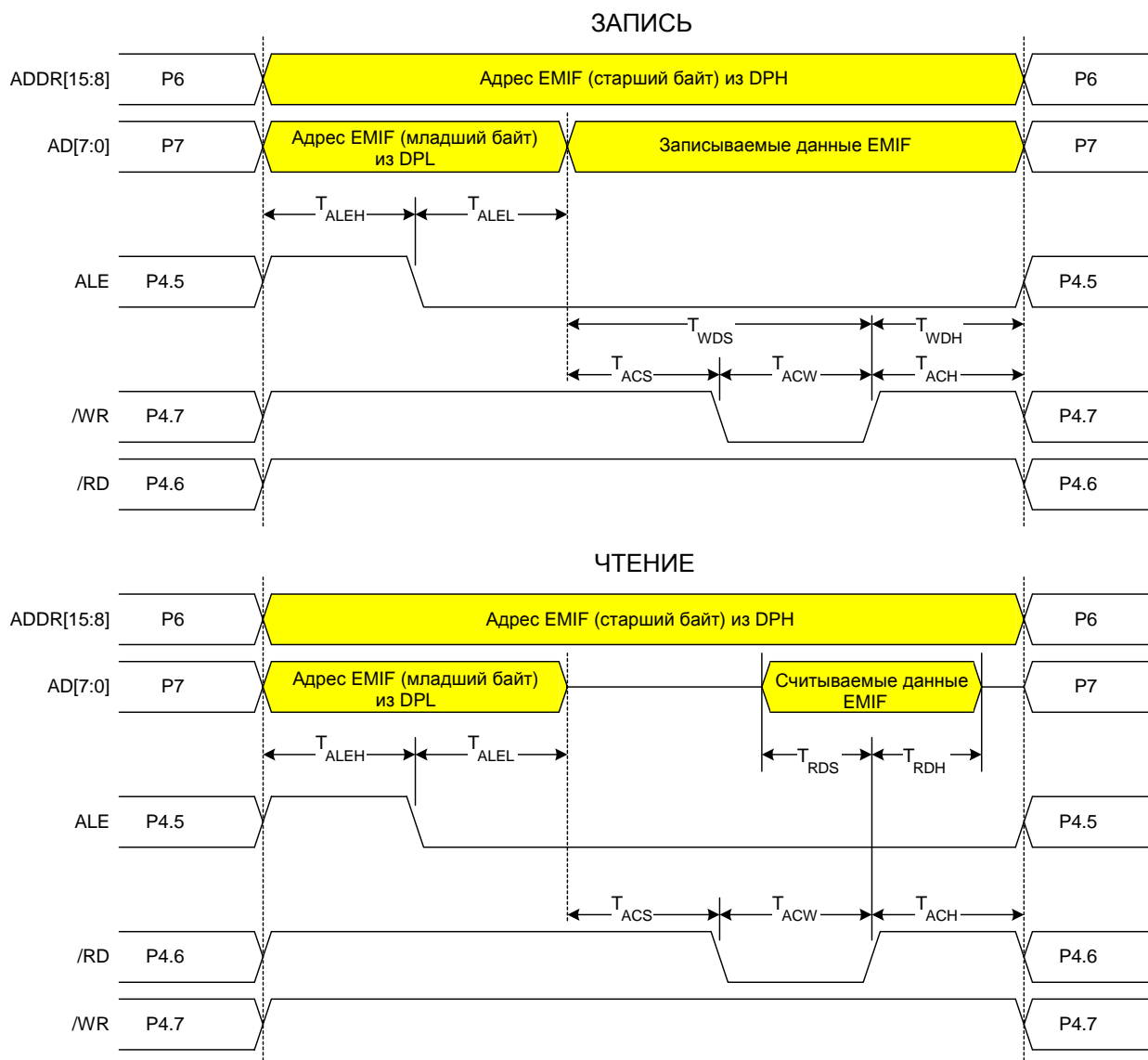
Рисунок 17.9. Временные параметры интерфейса внешней памяти
 (не мультиплексированный режим, 8-разр. MOVX с выбором банка)



17.6.2. Мультиплексированный режим

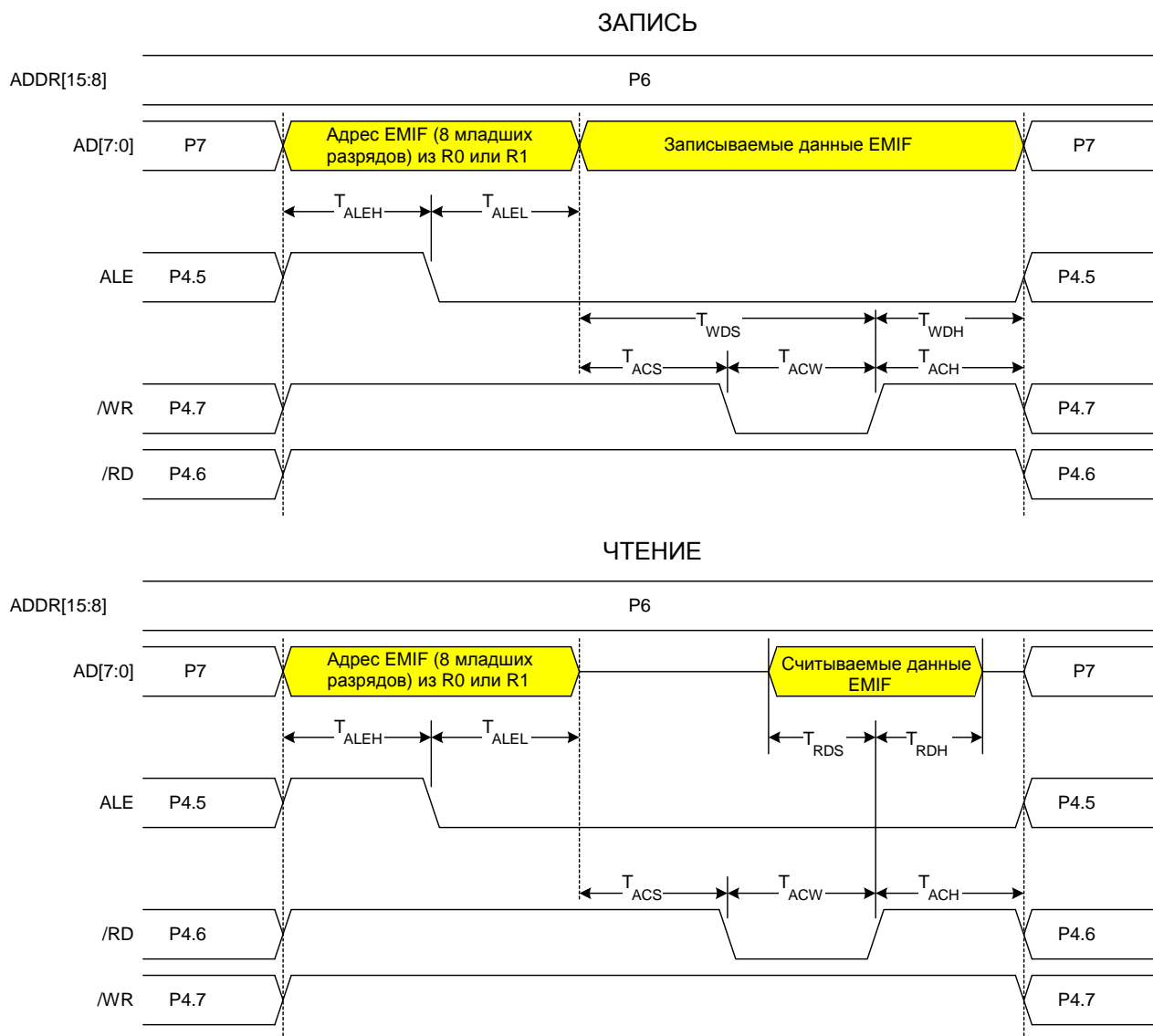
17.6.2.1. 16-разр. MOVX: EMIOCF[4:2] = '001', '010', или '011'

Рисунок 17.10. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 16-разр. MOVX)



17.6.2.2. 8-разр. MOVX без выбора банка: EMI0CF[4:2] = '001' или '011'

Рисунок 17.11. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX без выбора банка)



17.6.2.3. 8-разр. MOVX с выбором банка: EMI0CF[4:2] = '010'

Рисунок 17.12. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX с выбором банка)

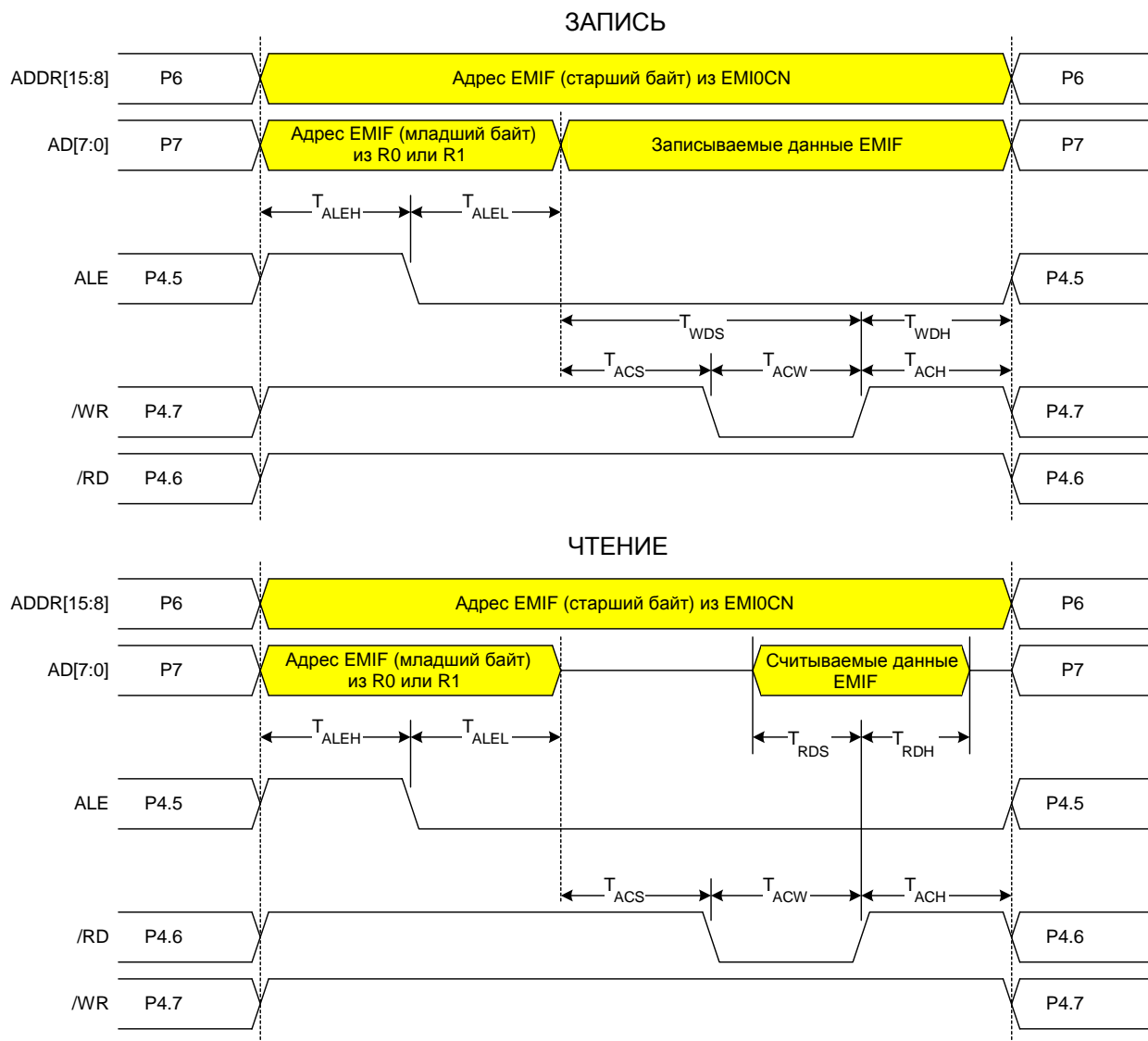


Таблица 17.1. Временные параметры интерфейса внешней памяти

ПАРАМЕТР	ОПИСАНИЕ	Мин.	Макс.	Ед. изм.
T_{SYCLK}	Период системного тактового сигнала	40		нс
T_{ACS}	Задержка сигнала управления относительно адреса (Address / Control Setup Time)	0	3*T _{SYCLK}	нс
T_{ACW}	Ширина импульса управления (Address / Control Pulse Width)	1*T _{SYCLK}	16*T _{SYCLK}	нс
T_{ACH}	Время удержания адреса (Address / Control Hold Time)	0	3*T _{SYCLK}	нс
T_{ALEH}	Длительность высокого уровня сигнала ALE (Address Latch Enable High Time)	1*T _{SYCLK}	4*T _{SYCLK}	нс
T_{ALEL}	Длительность низкого уровня сигнала ALE (Address Latch Enable Low Time)	1*T _{SYCLK}	4*T _{SYCLK}	нс
T_{WDS}	Установка данных перед нарастающим фронтом сигнала /WR (Write Data Setup Time)	1*T _{SYCLK}	19*T _{SYCLK}	нс
T_{WDH}	Удержание данных после нарастающего фронта сигнала /WR (Write Data Hold Time)	0	3*T _{SYCLK}	нс
T_{RDS}	Установка данных перед нарастающим фронтом сигнала /RD (Read Data Setup Time)	20		нс
T_{RDH}	Удержание данных после нарастающего фронта сигнала /RD (Read Data Hold Time)	0		нс

18. ПОРТЫ ВВОДА/ВЫВОДА

Микроконтроллеры семейства C8051F06х представляют собой полностью интегрированные на одном кристалле системы для обработки смешанных сигналов, которые имеют 59 (C8051F060/2/4/6) или 24 (C8051F061/3/5/7) цифровых выводов входа/выхода, организованные в 8-разрядные порты. Все порты доступны в режиме как побитной, так и побайтной адресации через соответствующие регистры данных портов. Каждый из выводов портов имеет слаботочковые подтягивающие резисторы и может быть настроен как выход с открытым стоком или цифровой двухтактный выход. Кроме этого, допустимое напряжение на выводах Портов 0 составляет 5В. Структурная схема ячейки порта ввода/вывода показана на рис.18.1. Электрические характеристики портов ввода/вывода приведены в табл. 18.1.

Рисунок 18.1. Структурная схема ячейки порта ввода/вывода

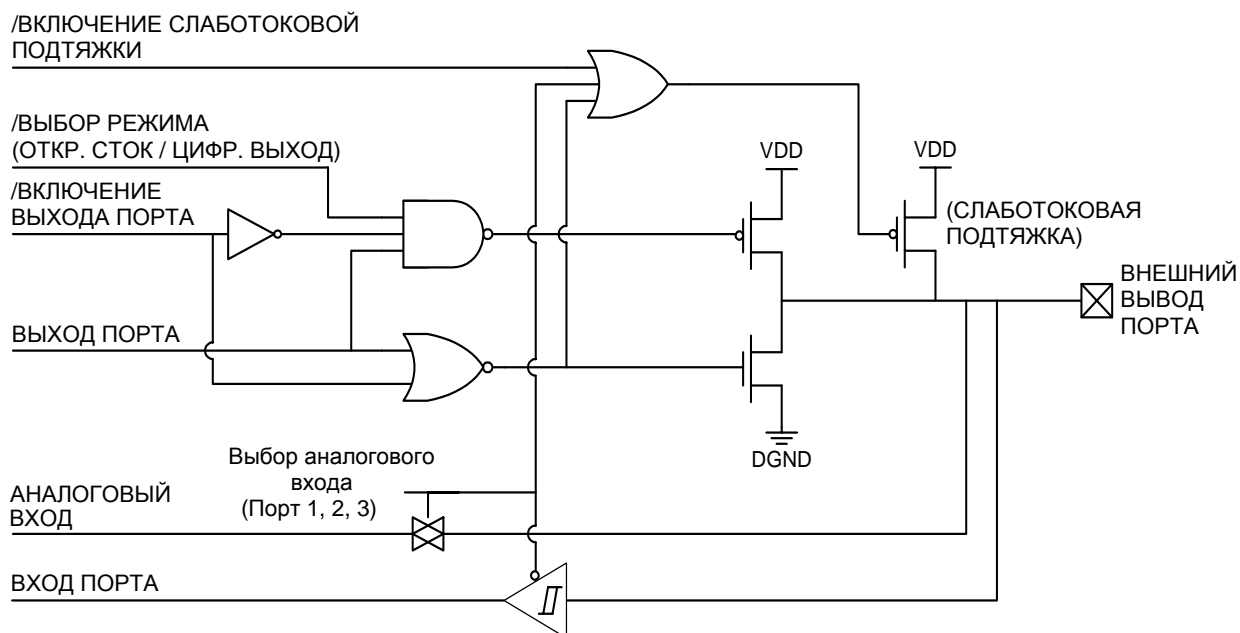


Таблица 18.1. Электрические характеристики портов ввода/вывода

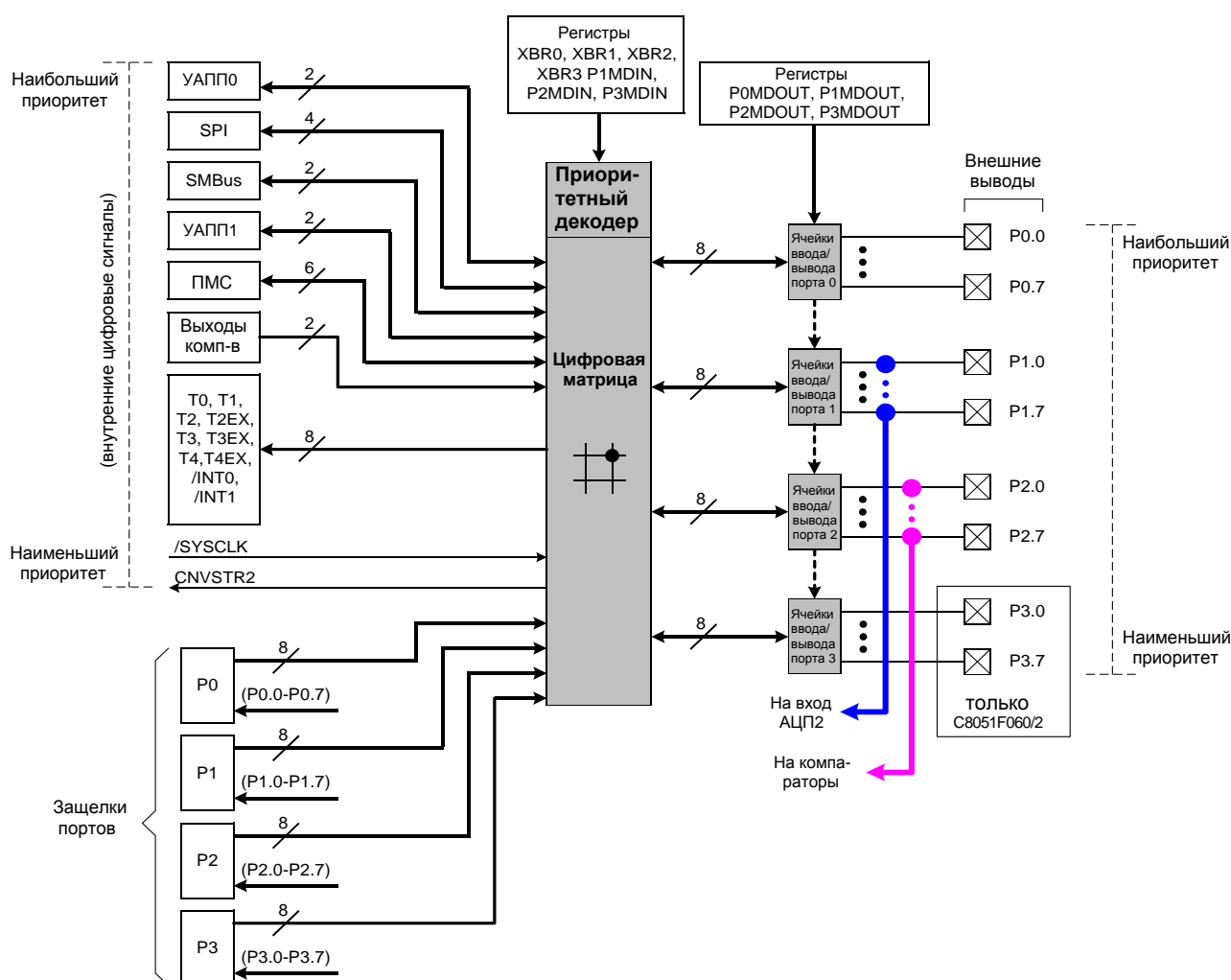
VDD = 2.7 ... 3.6В, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Выходное напряжение высокого уровня (V _{OH})	I _{OH} = -10мкА, порт ввода/вывода – цифровой вход/выход	VDD – 0.1			В
	I _{OH} = -3мА, порт ввода/вывода – цифровой вход/выход	VDD – 0.7			
Выходное напряжение низкого уровня (V _{OL})	I _{OL} = 10мкА I _{OL} = 8.5мА			0.1 0.6	В
Входное напряжение высокого уровня (V _{IH})		0.7 x VDD			В
Входное напряжение низкого уровня (V _{IL})				0.3 x VDD	В
Ток утечки входа	DGND < Вывод порта < VDD, вывод в высокоимпедансном состоянии, слаботочковая подтяжка отключена слаботочковая подтяжка включена			±1 10	мкА пФ
Входная емкость			5		

Микроконтроллеры имеют различные цифровые ресурсы, которые доступны через четыре младших порта ввода/вывода: P0, P1, P2 и (для C8051F060/2/4/6) P3. Каждый из выводов портов P0, P1, P2 и P3 может быть определен либо как вывод ввода/вывода общего назначения, либо как вывод, управляемый внутренними цифровыми ресурсами (например, УАППО или /INT1), как показано на рис.18.2. Разработчик системы определяет, какие цифровые ресурсы будут назначены внешним выводам, ограничиваясь только количеством доступных выводов. Гибкость при распределении ресурсов достигается благодаря использованию приоритетного декодера матрицы. Следует иметь в виду, что состояние вывода порта ввода/вывода всегда можно прочитать из соответствующего регистра данных независимо от того, как функционирует этот вывод: как вывод ввода/вывода общего назначения или как вывод, назначенный какому-либо внутреннему цифровому ресурсу. Выводы Порт 2 могут использоваться как входы аналоговых компараторов напряжения. В МК C8051F060/1/2/3 выходы Порт 1 могут использоваться как аналоговые входы АЦП2.

Старшие порты (в МК C8051F060/2/4/6) могут использоваться как порты ввода/вывода общего назначения, доступные в побайтном режиме адресации, или как выходы интерфейса внешней памяти, сигналы которого активны во время выполнения команды MOVX, обращающейся по адресу, расположенному во внешней (не встроенной) памяти. Подробная информация об интерфейсе внешней памяти приведена в разделе 17.

Рисунок 18.2. Функциональная схема портов ввода/вывода



18.1. Порты 3 – 0 и приоритетный декодер матрицы

Приоритетный декодер матрицы, или “матрица”, распределяет и назначает выводы портов P3 – P0 цифровым периферийным модулям (УАПП, SMBus, ПМС, таймеры и т.д.) микроконтроллера, используя для этого приоритеты. Выводы портов распределяются, начиная с порта P0.0 и (если необходимо) до порта P3.7 (C8051F060/2/4/6) или P2.7 (C8051F061/3/5/7). Цифровые периферийные модули назначаются выводам портов в соответствии с их приоритетом (см. рис. 18.3). УАПП0 имеет наивысший приоритет, CNVSTR2 имеет самый низкий приоритет.

18.1.1. Назначение и распределение выводов при помощи матрицы

Матрица назначает выводы портов периферийным модулям, если соответствующие биты подключения в регистрах конфигурации матрицы XBR0, XBR1, XBR2 и XBR3 установлены в 1 (см. рис.18.5, рис.18.6,

Рисунок 18.3. Таблица декодирования приоритетов матрицы

(P1MDIN = 0xFF; P2MDIN = 0xFF)

Выв. I/O	P0								P1								P2								P3								Биты регистров матрицы	
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7		
TX0	●																																UART0EN: XBR0.2	
RX0		●																																
SCK	●		●																															
MISO		●		●																													SPI0EN: XBR0.1	
MOSI			●		●																													
NSS				●		●			NSS не разводится на вывод порта в трехпроводном режиме SPI																									
SDA	●		●	●	●	●	●	●																									SMB0EN: XBR0.0	
SCL		●		●	●	●	●	●																										
TX1	●		●	●	●	●	●	●	●																									
RX1		●		●	●	●	●	●	●	●																							UART1EN: XBR2.2	
CEX0	●		●	●	●	●	●	●	●	●																								
CEX1		●		●	●	●	●	●	●	●	●																							
CEX2			●		●	●	●	●	●	●	●	●																						
CEX3				●		●	●	●	●	●	●	●	●																					
CEX4					●		●	●	●	●	●	●	●	●																				
CEX5						●		●	●	●	●	●	●	●	●																			
ECI	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●																	ECI0E: XBR0.6	
CP0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●															CP0E: XBR0.7	
CP1	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●														CP1E: XBR1.0	
CP2	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●													CP2E: XBR3.3	
T0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●													T0E: XBR1.1	
/INT0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●												INT0E: XBR1.2	
T1	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●												T1E: XBR1.3	
/INT1	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●											INT1E: XBR1.4	
T2	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●											T2E: XBR1.5	
T2EX	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●									T2EXE: XBR1.6	
T3	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●								T3E: XBR3.0	
T3EX	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●						T3EXE: XBR3.1	
T4	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●					T4E: XBR2.3	
T4EX	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●					T4EXE: XBR2.4
/SYSCLK	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●					SYSCKE: XBR1.7
CNVSTR2	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●				CNVSTE2: XBR3.2
									AIN2.0	AIN2.1	AIN2.2	AIN2.3	AIN2.4	AIN2.5	AIN2.6	AIN2.7		CP1+	CP1-	CP2+	CP2-	CP0+	CP0-											

рис.18.7 и рис.18.8). Например, если бит UART0EN (XBR0.2) установлен в 1, то выводы TX0 и RX0 будут отображены на порты P0.0 и P0.1 соответственно. Т.к. УАППО имеет наивысший приоритет, то его выводы всегда будут отображаться на порты P0.0 и P0.1, когда бит UART0EN установлен в 1. Если биты подключения цифровых модулей не установлены в 1, то их порты не доступны на внешних выводах портов МК. Важно также иметь в виду, что, если выбраны последовательные порты (т.е. SMBus, SPI, УАПП), то матрица распределяет все выводы, ассоциированные с ними. Нельзя, например, назначить вывод RX0 модуля УАППО и не назначить вывод TX0 этого же модуля. SPI может работать в 3-х или 4-х проводном режиме (с выводом NSS или без него). Назначение внешних выводов микроконтроллера для каждой комбинации подключенных периферийных модулей будет уникальным.

Все выводы портов P0 – P3, не распределенные при помощи матрицы, могут быть доступны как входы/выходы общего назначения путем чтения и записи соответствующих регистров данных портов (см. рис.18.9, рис.18.11, рис.18.14 и рис.18.17), которые доступны как в побитном, так и в побайтном режимах адресации. Состояния выходных драйверов выводов портов, которые распределены матрицей и управляются цифровыми периферийными модулями, определяются этими модулями. Запись регистров данных этих портов (или распределенных матрицей битов портов) не будет влиять на состояние этих выводов.

Чтение регистра данных порта (или бита порта) всегда возвратит в качестве результата логическое состояние на выводе порта независимо от того, распределен данный порт матрицей или нет. Исключением являются команды типа *чтение-модификация-запись* (ANL, ORL, XRL, JBC, CPL, INC, DEC, DJNZ, CLR, SETB и битовые команды MOV). В течение цикла *чтения* команд типа *чтение-модификация-запись* считывается содержимое регистра данных порта, а не логическое состояние самих выводов портов.

Т.к. регистры матрицы влияют на подключение внутренних периферийных модулей к внешним выводам МК, то они обычно настраиваются в процессе инициализации системы до настройки самих периферийных модулей. После первоначальной настройки регистры матрицы обычно не перенастраиваются.

После правильной настройки регистров матрицы она включается установкой в 1 бита XBARE (XBR2.4). **Пока бит XBARE не установлен в 1, выходные драйверы портов P0 – P3 явным образом отключаются, чтобы предотвратить возможные конфликты на выводах портов во время записи регистров матрицы и других регистров, которые могут влиять на внешние выводы МК.**

Выходные драйверы выводов, распределенных матрицей для входных сигналов (например, RX0 и т.п.), явным образом отключаются; таким образом значения регистров данных портов и регистров PnMDOUT не влияют на состояние этих выводов.

18.1.2. Настройка выходных драйверов портов

Выходные драйверы портов P0 – P3 остаются отключенными до тех пор, пока матрица не будет включена установкой в 1 бита XBARE (XBR2.4).

Выходной драйвер каждого порта можно настроить либо как цифровой двухтактный выход, либо как выход с открытым стоком. При работе в режиме цифрового двухтактного выхода запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к земляной шине GND, а запись лог. '1' приведет к «притягиванию» данного вывода порта к шине питания VDD. При работе в режиме выхода с открытым стоком запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к земляной шине GND, а при записи лог. '1' данный вывод порта будет переведен в высокоимпедансное состояние. Режим выхода с открытым стоком полезен в том случае, если требуется предотвратить конфликты между различными устройствами в системе, когда вывод порта участвует в коллективном взаимодействии, при котором несколько выходов подключаются к одной и той же физической линии (например, сигнал SDA шины SMBus).

Режимы выходов портов P0 – P3 определяются битами соответствующих регистров PnMDOUT (см. рис.18.10, рис.18.13, рис.18.16, рис.18.18). Например, при установке в 1 бита P3MDOUT.7 выходной драйвер порта P3.7 будет настроен как цифровой двухтактный выход, при сбросе в 0 бита P3MDOUT.7 выходной драйвер порта P3.7 будет настроен как выход с открытым стоком. По умолчанию выходные драйверы всех портов настраиваются как выходы с открытым стоком.

Регистры PnMDOUT управляют режимами выхода выводов портов независимо от того, назначает ли их матрица цифровым ресурсам или нет. Исключением являются только выводы модуля SMBus (SDA, SCL), вывод приемника УАППО (RX0, в режиме 0) и вывод приемника УАПП1 (RX1, в режиме 0), которые всегда настроены как выходы с открытым стоком независимо от настроек соответствующих бит регистров PnMDOUT.

18.1.3. Настройка выводов портов как цифровых входов

Вывод порта настраивается как цифровой вход переводом его выходного драйвера в режим выхода с открытым стоком и записью лог. '1' в соответствующий бит регистра данных порта. Например, P3.7 настраивается как цифровой вход сбросом в 0 бита P3MDOUT.7 и установкой в 1 бита P3.7.

Если вывод порта назначен посредством матрицы цифровому периферийному модулю и этот вывод функционирует как вход (например, RX0, вывод приемника УАПЧ0), то выходной драйвер этого вывода автоматически отключается.

18.1.4. Слаботоковые подтяжки

Каждый вывод порта имеет внутреннюю слаботокую подтяжку, которая по умолчанию включена. Она обеспечивает соединение данного вывода с шиной питания VDD через резистор с высоким сопротивлением (около 100кОм). Слаботоковые подтяжки можно глобально отключить, установив в 1 бит отключения слаботоковых подтяжек WEAKPUD (XBR2.7). Слаботоковые подтяжки автоматически отключаются у любого вывода, на который выдается лог. '0', т.е. выход вывода не будет конфликтовать с собственной слаботоковой подтяжкой. Кроме этого, слаботоковые подтяжки выводов Портов 1 можно отключить, настроив эти выводы как аналоговые входы (см. описание ниже).

18.1.5. Настройка выводов Портов 1 и 2 как аналоговых входов.

Выводы Портов 1 могут функционировать в качестве аналоговых входов мультимплексора АЦП2 (только C8051F060/1/2/3), а выводы Портов 2 могут служить аналоговыми входами компараторов напряжения (все МК семейства C8051F06х). Вывод порта настраивается как аналоговый вход сбросом в 0 соответствующего бита в регистрах PnMDIN. По умолчанию все порты настраиваются как цифровые входы. Настройка вывода порта как аналогового входа:

1. Разрывает цепь тока цифрового входа от этого вывода. Это исключает увеличение тока потребления при напряжении на этом выводе, близком к значению VDD/2. Чтение бита данных порта возвратит лог. '0' независимо от напряжения на выводе порта.
2. Отключает слаботокую подтяжку от этого вывода.
3. Заставляет матрицу «пропускать» этот вывод при назначении выводов цифровым периферийным модулям.

Следует иметь в виду, что выходные драйверы выводов, настроенных как аналоговые входы, не отключаются явным образом. Поэтому биты регистров PnMDOUT, соответствующие выводам, настроенным как аналоговые входы, следует явно сбросить в 0 (режим выхода с открытым стоком), а соответствующие биты данных портов следует установить в 1 (высокоимпедансное состояние). Также следует иметь в виду, что не требуется настраивать вывод порта как аналоговый вход, чтобы использовать его в качестве входа АЦП2 или компараторов; однако, строго рекомендуется это делать. Подробная информация приведена в разделах данного технического описания, посвященным соответствующим периферийным модулям.

18.1.6. Пример назначения выводов при помощи матрицы

В этом примере (см. рис.18.4) мы настроим матрицу таким образом, чтобы назначить выводы портов для УАППО, SMBus, для всех 6 модулей ПМС, /INT0 и /INT1 (всего 12 выводов). Дополнительно мы настроим P1.2, P1.3 и P1.4 как аналоговые входы, что позволит измерять напряжение на этих выводах с помощью АЦП2. Описание настройки (по «шагам») приведено ниже:

XBR0, XBR1 и XBR2 настраиваются так, чтобы UART0EN = 1, SMB0EN = 1, PCA0ME = '110', INT0E = 1 и INT1E = 1. Таким образом: XBR0 = 0x3D, XBR1 = 0x14 и XBR2= 0x40.

1. Настраиваем выбранные выводы Порта 1 как аналоговые входы записью значения 0xE3 в регистр P1MDIN (P1.2, P1.3 и P1.4 являются аналоговыми входами, т.е. соответствующие им биты регистра P1MDIN сброшены в 0).
2. Включаем матрицу установкой XBARE = 1: XBR2= 0x40.
 - УАППО имеет наивысший приоритет, т.е. P0.0 назначается сигналу TX0, а P0.1 назначается сигналу RX0.
 - SMBus имеет следующий по порядку приоритет, т.е. P0.2 назначается сигналу SDA, а P0.3 назначается сигналу SCL.
 - PCA0 (ПМС) имеет следующий по порядку приоритет, т.е. выводы портов P0.4 – P1.1 назначаются сигналам CEX0 – CEX5.
 - Т.к. регистр P1MDIN содержит значение 0xE3, которое настраивает P1.2, P1.3 и P1.4 как аналоговые входы, то матрица будет пропускать эти выводы при назначении выводов периферийным модулям.
 - /INT0 имеет следующий по порядку приоритет, т.е. назначается следующему «не пропускаемому» выводу, которым является P1.5.
 - /INT1 имеет следующий по порядку приоритет, т.е. назначается выводу P1.6.
3. Настраиваем выходные драйверы вывода TX УАППО (TX0, P0.0) и выводов CEX0 – CEX3 как цифровые двухтактные выходы, для чего записываем значение 0xF1 в регистр P0MDOUT.
4. Явным образом отключаем выходные драйверы трех выводов аналоговых входов, для чего соответствующие биты в регистре P1MDOUT сбрасываем в 0, а в регистре P1 – устанавливаем в 1. Кроме этого, выходные драйверы выводов CEX5 и CEX4 настраиваем как цифровые двухтактные выходы. Т.е. в регистр P1MDOUT необходимо загрузить значение 0x03 (неиспользуемые выводы настраиваются как выходы с открытым стоком), а в регистр P1 необходимо загрузить значение 0xFF (лог. '1' переводит выход в высокоимпедансное состояние).

Рисунок 18.4. Пример использования матрицы
(P1MDIN = 0xE3, XBR0 = 0x3D, XBR1 = 0x14, XBR2 = 0x40)

Выв. I/O	P0								P1								P2								P3								Биты регистров матрицы	
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7		
TX0	•																																	UART0EN: XBR0.2
RX0		•																																
SCK	•																																	
MISO		•																																
MOSI			•																															
NSS				•																														
SDA	•																																SMB0EN: XBR0.0	
SCL		•																																
TX1	•																																UART1EN: XBR2.2	
RX1		•																																
CEX0	•																																PCA0ME: XBR0.[5:3]	
CEX1		•																																
CEX2			•																															
CEX3				•																														
CEX4					•																													
CEX5						•																												
ECI	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	ECI0E: XBR0.6		
CP0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	CP0E: XBR0.7		
CP1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	CP1E: XBR1.0		
CP2	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	CP2E: XBR3.3		
T0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T0E: XBR1.1		
/INT0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	INT0E: XBR1.2		
T1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T1E: XBR1.3		
/INT1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	INT1E: XBR1.4		
T2	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T2E: XBR1.5		
T2EX	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T2EXE: XBR1.6		
T3	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T3E: XBR3.0		
T3EX	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T3EXE: XBR3.1		
T4	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T4E: XBR2.3		
T4EX	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T4EXE: XBR2.4		
/SYSCLK	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	SYSCKE: XBR1.7		
CNVSTR2	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	CNVSTE2: XBR3.2		
									AIN2.0	AIN2.1	AIN2.2	AIN2.3	AIN2.4	AIN2.5	AIN2.6	AIN2.7		CP1+	CP1-	CP2+	CP2-	CP0+	CP0-											

Рисунок 18.5. XBR0: Регистр 0 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
CP0E	ECI0E	PCA0ME			UART0EN	SPI0EN	SMB0EN	SFR Адрес: 0xE1 SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: CP0E: Бит подключения выхода Компаратора 0 (CP0) 0: CP0 не соединен с выводом порта. 1: CP0 соединен с выводом порта.</p> <p>Бит 6: ECI0E: Бит подключения входа ECI ПМС0 0: ECI не соединен с выводом порта. 1: ECI соединен с выводом порта.</p> <p>Биты 5-3: PCA0ME: Биты подключения входов/выходов модуля ПМС0 000: Все входы/выходы модуля ПМС не соединены с выводами порта. 001: CEX0 соединен с выводом порта. 010: CEX0, CEX1 соединены с двумя выводами порта. 011: CEX0, CEX1, CEX2 соединены с тремя выводами порта. 100: CEX0, CEX1, CEX2, CEX3 соединены с четырьмя выводами порта. 101: CEX0, CEX1, CEX2, CEX3, CEX4 соединены с пятью выводами порта. 110: CEX0, CEX1, CEX2, CEX3, CEX4, CEX5 соединены с шестью выводами порта.</p> <p>Бит 2: UART0EN: Бит подключения входов/выходов УАППО 0: Входы/выходы УАППО не соединены с выводами порта. 1: TX0 и RX0 соединены с выводами P0.0 и P0.1 соответственно.</p> <p>Бит 1: SPI0EN: Бит подключения входов/выходов модуля SPI0 0: Входы/выходы модуля SPI0 не соединены с выводами порта. 1: В 4-х проводном режиме MISO, MOSI, SCK и NSS соединены с четырьмя выводами порта. В 3-х проводном режиме MISO, MOSI, SCK соединены с тремя выводами порта.</p> <p>Бит 0: SMB0EN: Бит подключения входов/выходов модуля SMBus0 0: Входы/выходы модуля SMBus0 не соединены с выводами порта. 1: SDA и SCL соединены с двумя выводами порта.</p>								

Рисунок 18.6. XBR1: Регистр 1 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
SYSCKE	T2EXE	T2E	INT1E	T1E	INT0E	T0E	CP1E	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE2 SFR страница: F
<p>Бит 7: SYSCKE: Бит подключения выхода SYSCLK 0: Выход SYSCLK не соединен с выводом порта. 1: Выход SYSCLK соединен с выводом порта.</p> <p>Бит 6: T2EXE: Бит подключения входа T2EX 0: T2EX не соединен с выводом порта. 1: T2EX соединен с выводом порта.</p> <p>Бит 5: T2E: Бит подключения входа T2 0: T2 не соединен с выводом порта. 1: T2 соединен с выводом порта.</p> <p>Бит 4: INT1E: Бит подключения входа /INT1 0: /INT1 не соединен с выводом порта. 1: /INT1 соединен с выводом порта.</p> <p>Бит 3: T1E: Бит подключения входа T1 0: T1 не соединен с выводом порта. 1: T1 соединен с выводом порта.</p> <p>Бит 2: INT0E: Бит подключения входа /INT0 0: /INT0 не соединен с выводом порта. 1: /INT0 соединен с выводом порта.</p> <p>Бит 1: T0E: Бит подключения входа T0 0: T0 не соединен с выводом порта. 1: T0 соединен с выводом порта.</p> <p>Бит 0: CP1E: Бит подключения выхода Компаратора 1 (CP1) 0: CP1 не соединен с выводом порта. 1: CP1 соединен с выводом порта.</p>								

Рисунок 18.7. XBR2: Регистр 2 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
WEAKPUD	XBARE	-	T4EXE	T4E	UART1E	-	-	SFR Адрес: 0xE3 SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: WEAKPUD: Бит отключения слаботочковых подтяжек портов ввода/вывода</p> <p>0: Слаботочковые подтяжки включены</p> <p>1: Слаботочковые подтяжки отключены</p> <p>Бит 6: XBARE: Бит включения матрицы</p> <p>0: Матрица отключена. Все выводы портов P0, P1, P2 и P3 настроены на вход.</p> <p>1: Матрица включена</p> <p>Бит 5: Не используются. Читается как 0b. Запись не оказывает никакого влияния.</p> <p>Бит 4: T4EXE: Бит подключения входа T4EX</p> <p>0: T4EX не соединен с выводом порта.</p> <p>1: T4EX соединен с выводом порта.</p> <p>Бит 3: T4E: Бит подключения входа T4</p> <p>0: T4 не соединен с выводом порта.</p> <p>1: T4 соединен с выводом порта.</p> <p>Бит 2: UART1E: Бит подключения входов/выходов УАПП1</p> <p>0: Входы/выходы УАПП1 не соединены с выводами порта.</p> <p>1: TX1 и RX1 соединены с двумя выводами порта.</p> <p>Биты 1-0: Зарезервированы.</p>								



Рисунок 18.8. XBR3: Регистр 3 матрицы портов ввода/вывода

R/W	R	R	R	R/W	R/W	R/W	R/W	Значение при сбросе:
CTXOUT	-	-	-	CP2E	CNVST2E	T3EXE	T3E	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE4 SFR страница: F

Бит 7: CTXOUT: Режим выходного драйвера вывода CTX передатчика CAN
 0: Выходной драйвер вывода CTX работает в режиме выхода с открытым стоком.
 1: Выходной драйвер вывода CTX работает в режиме цифрового двухтактного выхода.

Бит 6-4: Зарезервированы.

Бит 3: CP2E: Бит подключения выхода Компаратора 2 (CP2)
 0: CP2 не соединен с выводом порта.
 1: CP2 соединен с выводом порта.

Бит 2: CNVST2E: Бит подключения входа запуска преобразования АЦП2.
 0: CNVST2 для АЦП2 не соединен с выводом порта.
 1: CNVST2 для АЦП2 соединен с выводом порта.

Бит 1: T3EXE: Бит подключения входа T3EX
 0: T3EX не соединен с выводом порта.
 1: T3EX соединен с выводом порта.

Бит 0: T3E: Бит подключения входа T3
 0: T3 не соединен с выводом порта.
 1: T3 соединен с выводом порта.

Рисунок 18.9. P0: Регистр данных Портa 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x80 SFR страница: Все

Биты 7-0: P0.[7:0]: Биты выходной защелки порта 0.
 (Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1, XBR2 и XBR3)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P0MDOUT.n = 0)
 (Чтение – независимо от состояния регистров XBR0, XBR1, XBR2 и XBR3).
 0: На выводе P0.n низкий логический уровень.
 1: На выводе P0.n высокий логический уровень.

Примечание: P0.7 (/WR), P0.6 (/RD) и P0.5 (ALE) могут управляться интерфейсом внешней памяти данных (см. раздел 16). Информация о настройке матрицы для доступа к внешней памяти приведена на рис.17.9.

Рисунок 18.10. P0MDOUT: Регистр настройки выходов Портa 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA4 SFR страница: F

Биты 7-0: P0MDOUT.[7:0]: Биты настройки выходного драйвера порта 0.
 0: Соответствующий вывод P0.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P0.n настроен как цифровой двухтактный выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любых выводах портов, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 18.11. P1: Регистр Порты 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x90 SFR страница: Все

Биты 7-0: P1.[7:0]: Биты выходной защелки порта 1.
 (Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1, XBR2 и XBR3)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P1MDOUT.n = 0)
 (Чтение – независимо от состояния регистров XBR0, XBR1, XBR2 и XBR3).
 0: На выводе P1.n низкий логический уровень.
 1: На выводе P1.n высокий логический уровень.

Примечание:
 В МК C8051F060/1/2/3 порты P1.[7:0] можно настроить как входы АЦП2 AIN2.[7:0]. В этом случае они «пропускаются» матрицей в процессе назначения выводов портов и отключаются их цепи тока цифрового входа, в зависимости от значения регистра P1MDIN (см. рис.18.12). Следует иметь ввиду, что в аналоговом режиме режим работы выходных драйверов выводов определяется защелкой порта 1 и регистром P1MDOUT (см. рис.18.13). Подробная информация относительно АЦП2 приведена в разделе 7.

Рисунок 18.12. P1MDIN: Регистр настройки входов Порты 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xAD SFR страница: F

Биты 7-0: P1MDIN.[7:0]: Биты выбора режима входов Порты 1.
 0: Вывод порта настроен как аналоговый вход. Цепь цифрового входа отключена (чтение бита порта всегда возвратит значение '0'). Слаботоковая подтяжка вывода отключена.
 1: Вывод порта настроен как цифровой вход. Результатом чтения бита порта будет логический уровень на внешнем выводе. Состояние слаботоковой подтяжки определяется битом WEAKPUD (XBR2.7, см. рис.18.7).

Рисунок 18.13. P1MDOUT: Регистр настройки выходов Porta 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xA5 SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: P1MDOUT.[7:0]: Биты настройки выходного драйвера порта 1.

- 0: Соответствующий вывод P1.n настроен как выход с открытым стоком.
- 1: Соответствующий вывод P1.n настроен как цифровой двухтактный выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любом выводе порта P1, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 18.14. P2: Регистр данных Porta 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 11111111 SFR Адрес: 0xA0 SFR страница: Все
P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Биты 7-0: P2.[7:0]: Биты выходной защелки порта 2.

(Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1, XBR2 и XBR3)

- 0: Выход в состоянии лог. 0
- 1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P2MDOUT.n = 0)

(Чтение – независимо от состояния регистров XBR0, XBR1, XBR2 и XBR3).

- 0: На выводе P2.n низкий логический уровень.
- 1: На выводе P2.n высокий логический уровень.



Рисунок 18.15. P2MDIN: Регистр настройки входов Порта 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 11111111
								SFR Адрес: 0xAE SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: P2MDIN.[7:0]: Биты выбора режима входов Порта 2.

0: Вывод порта настроен как аналоговый вход. Цепь цифрового входа отключена (чтение бита порта всегда возвратит значение '0'). Слаботоковая подтяжка вывода отключена.

1: Вывод порта настроен как цифровой вход. Результатом чтения бита порта будет логический уровень на внешнем выводе. Состояние слаботочковой подтяжки определяется битом WEAKPUD (XBR2.7, см. рис.18.7).

Рисунок 18.16. P2MDOUT: Регистр настройки выходов Порта 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xA6 SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: P2MDOUT.[7:0]: Биты настройки выходного драйвера порта 2.

0: Соответствующий вывод P2.n настроен как выход с открытым стоком.

1: Соответствующий вывод P2.n настроен как цифровой двухтактный выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАПП1 в режиме 0) появляются на любом выводе порта P2, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 18.17. P3: Регистр данных Порт 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xB0 SFR страница: Все

Биты 7-0: P3.[7:0]: Биты выходной защелки порта 3.
 (Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1, XBR2 и XBR3)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P3MDOUT.n = 0)
 (Чтение – независимо от состояния регистров XBR0, XBR1, XBR2 и XBR3).
 0: На выводе P3.n низкий логический уровень.
 1: На выводе P3.n высокий логический уровень.

Примечание: Хотя порт P3 не выведен на внешние выводы МК C8051F061/3/5/7, регистр данных порта все равно доступен и может использоваться программой (см. стр. 219).

Рисунок 18.18. P3MDOUT: Регистр настройки выходов Порт 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA7 SFR страница: F

Биты 7-0: P3MDOUT.[7:0]: Биты настройки выходного драйвера порта 3.
 0: Соответствующий вывод P3.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P3.n настроен как цифровой двухтактный выход.

18.2. Порты 4...7 (только C8051F060/2/4/6)

Все выходы портов P4 – P7 могут быть доступны как выходы ввода/вывода общего назначения путем чтения и записи соответствующих регистров данных портов (см. рис.18.19, рис.18.21, рис.18.23 и рис.18.24), к которым можно обращаться в побайтном режиме адресации. Порт P4 имеет только три выхода: P4.5, P4.6 и P4.7. Регистры портов 4, 5, 6 и 7 размещены на SFR странице с номером F. Для доступа к регистрам этих портов необходимо загрузить в регистр SFRPAGE значение 0x0F.

Чтение регистра данных порта (или бита порта) всегда возвратит в качестве результата логическое состояние на самом выводе порта независимо от того, назначен данный порт матрицей какому-либо цифровому модулю или нет. Исключением являются команды типа *чтение-модификация-запись* (ANL, ORL, XRL, JBC, CPL, INC, DEC, DJNZ, CLR, SETB и битовые команды MOV). В течение цикла *чтения* команд типа *чтение-модификация-запись* считывается содержимое регистра данных порта, а не логическое состояние самих выводов портов.

18.2.1. Настройка портов, не имеющих внешние выходы

Хотя порты P3, P4, P5, P6 и P7 не выведены на внешние выходы в МК C8051F061/3/5/7, регистры данных этих портов все равно доступны и могут использоваться программой. Т.к. цепи цифровых входов также остаются активными, не рекомендуется оставлять эти выходы в «плавающем» состоянии. Это позволит исключить ненужное увеличение энергопотребления, возникающее при появлении на «плавающих» входах некорректных логических уровней. Добиться этого можно любым из следующих способов:

1. Оставить слаботоковые подтяжки включенными, сбросив в 0 бит WEAKPUD (XBR2.7).
2. Настроить выходные драйверы портов P3 – P7 как цифровые двухтактные выходы, записав значение 0xFF в соответствующие регистры PnMDOUT.
3. Перевести выходы портов P3 – P7 в состояние лог. '0', записав нули в регистры данных портов: P3=0x00, P4 = 0x00, P5=0x00, P6=0x00 и P7=0x00.

18.2.2. Настройка выходных драйверов портов

Выходной драйвер каждого вывода порта можно настроить либо как цифровой двухтактный выход, либо как выход с открытым стоком. При работе в режиме цифрового выхода запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к земляной шине GND, а запись лог. '1' приведет к «притягиванию» данного вывода порта к шине питания VDD. При работе в режиме выхода с открытым стоком запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к земляной шине GND, а при записи лог. '1' данный вывод порта будет переведен в высокоимпедансное состояние. Режим выхода с открытым стоком полезен в том случае, если требуется предотвратить конфликты между различными устройствами в системе, когда вывод порта участвует в коллективном взаимодействии, при котором несколько выходов подключаются к одной и той же физической линии.

Режимы работы выходных драйверов выводов портов P4 – P7 определяются битами соответствующих регистров PnMDOUT. Каждый бит регистров PnMDOUT управляет режимом выходного драйвера соответствующего ему вывода порта (см. рис.18.20, рис.18.22, рис.18.24 и рис.18.26). Например, чтобы настроить вывод порта P5.3 как цифровой двухтактный выход, необходимо установить в 1 бит P5MDOUT.3. По умолчанию после сброса все выходы настраиваются как выходы с открытым стоком.

18.2.3. Настройка выводов портов как цифровых входов

Вывод порта настраивается как цифровой вход переводом его выходного драйвера в режим выхода с открытым стоком и записью лог. '1' в соответствующий бит регистра данных порта. Например, P7.7 настраивается как цифровой вход сбросом в 0 бита P7MDOUT.7 и установкой в 1 бита P7.7.

18.2.4. Слаботоковые подтяжки

Каждый вывод порта имеет внутреннюю слаботоктовую подтяжку, которая по умолчанию включена. Она обеспечивает соединение данного вывода с шиной питания VDD через резистор с высоким сопротивлением (около 100кОм). Слаботоковые подтяжки можно глобально отключить, установив в 1 бит отключения слаботоковых подтяжек WEAKPUD (XBR2.7). Слаботоковые подтяжки автоматически отключаются у любого вывода, на который выдается лог. '0', т.е. выход вывода не будет конфликтовать с собственной слаботоктовой подтяжкой.

18.2.5. Интерфейс внешней памяти

Если для сигналов интерфейса внешней памяти используются старшие порты и происходит обращение к внешней (не встроенной) памяти с помощью команды MOVX, то в течение фазы выполнения команды MOVX интерфейс внешней памяти будет управлять состоянием выхода находящихся под его влиянием выводов портов независимо от состояния регистров данных портов. Работа интерфейса внешней памяти не влияет на конфигурацию выходных драйверов выводов портов, за исключением операций чтения, при которых явным образом отключаются выходные драйверы шины данных во время выполнения команды MOVX. Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.19. P4: Регистр данных Porta 4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P4.7	P4.6	P4.5	-	-	-	-	-	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xC8 SFR страница: F

Биты 7-5: P4.[7:5]: Биты выходной защелки порта 4.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P4MDOUT сброшен в 0). См. рис.18.20.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P4.n низкий логический уровень.
 1: На выводе P4.n высокий логический уровень.

Биты 4-0: Зарезервированы. Необходимо записать '11111'.

Примечание: P4.7 (/WR), P4.6 (/RD) и P4.5 (ALE) могут управляться интерфейсом внешней памяти данных (см. раздел 17).

Рисунок 18.20. P4MDOUT: Регистр настройки выходов Porta 4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
			-	-	-	-	-	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9C SFR страница: F

Биты 7-5: P4MDOUT.[7:5]: Биты настройки выходного драйвера порта 4.
 0: Соответствующий вывод P4.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P4.n настроен как цифровой двухтактный выход.

Биты 4-0: Зарезервированы. Необходимо записать '00000'.

Рисунок 18.21. P5: Регистр данных Портa 5

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 11111111 SFR Адрес: 0xD8 SFR страница: F
P5.7	P5.6	P5.5	P5.4	P5.3	P5.2	P5.1	P5.0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Биты 7-0: P5.[7:0]: Биты выходной защелки порта 5.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P5MDOUT сброшен в 0). См. рис.18.22.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P5.n низкий логический уровень.
 1: На выводе P5.n высокий логический уровень.

Примечание: P5.[7:0] могут управляться интерфейсом внешней памяти данных (как адреса [15:8] в немультимплексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.22. P5MDOUT: Регистр настройки выходов Портa 5

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x9D SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: P5MDOUT.[7:0]: Биты настройки выходного драйвера порта 5.
 0: Соответствующий вывод P5.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P5.n настроен как цифровой двухтактный выход.

Рисунок 18.23. P6: Регистр данных Порта 6

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P6.7	P6.6	P6.5	P6.4	P6.3	P6.2	P6.1	P6.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xE8 SFR страница: F

Биты 7-0: P6.[7:0]: Биты выходной защелки порта 6.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P6MDOUT сброшен в 0). См. рис.18.24.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P6.n низкий логический уровень.
 1: На выводе P6.n высокий логический уровень.

Примечание: P6.[7:0] могут управляться интерфейсом внешней памяти данных (как разряды адреса [15:8] в мультиплексированном режиме, или как разряды адреса [7:0] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.24. P6MDOUT: Регистр настройки выходов Порта 6

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9E SFR страница: F

Биты 7-0: P6MDOUT.[7:0]: Биты настройки выходного драйвера порта 6.
 0: Соответствующий вывод P6.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P6.n настроен как цифровой двухтактный выход.

Рисунок 18.25. P7: Регистр данных Порт 7

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P7.7	P7.6	P7.5	P7.4	P7.3	P7.2	P7.1	P7.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xF8 SFR страница: F

Биты 7-0: P7.[7:0]: Биты выходной защелки порта 7.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P7MDOUT сброшен в 0). См. рис.18.26.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P7.n низкий логический уровень.
 1: На выводе P7.n высокий логический уровень.

Примечание: P7.[7:0] могут управляться интерфейсом внешней памяти данных (как AD[7:0] в мультиплексированном режиме, или как D[7:0] в немultipлексированном режиме).
 Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.26. P7MDOUT: Регистр настройки выходов Порт 7

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9F SFR страница: F

Биты 7-0: P7MDOUT.[7:0]: Биты настройки выходного драйвера порта 7.
 0: Соответствующий вывод P7.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P7.n настроен как цифровой двухтактный выход.

19. Контроллер локальной сети (CAN0)

ПРИМЕЧАНИЕ: CAN-контроллер BOSCH интегрирован в микроконтроллеры C8051F060/1/2/3. В данном разделе приводится краткое описание CAN-контроллера, а также описывается интерфейс взаимодействия между процессорным ядром CIP-51 и встроенным CAN-контроллером BOSCH. Более подробная информация о работе CAN-контроллера приведена в руководстве Bosch's C_CAN User's Manual (revision 1.2).

Микроконтроллеры C8051F60/1/2/3 имеют встроенный контроллер локальной сети (CAN), который позволяет осуществлять последовательный обмен данными по протоколу CAN. Данный CAN-контроллер обеспечивает работу в сети CAN в соответствии со спецификациями Bosch 2.0A (базовый CAN) и 2.0B (расширенный CAN). CAN-контроллер состоит из CAN-ядра, ОЗУ сообщений (отдельного от ОЗУ CIP-51), конечного автомата обработки сообщений и регистров управления. Silicon Labs CAN-контроллер представляет собой контроллер протокола и не имеет драйверов физического уровня (т.е. приемопередатчиков). На рис. 19.2 приведен пример типичной конфигурации шины CAN.

Silicon Labs CAN-контроллер обеспечивает последовательный обмен данными со скоростью до 1Мбит/сек., хотя эта скорость может быть ограничена физической средой, выбранной для передачи данных по шине CAN. CAN-процессор имеет 32 буфера сообщений, которые могут быть настроены для передачи или приема данных. Поступающие данные, буферы сообщений и их маски идентификаторов сохраняются в ОЗУ сообщений CAN-контроллера. Все функции протокола, связанные с передачей данных и фильтрацией поступающих сообщений, выполняются CAN-контроллером, а не ядром CIP-51. Это обеспечивает минимальную нагрузку на процессор при осуществлении взаимодействия по протоколу CAN. CIP-51 настраивает CAN-контроллер, принимает полученные данные и выдает данные для передачи с помощью регистров специального назначения (SFR). Частота тактирования CAN-контроллера (f_{SYS} , или CAN_CLK в C_CAN User's Guide) равна тактовой частоте CIP-51 (SYSCLK).

Рисунок 19.1. Структурная схема контроллера CAN.

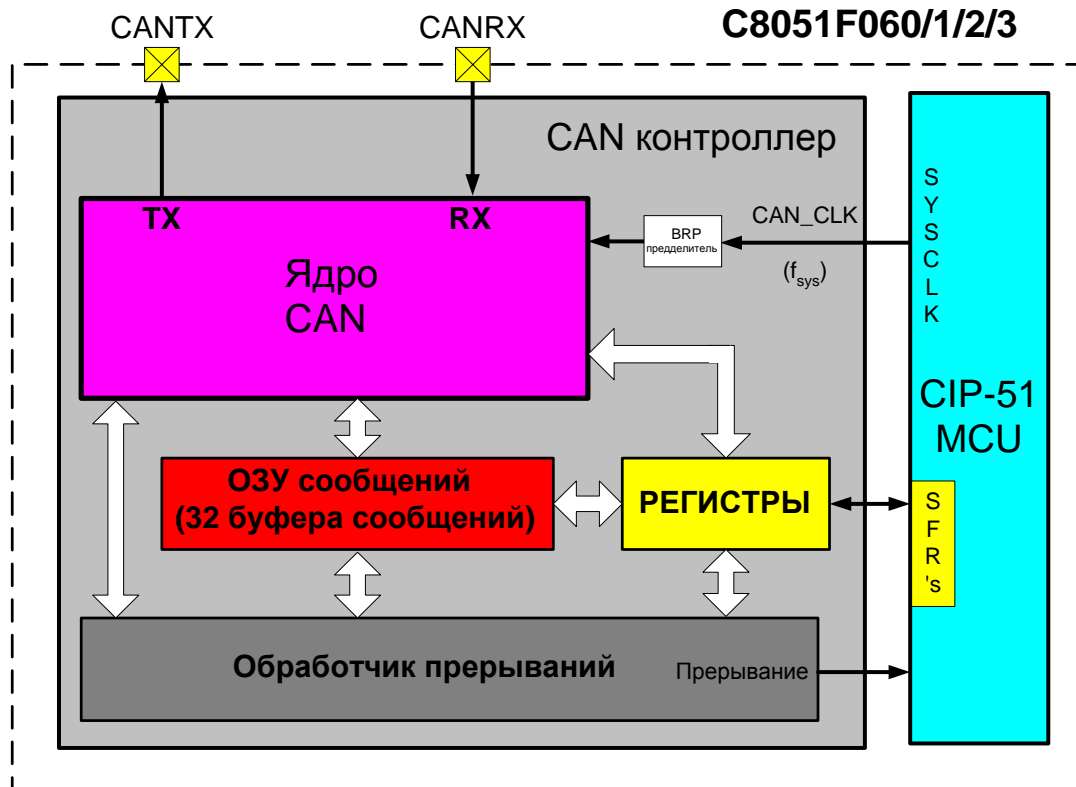
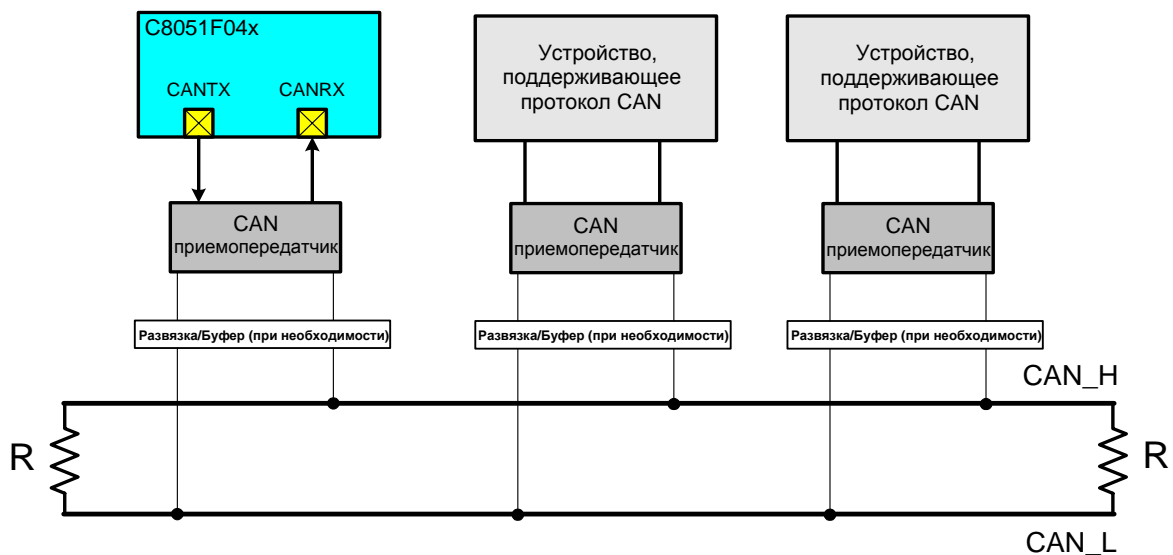


Рисунок 19.2. Типичная конфигурация шины CAN.



19.1. Функционирование контроллера CAN.

CAN-контроллер, реализованный в МК C8051F060/1/2/3, представляет собой полнофункциональный Bosch CAN модуль и полностью соответствует спецификации CAN 2.0B.

Функционирование и использование CAN-контроллера подробно описано в руководстве пользователя *Bosch CAN User's Guide*, которое следует использовать при настройке и использовании CAN-контроллера. В данном *Datasheet* фирмы *Silicon Labs* описывается, как обеспечить доступ к CAN-контроллеру.

Обращение к регистру управления CAN (CAN0CN), регистру тестирования CAN (CAN0TST) и регистру состояния CAN (CAN0STA) CAN-контроллера возможно в режимах прямой или косвенной адресации с помощью регистров специального назначения (SFR) CIP-51. Все другие CAN-регистры должны адресоваться с помощью метода косвенной индексации, описанного в разделе “Использование регистров CAN0ADR, CAN0DATH и CAN0DATL для доступа к CAN-регистрам”.

19.2. Регистры CAN.

Регистры CAN классифицируются следующим образом:

1. Регистры протокола CAN-контроллера: регистр управления CAN, регистр прерывания, регистр контроля ошибок, регистр состояния шины, регистр тестирования.
2. Интерфейсные регистры буферов сообщений: Используются для настройки 32 буферов сообщений, для передачи данных в буферы сообщений и приема данных из них. Процессорное ядро CIP-51 обращается к ОЗУ сообщений CAN посредством интерфейсных регистров буферов сообщений. При записи номера буфера сообщения в регистр запроса команды IF1 или IF2 содержимое соответствующих интерфейсных регистров (IF1 или IF2) будет передано в буфер сообщений, находящийся в ОЗУ CAN, или получено из него.
3. Регистры обработчика сообщений: Эти регистры доступны только для чтения. Они используются ядром CIP-51 для получения информации о буферах сообщений (флаги MSGVLD, ожидание запроса передачи, флаги поступления новых данных) и об отложенных прерываниях (который из буферов сообщений вызвал прерывание или условие возникновения прерывания).
4. Регистры специального назначения (SFR) ядра CIP-51: Пять регистров, расположенные в памяти CIP-51, обеспечивают прямой доступ к некоторым регистрам протокола CAN-контроллера и индексный косвенный доступ ко всем регистрам CAN.

19.2.1. Регистры протокола CAN-контроллера

Регистры протокола CAN-контроллера используются для настройки CAN-контроллера, обслуживания прерываний, слежения за состоянием шины и перевода контроллера в тестовые режимы работы. Доступ к регистрам протокола CAN-контроллера осуществляется через SFR регистры CIP-51 с помощью индексного метода. К некоторым регистрам протокола CAN-контроллера можно обращаться непосредственно путем адресации SFR регистров в памяти CIP-51.

К регистрам протокола CAN-контроллера относятся: регистр управления CAN (CAN0CN), регистр состояния CAN (CAN0STA), регистр тестирования CAN (CAN0TST), регистр счетчика ошибок, регистр BTR и дополнительный регистр BRP (регистр предварительного делителя скорости передачи данных). К регистрам CAN0CN, CAN0STA и CAN0TST можно обращаться через SFR регистры CIP-51. Доступ ко всем другим регистрам осуществляется косвенно через регистры CAN0ADR, CAN0DATH и CAN0DATL с помощью метода индексной адресации CAN.

Информация о функционировании регистров управления протоколом CAN и их использовании приведена в руководстве пользователя *Bosch CAN User's Guide*.

19.2.2. Интерфейсные регистры буферов сообщений

Имеется два набора интерфейсных регистров буферов сообщений. Они используются для настройки 32 буферов сообщений, которые передают данные в шину CAN и принимают данные из нее. Буферы сообщений можно настроить для передачи или приема данных, им можно назначить идентификаторы сообщений, используемые для приемной фильтрации всеми узлами CAN-сети.

Буферы сообщений хранятся в ОЗУ сообщений. Доступ к ним и их настройка осуществляются с помощью интерфейсных регистров буферов сообщений. Эти регистры доступны через регистры CIP-51 CAN0ADR и CAN0DAT с помощью метода косвенной индексной адресации.

Информация о функционировании интерфейсных регистров буферов сообщений и их использовании приведена в руководстве пользователя *Bosch CAN User's Guide*.

19.2.3. Регистры обработчика сообщений

Регистры обработчика сообщений доступны только для чтения. Их флаги можно прочитать с помощью индексного метода доступа через регистры CAN0ADR, CAN0DATH и CAN0DATL. Регистры обработчика сообщений предоставляют информацию о прерываниях, ошибках, запросах передачи/приема и об обновлении данных.

Информация о функционировании регистров обработчика сообщений и их использовании приведена в руководстве пользователя *Bosch CAN User's Guide*.

19.2.4. Регистры специального назначения CIP-51

Периферийные модули МК C8051F060/1/2/3 настраиваются и управляются с помощью регистров специального назначения (SFR регистров). К большинству регистров CAN-контроллера нельзя обращаться *непосредственно* через SFR регистры. Три регистра CAN-контроллера доступны непосредственно через SFR регистры. Доступ ко всем другим регистрам CAN-контроллера осуществляется косвенно с помощью трех SFR регистров CIP-51: регистры данных CAN (CAN0DATH и CAN0DATL) и регистр адреса CAN (CAN0ADR). Таким образом, существует всего пять CAN-регистров, используемых для настройки и запуска CAN-контроллера.

19.2.5. Использование регистров CAN0ADR, CAN0DATH и CAN0DATL для доступа к CAN-регистрам

Каждый регистр CAN-контроллера имеет индексный номер (см. табл. 19.1). Размер адресного пространства CAN-регистров составляет 128 слов (256 байт). CAN-регистр доступен через регистры данных CAN (CAN0DATH и CAN0DATL) тогда, когда индексный номер CAN-регистра помещен в регистр адреса CAN (CAN0ADR). Например, если требуется загрузить в регистр BTR новое значение, необходимо в регистр CAN0ADR записать значение 0x03. После этого доступ к младшему байту регистра BTR осуществляется через регистр CAN0DATL, а к старшему – через регистр CAN0DATH. Регистр CAN0DATL доступен в побитном режиме адресации. Чтобы загрузить значение 0x2304 в регистр BTR, необходимо:

```
CAN0ADR = 0x03;      // Загрузить индекс регистра BTR (см. табл. 19.1)
CAN0DATH = 0x23;     // Загрузить старший байт значения в старший байт регистра данных
CAN0DATL = 0x04;     // Загрузить младший байт значения в младший байт регистра данных
```

Примечание: Доступ к регистрам CAN0CN, CAN0STA и CAN0TST можно осуществлять как с помощью индексного метода, так и непосредственно через SFR регистры CIP-51. CAN0CN расположен по адресу 0xF8/SFR страница 1 (рис. 19.6), CAN0TST расположен по адресу 0xDB/SFR страница 1 (рис. 19.7), CAN0STA расположен по адресу 0xC0/SFR страница 1 (рис. 19.8).

19.2.6. Функция автоинкремента CAN0ADR

В целях облегчения программирования буферов сообщений регистр CAN0ADR наделен возможностью автоинкремента своего содержимого для индексов из диапазонов 0x08...0x12 (интерфейсные регистры 1) и 0x20...0x2A (интерфейсные регистры 2). Если регистр CAN0ADR содержит индекс из этих диапазонов, **то при чтении/записи регистра CAN0DATL произойдет автоинкремент содержимого регистра CAN0ADR на 1, после чего он будет указывать на 16-разрядное слово следующего CAN-регистра.** Это ускоряет программирование часто изменяемых интерфейсных регистров во время настройки буферов сообщений.

Примечание: Таблица 19.1, приведенная ниже, заменяет собой рис. 5 раздела 3 “Programmer’s Model” руководства пользователя Bosch CAN User’s Guide.

Таблица 19.1. Индексы CAN-регистров и их значения, устанавливаемые при сбросе

Индекс CAN-регистра	Название регистра	Значение после сброса	Примечания
0x00	Регистр управления CAN	0x0001	Доступен как SFR регистр
0x01	Регистр состояния	0x0000	Доступен как SFR регистр
0x02	Регистр ошибки	0x0000	Доступен только для чтения
0x03	Регистр BTR	0x2301	Запись разрешается битом CCE регистра CAN0CN
0x04	Регистр прерываний	0x0000	Доступен только для чтения
0x05	Регистр тестирования	0x0000	Бит 7 (RX) определяется шиной CAN

Таблица 19.1. Индексы CAN-регистров и их значения, устанавливаемые при сбросе (продолжение)

Индекс CAN-регистра	Название регистра	Значение после сброса	Примечания
0x06	Дополнительный регистр BRP	0x0000	Запись разрешается битом TEST регистра CAN0CN
0x08	Запрос команды IF1	0x0001	CAN0ADR автоинкрементируется в индексном диапазоне IF1 (0x08 – 0x12) при записи в CAN0DATL
0x09	Маска команды IF1	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x0A	Маска 1 IF1	0xFFFF	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x0B	Маска 2 IF1	0xFFFF	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x0C	Арбитраж 1 IF1	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x0D	Арбитраж 2 IF1	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x0E	Управление сообщением IF1	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x0F	Данные A1 IF1	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x10	Данные A2 IF1	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x11	Данные B1 IF1	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x12	Данные B2 IF1	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x20	Запрос команды IF2	0x0001	CAN0ADR автоинкрементируется в индексном диапазоне IF2 (0x20 – 0x2A) при записи в CAN0DATL
0x21	Маска команды IF2	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x22	Маска 1 IF2	0xFFFF	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x023	Маска 2 IF2	0xFFFF	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x24	Арбитраж 1 IF2	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x25	Арбитраж 2 IF2	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x26	Управление сообщением IF2	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x27	Данные A1 IF2	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x28	Данные A2 IF2	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x29	Данные B1 IF2	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x2A	Данные B2 IF2	0x0000	CAN0ADR автоинкрементируется при записи в CAN0DATL
0x40	Запрос передачи 1	0x0000	Флаги запросов передачи для буферов сообщений (только для чтения)
0x41	Запрос передачи 2	0x0000	Флаги запросов передачи для буферов сообщений (только для чтения)

Таблица 19.1. Индексы CAN-регистров и их значения, устанавливаемые при сбросе (продолжение)

Индекс CAN-регистра	Название регистра	Значение после сброса	Примечания
0x48	Новые данные 1	0x0000	Флаги новых данных для буферов сообщений (только для чтения)
0x49	Новые данные 2	0x0000	Флаги новых данных для буферов сообщений (только для чтения)
0x50	Ожидание прерывания 1	0x0000	Флаги ожидания прерывания для буферов сообщений (только для чтения)
0x51	Ожидание прерывания 2	0x0000	Флаги ожидания прерывания для буферов сообщений (только для чтения)
0x58	Достоверность сообщения 1	0x0000	Флаги достоверности сообщения для буферов сообщений (только для чтения)
0x59	Достоверность сообщения 2	0x0000	Флаги достоверности сообщения для буферов сообщений (только для чтения)

Рисунок 19.3. CAN0DATH: Старший байт регистра данных CAN

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD9 SFR страница: 1

Биты 7-0: CAN0DATH: Старший байт регистра данных CAN.

Регистры CAN0DAT используются для чтения/записи значений и данных из/в CAN-регистров(-ы), на которые указывает индексный номер, содержащийся в регистре CAN0ADR.

Регистр CAN0ADR используется для адресации регистров данных [CAN0DATH:CAN0DATL] требуемого CAN-регистра.

Индексный номер требуемого CAN-регистра записывается в регистр CAN0ADR. После этого регистр CAN0DAT можно использовать для записи/чтения в/из CAN-регистр(-а).

Рисунок 19.4. CAN0DATL: Младший байт регистра данных CAN

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000001
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD8 SFR страница: 1

Биты 7-0: CAN0DATL: Младший байт регистра данных CAN.

Регистры CAN0DAT используются для чтения/записи значений и данных из/в CAN-регистров(-ы), на которые указывает индексный номер, содержащийся в регистре CAN0ADR.

Регистр CAN0ADR используется для адресации регистров данных [CAN0DATH:CAN0DATL] требуемого CAN-регистра.

Индексный номер требуемого CAN-регистра записывается в регистр CAN0ADR. После этого регистр CAN0DAT можно использовать для записи/чтения в/из CAN-регистр(-а).

Рисунок 19.5. CAN0ADR: Индексный регистр адреса CAN

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xDA SFR страница: 1
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: CANADR: Индексный регистр адреса CAN.

Регистр CAN0ADR используется для адресации регистров данных [CAN0DATH:CAN0DATL] требуемого CAN-регистра.

Индексный номер требуемого CAN-регистра записывается в регистр CAN0ADR. После этого регистр CAN0DAT можно использовать для записи/чтения в/из CAN-регистра(-а).

Примечание: Если содержимое регистра CAN0ADR соответствует диапазонам 0x08 – 0x12 и 0x20 – 0x2A (регистры IF1 и IF2), то этот регистр будет автоинкрементироваться при записи в регистр CAN0DATL (см. раздел 18.2.6).

Функции/определения всех CAN-регистров перечислены и описаны в руководстве Bosch CAN User's Guide.

Рисунок 19.6. CAN0CN: Регистр управления CAN

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	Значение при сбросе:
*	*	*	CANIF	*	*	*	*	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xF8 SFR страница: 1

Бит 4: CANIF: Флаг прерывания CAN. Запись не вызывает никаких действий.

0: Прерывание CAN не зафиксировано.

1: Прерывание CAN произошло и активно.

CANIF управляется CAN-контроллером и сбрасывается аппаратно после сброса всех условий возникновения прерываний в CAN-контроллере. Более подробная информация относительно прерываний от CAN-контроллера приведена в разделе 3.4.1 руководства *Bosch CAN User's Guide*.

*** Функции/определения всех CAN-регистров перечислены и описаны в руководстве Bosch CAN User's Guide, за исключением бита CANIF.**

Доступ к этому регистру можно осуществлять как непосредственно в адресном пространстве SFR регистров CIP-51, так и косвенно при помощи индексного метода (см. раздел 19.2.5).

Рисунок 19.7. CAN0TST: Регистр тестирования CAN

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
Полное определение этого регистра приведено в руководстве <i>Bosch CAN User's Guide</i>								
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xDB SFR страница: 1
<p>Функции/определения всех CAN-регистров перечислены и описаны в руководстве Bosch CAN User's Guide.</p> <p>Доступ к этому регистру можно осуществлять как непосредственно в адресном пространстве SFR регистров CIP-51, а также косвенно при помощи индексного метода (см. раздел 19.2.5).</p>								

Рисунок 19.8. CAN0STA: Регистр состояния CAN

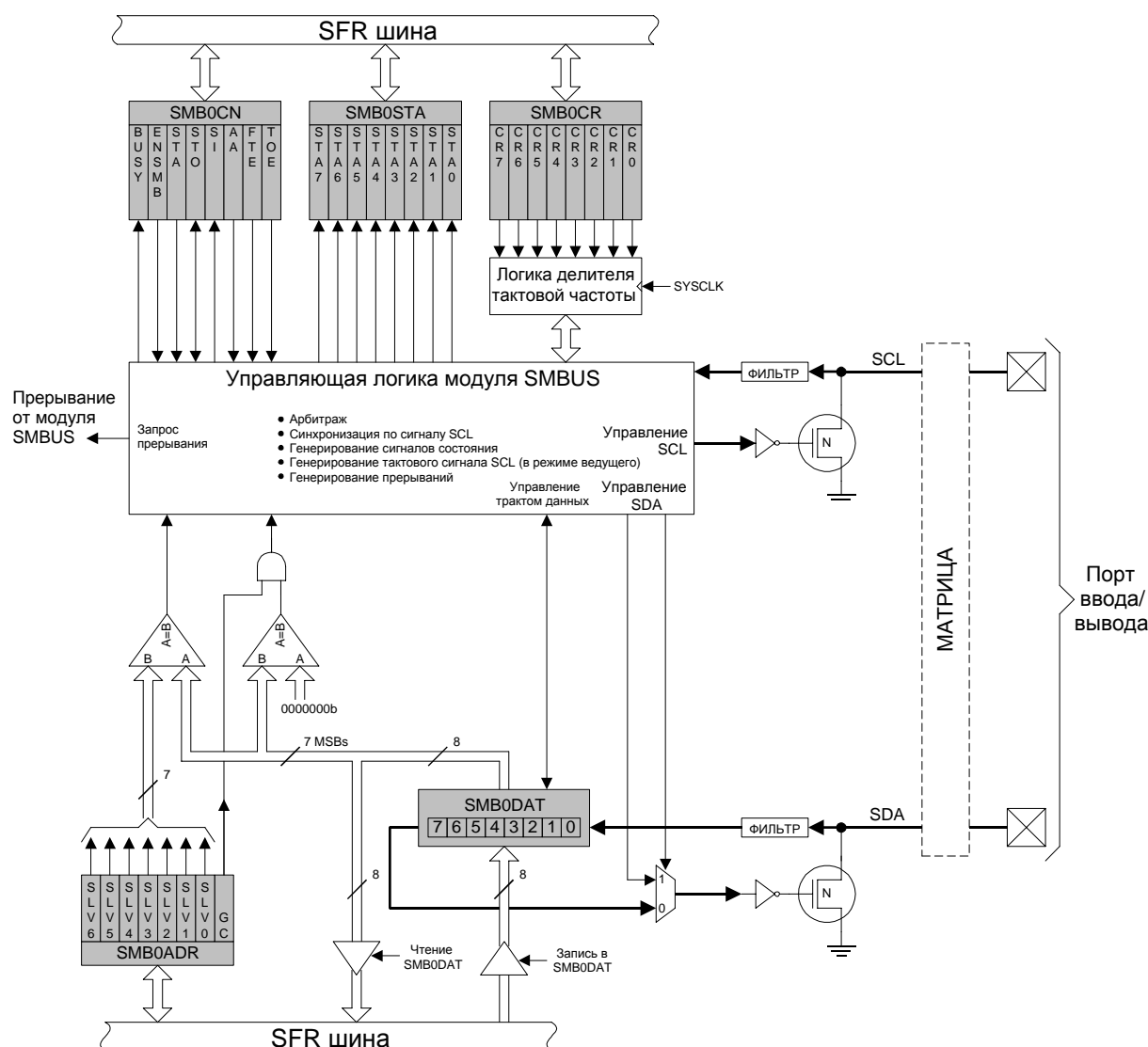
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
Полное определение этого регистра приведено в руководстве <i>Bosch CAN User's Guide</i>								
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC0 SFR страница: 1
<p>Функции/определения всех CAN-регистров перечислены и описаны в руководстве Bosch CAN User's Guide.</p> <p>Доступ к этому регистру можно осуществлять как непосредственно в адресном пространстве SFR регистров CIP-51, а также косвенно при помощи индексного метода (см. раздел 19.2.5).</p>								

20. Модуль SMBus / I2C (SMBUS0)

Интерфейс ввода/вывода SMBus0 представляет собой двухпроводную двунаправленную последовательную шину. SMBus0 соответствует System Management Bus Specification (версия 1.1) и поддерживает обмен данными по протоколу I²C. Системный контроллер считывает данные с последовательной шины и записывает их в последовательную шину побайтно с помощью модуля SMBus, который автоматически управляет последовательной передачей данных. Для обеспечения возможности работы устройств с различной скоростью передачи данных на одной шине используется метод растягивания синхросигнала за счет удержания низкого уровня.

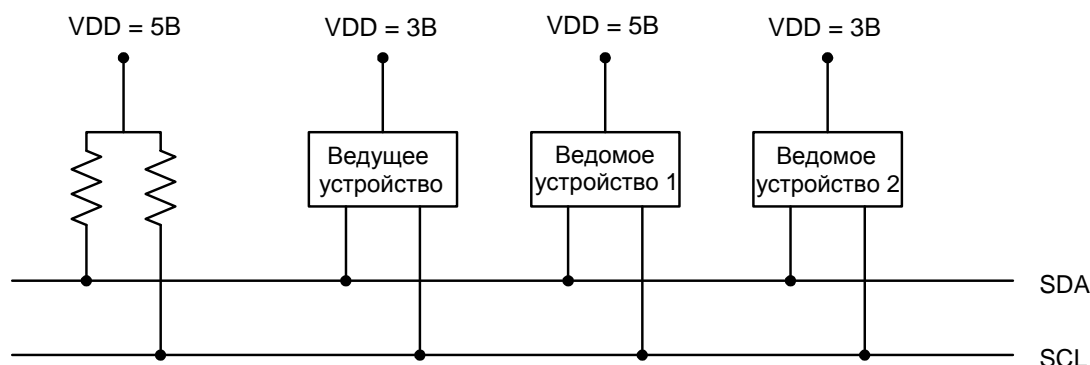
SMBus0 может работать в режимах ведущего и/или ведомого, а также может функционировать на шине с несколькими ведущими. SMBus0 обеспечивает управление линией SDA (последовательные данные), генерацию тактовых импульсов SCL и синхронизацию, арбитраж, управление битами START/STOP и их генерацию.

Рисунок 20.1. Структурная схема модуля SMBus0



На рис.20.2 приведена типичная схема подключения к шине SMBus. Интерфейс SMBus0 способен работать при любом напряжении от 3.0 до 5.0В, а различные устройства на шине могут иметь различные напряжения питания. Линии SCL (тактовые импульсы) и SDA (последовательные данные) являются двунаправленными. Необходимо подать на них положительное напряжение питания через подтягивающий резистор или подобную схему. Каждое устройство, подключенное к шине, должно иметь выход с открытым стоком или с открытым коллектором как для линии SCL, так и для линии SDA; тогда при свободной шине обе линии будут «подтянуты» к напряжению высокого логического уровня. Максимальное количество устройств на шине ограничивается только следующим требованием: время нарастания и спада сигнала на линиях шины не должно превышать 300нс и 1000нс соответственно.

Рисунок 20.2. Подключение к шине SMBus



20.1. Техническая документация

Предполагается, что читатель знаком со следующими техническими документами или имеет доступ к ним:

1. *The I²C-bus and how to use it (including specifications)*, Philips Semiconductor.
2. *The I²C-Bus Specification -- Version 2.0*, Philips Semiconductor.
3. *System Management Bus Specification -- Version 1.1*, SBS Implementers Forum.

20.2. Протокол SMBus

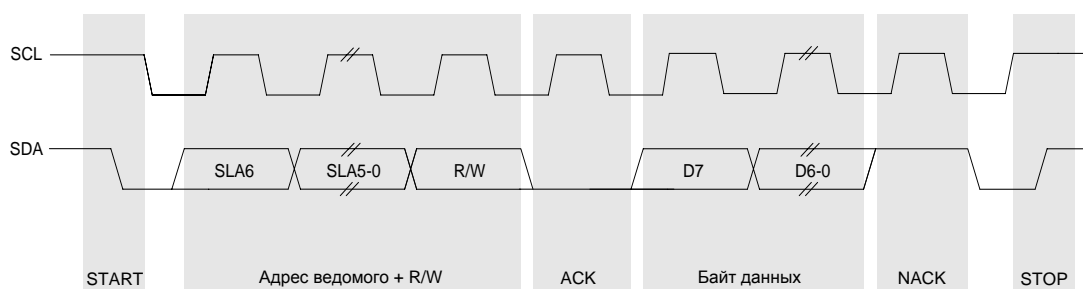
Возможны два режима передачи данных: передача данных от ведущего передатчика к адресуемому ведомому приемнику (ЗАПИСЬ) и передача данных от адресуемого ведомого передатчика к ведущему приемнику (ЧТЕНИЕ). Ведущее устройство инициирует процесс передачи данных в обоих режимах и генерирует тактовый сигнал на линии SCL. Допускается также работа нескольких ведущих устройств на одной шине. Если два или более ведущих пытаются инициировать процесс передачи данных одновременно, то применяемая схема арбитража всегда определит одного ведущего, который выиграет арбитраж и захватит управление шиной. Следует иметь в виду, что нет необходимости определять какое-либо устройство как ведущее в системе; любое устройство, которое передает бит START и адрес ведомого, становится ведущим для этого сеанса связи.

Типичное сообщение SMBus состоит из бита START, следующего за ним байта адреса (биты 7-1: 7-разрядный адрес ведомого; бит 0: бит направления передачи R/W), одного или нескольких байт данных и бита STOP. Каждый принятый (ведущим или ведомым) байт должен быть подтвержден (ACK) низким уровнем сигнала на линии SDA во время высокого уровня сигнала на линии SCL (см. рис.20.3). Если принимающее устройство не подтверждает прием, то передающее устройство воспримет этот факт как бит «нет подтверждения» (NACK), который представляет собой высокий уровень сигнала на линии SDA во время высокого уровня сигнала на линии SCL.

Бит направления занимает самый младший значащий разряд адреса. Бит направления устанавливается в 1 для выполнения операции чтения и сбрасывается в 0 для выполнения операции записи.

Все сеансы обмена данными инициируются ведущим, который адресует одно или несколько ведомых устройств. Ведущий генерирует бит START и затем передает адрес ведомого и бит направления. Если инициируется операция записи от ведущего к ведомому, то ведущий передает по одному байту данных за раз, ожидая бита подтверждения (ACK) от ведомого в конце каждого байта. Если осуществляется операция чтения, то ведомый передает данные, ожидая бита подтверждения (ACK) от ведущего в конце каждого байта. В конце сеанса передачи данных ведущий генерирует бит STOP, чтобы завершить сеанс и освободить шину. На рис.20.3 показан формат типичного сообщения SMBus.

Рисунок 20.3. Формат сообщения SMBus



20.2.1. Арбитраж

Ведущий может начать сеанс передачи, только если шина свободна. Шина является свободной после бита STOP или после того, как на линиях SCL и SDA в течение определенного времени удерживается высокий уровень сигнала (см. раздел 20.2.4). В случае, когда два или более ведущих устройства пытаются начать передачу данных одновременно, используется схема арбитража, которая заставит какое-либо ведущее устройство освободить шину. Ведущие устройства продолжают передавать до тех пор, пока один из ведущих не попытается передать на линию SDA сигнал высокого уровня, в то время как другие ведущие выдают на эту линию сигнал низкого уровня. Ведущее устройство, пытающееся передать на линию SDA сигнал высокого уровня, определит, что вместо сигнала высокого уровня на линии SDA присутствует сигнал низкого уровня, и освободит шину. Выигравший арбитраж ведущий продолжает передавать свои данные без какого-либо перерыва; потерявший арбитраж ведущий становится ведомым и принимает остаток передаваемых данных. Данная схема арбитража является не разрушающей: какое-нибудь одно устройство всегда выигрывает и никакие данные не теряются.

20.2.2. Растягивание тактового сигнала

Модуль SMBus обеспечивает механизм тактовой синхронизации, аналогичный I²C, который позволяет устройствам с различной скоростью передачи данных сосуществовать на одной шине. Чтобы позволить медленным ведомым устройствам обмениваться данными с быстрыми ведущими, применяется растягивание тактовых импульсов на участке с низким уровнем сигнала. Ведомый может временно удерживать линию SCL на низком уровне, тем самым удлиняя период тактового сигнала (за счет удлинения участка с низким уровнем) и уменьшая таким образом частоту тактирования шины.

20.2.3. Таймаут низкого уровня на линии SCL

Если линия SCL удерживается на низком уровне ведомым устройством, то дальнейший обмен данными по шине невозможен. Кроме того, ведущий не может установить на линии SCL высокий уровень, чтобы исправить ошибочное состояние. Чтобы решить эту проблему, протокол SMBus определяет, что устройства, участвующие в обмене, должны распознавать как условие «таймаута» любой тактовый цикл, в котором сигнал удерживается на низком уровне более 25мс. Устройства, которые обнаружили такое условие таймаута, должны в течение 10мс после этого сбросить свои модули обмена.

20.2.4. Таймаут высокого уровня на линии SCL (шина SMBus свободна)

Спецификация SMBus оговаривает, что если устройство удерживает линии SCL и SDA на высоком уровне более 50 мкс, то шина считается свободной. Если устройство на шине SMBus ожидает освобождения шины, чтобы сгенерировать бит START (в ведущем режиме), то он будет сгенерирован сразу же после истечения таймаута освобождения шины.

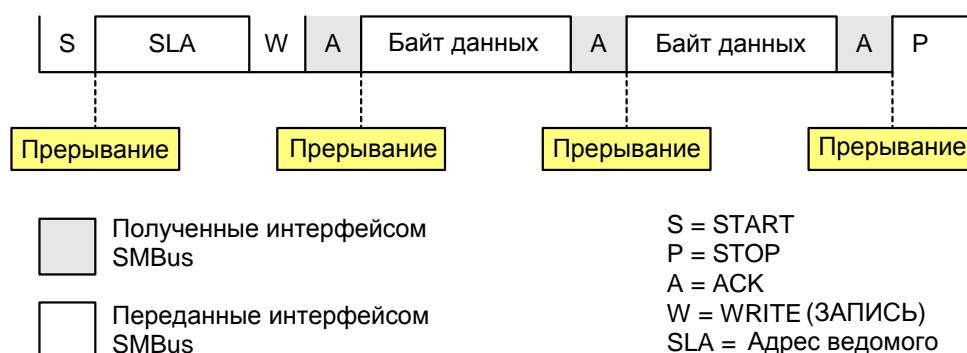
20.3. Режимы работы модуля SMBus

Модуль SMBus может быть настроен для работы как в режиме ведущего, так и в режиме ведомого. В любой конкретный момент времени он может работать в одном из четырех режимов: ведущий передатчик, ведущий приемник, ведомый передатчик, ведомый приемник. Значение регистра состояния SMB0STA определяет состояние режима передачи модуля SMBus0 (см. табл.20.1). Приведенные ниже описания режимов показывают применение модуля SMBus0 с использованием управления по прерываниям; кроме этого работа с модулем SMBus0 возможна в режиме опроса.

20.3.1. Режим ведущего передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы выдаются на линию SCL. SMBus0 генерирует бит START и затем передает первый байт, который содержит адрес целевого ведомого устройства и бит направления. В этом случае бит направления (R/W) должен быть сброшен в 0, иницируя операцию записи. Затем модуль SMBus0 передает один или несколько байт последовательных данных, ожидая подтверждения (ACK) от ведомого после каждого байта. Для обозначения конца сеанса передачи последовательных данных ведущее устройство генерирует бит STOP.

Рисунок 20.4. Передача данных в режиме ведущего



20.3.2. Режим ведущего приемника

Последовательные данные принимаются с линии SDA, а тактовые импульсы выдаются на линию SCL. Модуль SMBus0 генерирует бит START и затем передает первый байт, который содержит адрес целевого ведомого устройства и бит направления. В этом случае бит направления (R/W) должен быть установлен в 1, иницируя операцию чтения. Модуль SMBus0 принимает последовательные данные от ведомого по линии SDA, при этом генерирует тактовые импульсы на линии SCL. После приема каждого байта модуль SMBus0 генерирует биты подтверждения (ACK) или неподтверждения (NACK) в зависимости от состояния бита AA регистра SMB0CN. Для обозначения конца сеанса передачи последовательных данных ведущий генерирует бит STOP.

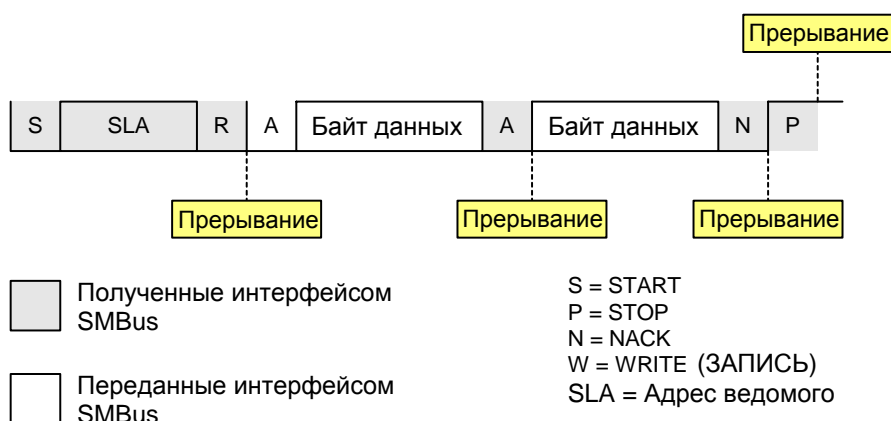
Рисунок 20.5. Прием данных в режиме ведущего



20.3.3. Режим ведомого передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы принимаются с линии SCL. Модуль SMBus0 принимает бит START, а вслед за ним байт данных, который содержит адрес ведомого и бит направления. В этом случае бит направления (R/W) должен быть установлен в 1, иницируя операцию чтения. Если принятый адрес ведомого соответствует адресу, хранящемуся в регистре SMB0ADR, то модуль SMBus0 генерирует бит подтверждения (ACK). Модуль SMBus0 также будет генерировать бит подтверждения (ACK), если принятый адрес является адресом общего вызова (0x00) и бит разрешения адреса общего вызова (SMB0ADR.0) установлен в 1. Модуль SMBus0 принимает тактовые импульсы по линии SCL и передает ведущему один или несколько байт последовательных данных, ожидая подтверждения (ACK) от ведущего после каждого байта. Модуль SMBus0 выходит из режима ведомого после приема бита STOP от ведущего.

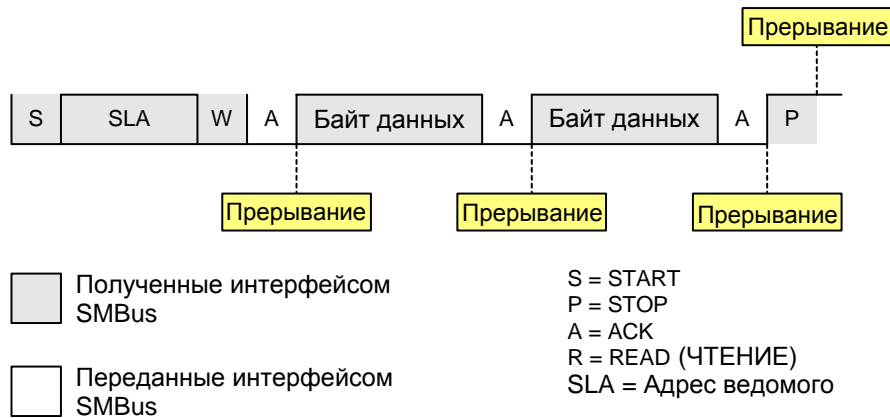
Рисунок 20.6. Передача данных в режиме ведомого



20.3.4. Режим ведомого приемника.

Последовательные данные принимаются с линии SDA, а тактовые импульсы принимаются с линии SCL. Модуль SMBus0 принимает бит START, а вслед за ним байт данных, который содержит адрес ведомого и бит направления. В этом случае бит направления (R/W) должен быть сброшен в 0, иницируя операцию записи. Если принятый адрес ведомого соответствует адресу, хранящемуся в регистре SMB0ADR, то модуль SMBus0 генерирует бит подтверждения (ACK). Модуль SMBus0 также будет генерировать бит подтверждения (ACK), если принятый адрес является адресом общего вызова (0x00) и бит разрешения адреса общего вызова (SMB0ADR.0) установлен в 1. Модуль SMBus0 принимает один или несколько байт последовательных данных; после приема каждого байта модуль SMBus0 передает биты подтверждения (ACK) или неподтверждения (NACK) в зависимости от состояния бита AA регистра SMB0CN. Модуль SMBus0 выходит из режима ведомого приемника после приема бита STOP от ведущего.

Рисунок 20.7. Прием данных в режиме ведомого



20.4. Регистры специального назначения модуля SMBus

Для доступа к интерфейсу SMBus и управления им используются пять регистров SFR: регистр управления SMB0CN, регистр установки тактовой частоты SMB0CR, регистр адреса SMB0ADR, регистр данных SMB0DAT и регистр состояния SMB0STA. Все эти регистры описываются в следующих разделах.

20.4.1. Регистр управления

Регистр управления SMB0CN используется для управления модулем SMBus и его настройки. Все биты этого регистра можно читать и записывать программно. Два из управляющих битов также устанавливаются модулем SMBus0 аппаратно. Флаг прерывания от последовательного порта (SI, SMB0CN.3) устанавливается в 1 аппаратно при возникновении прерывания от модуля SMBus. Он может быть сброшен только программно. Флаг STOP (STO, SMB0CN.4) устанавливается в 1 программно. Этот флаг сбрасывается в 0 аппаратно при обнаружении на шине бита STOP.

Установка в 1 флага ENSMB включает модуль SMBus0. Сброс в 0 флага ENSMB отключает модуль SMBus0 и удаляет его с шины. Сброс флага ENSMB и затем повторная его установка в 1 приведут к сбросу модуля SMBus0. Однако, флаг ENSMB не следует использовать для временного удаления устройства с шины, т.к. информация о состоянии шины будет потеряна. Вместо этого для временного удаления устройства с шины следует использовать флаг назначения подтверждения AA (описание флага AA приведено ниже).

Установка в 1 флага запуска (STA, SMB0CN.5) переведет модуль SMBus0 в режим ведущего. Если шина свободна, модуль SMBus0 сгенерирует бит START. Если шина занята, то модуль SMBus0 будет ожидать бита STOP, свидетельствующего об освобождении шины, и затем сгенерирует бит START через 5мкс после задержки, определяемой значением регистра SMB0CR. (В соответствии с протоколом SMBus, модуль SMBus0 также будет считать шину свободной, если шина простаивает в течение 50мкс и бит STOP не обнаружен). Если бит STA устанавливается в 1 в то время, когда модуль SMBus находится в режиме ведущего и уже переданы один или несколько байт, то будет сгенерировано событие «повторный START».

Если флаг окончания передачи (STO, SMB0CN.4) устанавливается в 1 в то время, когда модуль SMBus0 находится в режиме ведущего, то модуль SMBus0 сгенерирует на шине бит STOP. В режиме ведомого флаг STO можно использовать для восстановления из состояния сбоя. В этом случае бит STOP не генерируется, но модуль SMBus0 ведет себя так, как будто бит STOP уже получен, и переходит в режим «не адресованного» ведомого приемника. Следует иметь в виду, что этот условный бит STOP не вызовет освобождения шины. Шина будет оставаться занятой до тех пор, пока на ней не появится бит STOP или пока не произойдет условие таймута освобождения шины. При обнаружении на шине бита STOP модуль SMBus0 автоматически сбрасывает в 0 флаг STO.

Флаг прерываний от последовательного порта (SI, SMB0CN.3) устанавливается аппаратно в 1, если интерфейс SMBus переходит к одному из 27 возможных состояний. Если прерывания от модуля SMBus0 разрешены, то при установке в 1 флага SI генерируется запрос прерывания. Флаг SI должен быть сброшен программно.

Важное примечание: Если флаг SI установлен в 1 в то время, когда на линии SCL удерживается низкий уровень сигнала, то период тактового импульса будет «растягиваться» (на участке с низким уровнем сигнала) и передача последовательных данных по шине приостановится до тех пор, пока не будет сброшен в 0 флаг SI. На длительность высокого уровня сигнала на линии SCL установка флага SI не влияет.

Флаг назначения подтверждения AA (AA, SMB0CN.2) используется для задания уровня сигнала на линии SDA во время тактового импульса подтверждения на линии SCL. Установка в 1 флага AA приведет к передаче бита подтверждения ACK (низкий уровень сигнала на линии SDA) во время тактового импульса подтверждения на линии SCL, если устройство распознало свой адрес. Сброс в 0 флага AA приведет к передаче бита «нет подтверждения» NACK (высокий уровень сигнала на линии SDA) во время тактового импульса подтверждения на линии SCL. После передачи байта в режиме ведомого ведомое устройство можно временно удалить с шины путем сброса в 0 флага AA. Собственный адрес ведомого и адрес общего вызова будут игнорироваться. Для восстановления работы на шине необходимо установить в 1 флаг AA, чтобы разрешить ведомому распознавать свой адрес.

Установка в 1 бита разрешения таймера освобождения шины SMBus (FTE, SMB0CN.1) включит таймер отсчета таймута освобождения шины, который определяется значением регистра SMB0CR. Если на линии SCL удерживается высокий уровень сигнала, то таймер отсчитывает таймат, определяемый регистром SMB0CR. Переполнение таймера означает истечение таймута освобождения шины: если модуль SMBus0 ожидает момента для генерации бита START, то он сгенерирует его после истечения данного таймута. Период освобождения шины должен быть не более 50мкс (см. рис.20.9).

Когда бит (TOE, SMB0CN.0) установлен в 1, Таймер 4 используется для отсчета таймута низкого уровня сигнала на линии SCL. Если Таймер 4 включен (см. раздел 24.2), то он будет перезагружаться, когда на линии SCL присутствует сигнал высокого уровня, и будет отсчитывать таймат, когда на линии SCL присутствует сигнал низкого уровня. Если Таймер 4 включен и настроен на переполнение через 25мс (и бит

ТОЕ установлен в 1), то переполнение Таймера 4 означает истечение таймаута низкого уровня сигнала на линии SCL; в этом случае для сброса модуля SMBus0 можно использовать процедуру обработки прерывания от Таймера 4.



Рисунок 20.8. SMB0CN: Регистр управления модуля SMBus0

R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
BUSY	ENSMB	STA	STO	SI	AA	FTE	TOE	SFR Адрес: 0xC0 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит 7: BUSY: Флаг занятости шины SMBus.</p> <p>0: Шина SMBus свободна</p> <p>1: Шина SMBus занята</p>								
<p>Бит 6: ENSMB: Включение модуля SMBus0.</p> <p>Этот бит включает/отключает последовательный интерфейс SMBus0.</p> <p>0: SMBus0 отключен.</p> <p>1: SMBus0 включен.</p>								
<p>Бит 5: STA: Флаг запуска модуля SMBus0.</p> <p>0: Бит START не передается.</p> <p>1: При работе в режиме ведущего бит START передается, если шина свободна. (Если шина не свободна, то бит START передается после приема бита STOP.) Если бит STA устанавливается после передачи или приема одного или нескольких байт и до приема бита STOP, то передается бит «повторный START».</p>								
<p>Бит 4: STO: Флаг окончания передачи модуля SMBus0.</p> <p>0: Бит STOP не передается.</p> <p>1: Установка в 1 бита STO приведет к передаче бита STOP. При приеме бита STOP флаг STO аппаратно сбрасывается в 0. Если оба флага STA и STO установлены в 1, то вслед за битом STOP передается бит START. В режиме ведомого установка флага STO заставит модуль SMBus0 вести себя так, как будто получен бит STOP.</p>								
<p>Бит 3: SI: Флаг прерывания от последовательного порта SMBus.</p> <p>Этот бит устанавливается аппаратно при переходе модуля SMBus к одному из 27 возможных состояний. (Состояние с кодом 0xF8 не вызывает установку бита SI.) Если прерывание от SI разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SMBus. Этот бит автоматически аппаратно не сбрасывается и должен быть сброшен программно.</p>								
<p>Бит 2: AA: Флаг назначения подтверждения .</p> <p>Этот бит определяет тип бита подтверждения, передаваемого во время тактового цикла подтверждения на линии SCL.</p> <p>0: Во время тактового цикла подтверждения передается бит «нет подтверждения» (высокий уровень сигнала на линии SDA).</p> <p>1: Во время тактового цикла подтверждения передается бит «подтверждение» (низкий уровень сигнала на линии SDA).</p>								
<p>Бит 1: FTE: Бит разрешения таймера освобождения шины SMBus.</p> <p>0: Не используется таймаут высокого уровня на линии SCL</p> <p>1: Если время удержания высокого уровня на линии SCL превышает предел, определяемый значением регистра SMB0CR, то происходит условие таймаута.</p>								
<p>Бит 0: TOE: Бит разрешения таймаута SMBus.</p> <p>0: Не используется таймаут низкого уровня на линии SCL.</p> <p>1: Если время удержания низкого уровня на линии SCL превышает предел, определяемый Таймером 4 (если он включен), то происходит условие таймаута.</p>								

20.4.2. Регистр установки тактовой частоты модуля SMBus

Рисунок 20.9. SMB0CR: Регистр установки тактовой частоты модуля SMBus0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xCF SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SMB0CR.[7:0]: Установка тактовой частоты модуля SMBus0

Регистр установки тактовой частоты SMB0CR управляет частотой тактовых импульсов, выдаваемых на линию SCL в режиме ведущего. 8-разрядное слово, сохраненное в регистре SMB0CR, загружается в специальный 8-разрядный таймер. Этот таймер считает в прямом направлении и когда он переполнится (из состояния 0xFF в состояние 0x00), состояние сигнала на линии SCL изменится на противоположное.

Значение SMB0CR ограничивается следующим уравнением:

$$SMB0CR < ((288 - 0.85 * SYSCLK) / (1.125 * 10^6)), \text{ где}$$

SMB0CR – 8-разрядное значение (без знака) регистра SMB0CR;
 SYSCLK – системная тактовая частота в [Гц].

Длительность удержания низкого и высокого уровней тактового сигнала на линии SCL определяется следующими уравнениями:

$$T_{LOW} = (256 - SMB0CR) / SYSCLK$$

$$T_{HIGH} = (258 - SMB0CR) / SYSCLK + 625 \text{ нс}$$

Значение регистра SMB0CR определяет также таймаут освобождения шины в соответствии со следующим уравнением:

$$T_{BFT} = 10 * [(256 - SMB0CR) + 1] / SYSCLK$$


20.4.3. Регистр данных

Регистр данных модуля SMBus0 SMB0DAT содержит байт последовательных данных, который необходимо передать, или байт последовательных данных, который только что принят. Программа может прочитать из регистра или записать в регистр данные, когда флаг SI установлен в 1; программа не должна пытаться обратиться к регистру SMB0DAT, когда модуль SMBus включен и флаг SI сброшен в 0, т.к. в этот момент может осуществляться аппаратный сдвиг байта данных в регистр или из регистра.

Данные всегда сдвигаются старшими разрядами вперед. После приема байта первый бит принятых данных занимает старший разряд регистра SMB0DAT. Когда данные выдвигаются из регистра, они одновременно появляются на шине. Поэтому регистр SMB0DAT всегда содержит последний байт данных, присутствующий в настоящий момент на шине. Таким образом, в случае потери арбитража переход от ведущего передатчика к ведомому приемнику осуществляется с корректными данными в регистре SMB0DAT.

Рисунок 20.10. SMB0DAT: Регистр данных модуля SMBus0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC2 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SMB0DAT: Данные модуля SMBus0.

Регистр SMB0DAT содержит байт данных, которые должны передаваться последовательному интерфейсу SMBus, или данные, только что принятые от последовательного интерфейса SMBus. Читать из этого регистра или записывать в этот регистр можно всегда, когда флаг прерывания от последовательного порта SI (SMB0CN.3) установлен в 1. Когда флаг SI не установлен в 1, система может находиться в процессе сдвига данных в регистр (или из регистра) SMB0DAT и обращаться к этому регистру нельзя.

20.4.4. Регистр адреса

Регистр адреса SMB0ADR содержит адрес ведомого для интерфейса SMBus0. В ведомом режиме семь старших значащих битов образуют 7-битный адрес ведомого. Младший значащий бит, бит 0, используется для разрешения распознавания адреса общего вызова (0x00). Если бит 0 установлен в 1, адрес общего вызова будет распознаваться. В противном случае, адрес общего вызова будет игнорироваться. Содержимое этого регистра игнорируется, если модуль SMBus0 работает в ведущем режиме.

Рисунок 20.11. SMB0ADR: Регистр адреса модуля SMBus

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
SLV6	SLV5	SLV4	SLV3	SLV2	SLV1	SLV0	GC	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC3 SFR страница: 0

Биты 7-1: SLV6-SLV0: Адрес ведомого SMBus
 Эти биты загружаются 7-разрядным адресом ведомого, на который будет отвечать модуль SMBus при работе в качестве ведомого передатчика или ведомого приемника. SLV6 является старшим значащим битом адреса и соответствует первому биту адресного байта, полученного по шине SMBus.

Бит 0: GC: Разрешение адреса общего вызова.
 Этот бит используется для разрешения распознавания адреса общего вызова (0x00).
 0: Адрес общего вызова игнорируется.
 1: Адрес общего вызова распознается.

20.4.5. Регистр состояния

Регистр состояния SMB0STA содержит 8-битный код состояния, показывающий текущее состояние модуля SMBus0. Существует 28 возможных состояний модуля SMBus, каждому из которых соответствует уникальный код состояния. Пять старших значащих битов кода состояния могут иметь различные значения, а три младших значащих бита для корректных кодов состояния всегда равны нулю, когда SI = 1. Поэтому все возможные коды состояния кратны восьми. Это позволяет применять в программе код состояния в качестве индекса, используемого для перехода на соответствующую процедуру обслуживания (используя 8 байт кода для обслуживания состояния или для перехода на более сложную процедуру обслуживания).

Для нужд программы пользователя содержимое регистра SMB0STA определено только тогда, когда флаг SI установлен в 1. Программа никогда не должна записывать данные в регистр SMB0STA. Это приведет к неопределенному результату. В табл.20.1 приведены все 28 состояний модуля SMBus вместе с соответствующими им кодами.

Рисунок 20.12. SMB0STA: Регистр состояния модуля SMBus0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 11111000
STA7	STA6	STA5	STA4	STA3	STA2	STA1	STA0	SFR Адрес: 0xC1 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Биты 7-3: STA7-STA3: Код состояния модуля SMBus0.</p> <p>Эти биты содержат код состояния модуля SMBus0. Существует 28 возможных кодов состояния. Каждый код состояния соответствует единственному состоянию модуля SMBus0. Корректный код состояния присутствует в регистре SMB0STA, когда флаг SI (SMB0CN.3) установлен в 1. Содержимое регистра SMB0STA не определено, когда флаг SI равен нулю. Запись в регистр SMB0STA в любое время даст неопределенный результат.</p> <p>Биты 2-0: STA2-STA0: Три младших значащих бита регистра SMB0STA всегда читаются как 0, когда флаг SI установлен в 1</p>								

Таблица 20.1. Коды состояния модуля SMBus

Код состояния (SMB0STA)	Режим	Состояние модуля SMBus	Типичное действие
0x00	Все режимы	Ошибка шины (т.е. некорректный START, некорректный STOP, ...)	Установка STO для сброса SMBus
0x08	Ведущий передатчик/приемник	Передан бит START.	Загрузка SMB0DAT адресом ведомого + R/W. Сброс STA.
0x10	Ведущий передатчик/приемник	Передан бит «повторный START».	Загрузка SMB0DAT адресом ведомого + R/W. Сброс STA.
0x18	Ведущий передатчик	Передан адрес ведомого + W. Получен ACK.	Загрузка SMB0DAT данными для передачи
0x20	Ведущий передатчик	Передан адрес ведомого + W. Получен NACK.	Повтор опроса подтверждения. Установка STO + STA.
0x28	Ведущий передатчик	Передан байт данных. Получен ACK.	1) Загрузка SMB0DAT следующим байтом, или 2) Установка STO, или 3) Сброс STO, а затем установка STA для передачи бита «повторный START»
0x30	Ведущий передатчик	Передан байт данных. Получен NACK.	1) Повтор передачи, или 2) Установка STO
0x38	Ведущий передатчик	Потерян арбитраж.	Сохранение текущих данных
0x40	Ведущий приемник	Передан адрес ведомого + R. Получен ACK.	Если необходимо принять только один байт, то сброс AA (передача NACK после приема байта). Ожидание принимаемых данных
0x48	Ведущий приемник	Передан адрес ведомого + R. Получен NACK.	Повтор опроса подтверждения. Установка STO + STA.
0x50	Ведущий приемник	Получен байт данных. Передан ACK.	Чтение SMB0DAT. Ожидание следующего байта. Если следующий байт является последним, то сброс AA.
0x58	Ведущий приемник	Получен байт данных. Передан NACK.	Установка STO.
0x60	Ведомый приемник	Получен собственный адрес ведомого + W. Передан ACK.	Ожидание данных.
0x68	Ведомый приемник	При передаче в ведущем режиме адреса ведомого + R/W потерян арбитраж. Получен собственный адрес ведомого + W. Передан ACK.	Сохранить текущие данные для повтора передачи, когда шина освободится. Ожидание данных.
0x70	Ведомый приемник	Получен адрес общего вызова (0x00). Передан ACK.	Ожидание данных.
0x78	Ведомый приемник	При передаче в ведущем режиме адреса ведомого + R/W потерян арбитраж. Получен адрес общего вызова (0x00). Передан ACK.	Сохранить текущие данные для повтора передачи, когда шина освободится.
0x80	Ведомый приемник	Получен собственный адрес ведомого + W. Получен байт данных. Передан ACK.	Чтение SMB0DAT. Ожидание следующего байта или STOP.
0x88	Ведомый приемник	Получен собственный адрес ведомого + W. Получен байт данных. Передан NACK.	Установка STO для сброса SMBus.

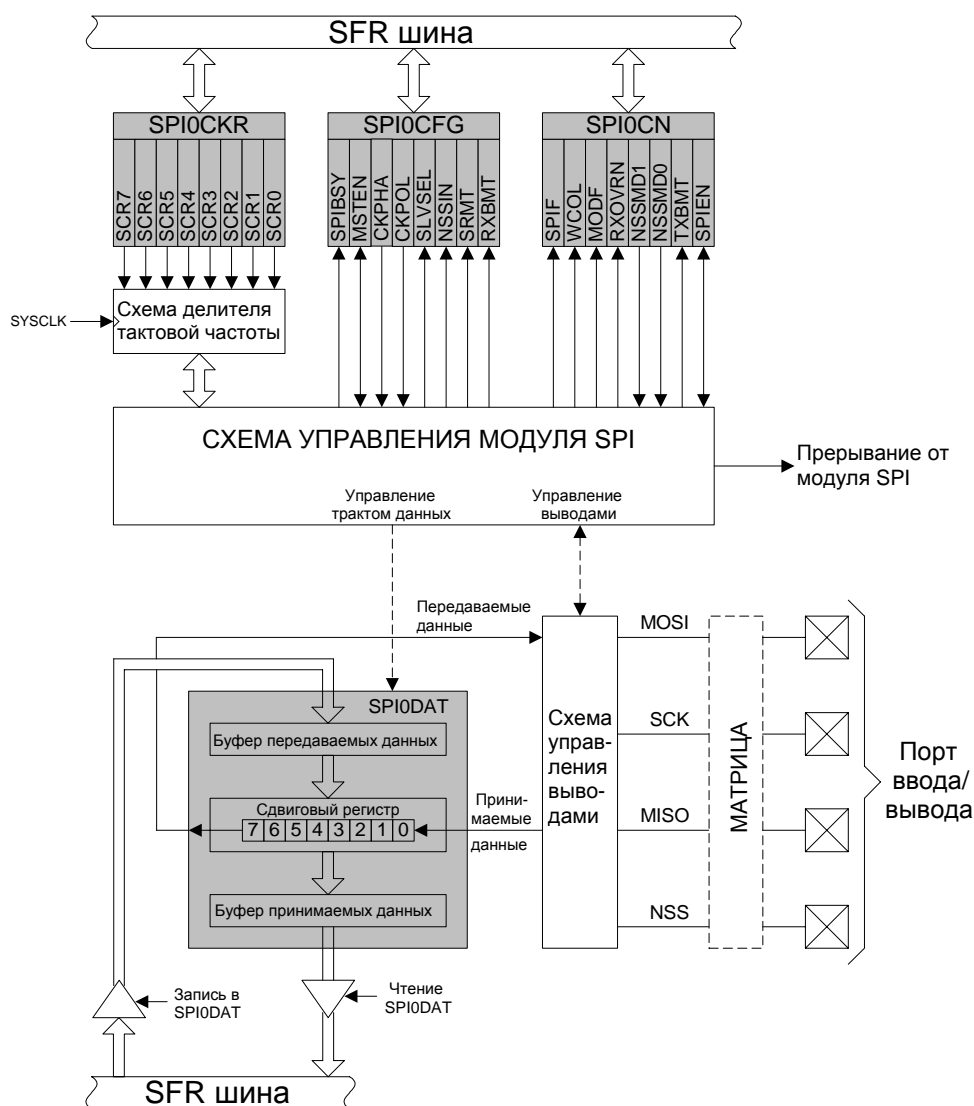
Код состояния (SMB0STA)	Режим	Состояние модуля SMBus	Типичное действие
0x90	Ведомый приемник	Получен адрес общего вызова (0x00). Получен байт данных. Передан ACK.	Чтение SMB0DAT. Ожидание следующего байта или STOP.
0x98	Ведомый приемник	Получен адрес общего вызова (0x00). Получен байт данных. Передан NACK.	Установка STO для сброса SMBus.
0xA0	Ведомый приемник	Получен бит STOP или «повторный START», когда устройство адресуется в качестве ведомого.	Никаких действий не требуется.
0xA8	Ведомый передатчик	Получен собственный адрес ведомого + R. Передан ACK.	Загрузка SMB0DAT данными для передачи.
0xB0	Ведомый передатчик	При передаче в ведущем режиме адреса ведомого + R/W потерян арбитраж. Получен собственный адрес ведомого + R. Передан ACK.	Сохранить текущие данные для повтора передачи, когда шина освободится. Загрузка SMB0DAT данными для передачи.
0xB8	Ведомый передатчик	Передан байт данных. Получен ACK.	Загрузка SMB0DAT данными для передачи
0xC0	Ведомый передатчик	Передан байт данных. Получен NACK.	Ожидание бита STOP.
0xC8	Ведомый передатчик	Передан последний байт данных (AA=0). Получен ACK.	Установка STO для сброса SMBus.
0xD0	Ведомый передатчик/приемник	Истек таймаут высокого уровня на линии SCL, определяемый значением регистра SMB0CR (при FTE=1)	Установка STO для сброса SMBus.
0xF8	Все режимы	Простой (ожидание)	Флаг SI не установлен.

ПРИМЕЧАНИЯ

21. МОДУЛЬ SPI (SPI0)

Модуль SPI0 обеспечивает доступ к гибкой полнодуплексной синхронной последовательной шине. SPI0 может выполнять функции ведущего или ведомого устройства в 3-х проводном или 4-х проводном режимах, а также поддерживает работу нескольких ведомых и ведущих устройств на одной шине. Сигнал выбора ведомого (NSS) можно настроить как вход выбора SPI0 в ведомом режиме или как вход отключения функций ведущего при работе на шине с несколькими ведущими, что позволяет предотвратить конфликты на шине в том случае, если два или более ведущих попытаются передать данные одновременно. Кроме этого NSS можно настроить как выход выбора кристалла в ведущем режиме или отключить при работе в 3-х проводном режиме. Дополнительный порт ввода/вывода общего назначения можно использовать в ведущем режиме для выбора нескольких ведомых устройств.

Рисунок 21.1. Структурная схема модуля SPI



21.1. Описание сигналов

Ниже описаны четыре сигнала, используемые интерфейсом SPI (MOSI, MISO, SCK, NSS).

21.1.1. Выход ведущего, вход ведомого

Сигнал MOSI (master-out, slave-in - «выход ведущего, вход ведомого») является выходом данных ведущего устройства и входом данных ведомых устройств. Он используется для последовательной передачи данных от ведущего к ведомому. Этот сигнал является выходом, если SPI0 работает в ведущем режиме, и входом, если SPI0 работает в ведомом режиме. Данные передаются старшими значащими разрядами вперед. При работе в ведущем режиме состояние сигнала MOSI определяется старшим значащим разрядом сдвигового регистра как в 3-х проводном, так и в 4-х проводном режимах.

21.1.2. Вход ведущего, выход ведомого

Сигнал MISO (master-in, slave-out - «вход ведущего, выход ведомого») является выходом данных ведомого устройства и входом данных ведущего устройства. Он используется для последовательной передачи данных от ведомого к ведущему. Этот сигнал является входом, если SPI0 работает в ведущем режиме, и выходом, если SPI0 работает в ведомом режиме. Данные передаются старшими значащими разрядами вперед. Вывод MISO переводится в высокоимпедансное состояние, когда модуль SPI отключен, а также тогда, когда модуль SPI работает в 4-х проводном режиме как ведомый, который не выбран. Когда модуль SPI работает в 3-х проводном режиме как ведомый, состояние сигнала MISO всегда определяется старшим значащим разрядом сдвигового регистра.

21.1.3. Тактовые импульсы

Сигнал SCK (serial clock – «импульсы тактирования последовательного интерфейса») является выходом ведущего устройства и входом ведомых устройств. Он используется для синхронизации обмена данными между ведущим и ведомым устройствами по линиям MOSI и MISO. SPI0 генерирует этот сигнал, когда работает в ведущем режиме. В 4-х проводном ведомом режиме сигнал SCK игнорируется ведомым SPI, когда ведомый не выбран (NSS = 1).

21.1.4. Выбор ведомого (NSS)

Функционирование сигнала выбора ведомого (NSS) зависит от состояния бит NSSMD1 и NSSMD0 регистра SPI0CN. С помощью этих бит можно выбрать три возможных режима:

1. NSSMD[1:0] = 00: 3-х проводный ведущий или 3-х проводный ведомый режим: SPI0 работает в 3-х проводном режиме и NSS отключен. В 3-х проводном ведомом режиме SPI0 выбран всегда. Т.к. сигнал выбора отсутствует, то в 3-х проводном режиме SPI0 может быть только ведомым на шине. Этот режим предназначен для организации взаимодействия типа «точка - точка» между ведущим устройством и одним ведомым устройством.
2. NSSMD[1:0] = 01: 4-х проводный ведомый режим или режим с несколькими ведущими: SPI0 работает в 4-х проводном режиме и NSS является входом. При работе в ведомом режиме сигнал NSS является сигналом выбора данного ведомого. При работе в ведущем режиме срез (переход из состояния 1 в состояние 0) сигнала NSS отключает функции ведущего SPI0, что позволяет работать на одной SPI шине нескольким ведущим устройствам.
3. NSSMD[1:0] = 1x: 4-х проводный ведущий режим: SPI0 работает в 4-х проводном режиме и NSS является выходом. Значение бита NSSMD0 определяет, сигнал какого логического уровня будет выведен на вывод NSS. Эту конфигурацию следует использовать только тогда, когда SPI0 работает в ведущем режиме.

На рис.21.2, рис.21.3, рис.21.4 показаны типичные схемы включения для различных режимов работы. Следует иметь в виду, что состояние бит NSSMD влияет на разводку выводов МК. В 3-х проводном ведомом или 3-х проводном ведущем режимах вывод NSS не будет разводиться матрицей. Во всех других режимах сигнал NSS будет выводиться на внешний вывод МК. Подробная информация о портах ввода/вывода общего назначения и матрице приведена в разделе 18.

21.2. Функционирование SPI0 в ведущем режиме

Все сеансы обмена данными по SPI шине инициируются ведущим устройством. Модуль SPI0 переводится в ведущий режим работы установкой в 1 флага включения ведущего режима (MSTEN, SPI0CN.6). Если модуль SPI0 работает в ведущем режиме, то запись байта данных в регистр данных модуля SPI0 (SPI0DAT) вызовет загрузку буфера передатчика. Если сдвиговый регистр модуля SPI0 пуст, то в него загружается байт из буфера передатчика и начинается передача данных. Ведущий SPI сразу же начинает последовательно сдвигать данные на линию MOSI, выдавая тактовые импульсы на линию SCK. По окончании передачи устанавливается в 1 флаг SPIF (SPI0CN.7). Если прерывания разрешены, то при установке флага SPIF генерируется запрос прерывания. В полнодуплексном режиме работы в то время, когда ведущий SPI передает данные ведомому по линии MOSI, адресуемый ведомый одновременно передает содержимое своего регистра сдвига ведущему SPI по линии MISO. Поэтому флаг SPIF является как флагом окончания передачи, так и флагом готовности принимаемых данных. Байт данных, принимаемый от ведомого устройства, передается старшими значащими разрядами вперед в сдвиговый регистр ведущего. После полной загрузки сдвигового регистра полученный байт данных переписывается в буфер приемника, откуда он может быть считан процессором путем чтения регистра SPI0DAT.

Когда модуль SPI0 настроен как ведущий, он может работать в одном из трех различных режимов:

- режим работы с несколькими ведущими;
- 3-х проводный режим работы с одним ведущим;
- 4-х проводный режим работы с одним ведущим.
-

Активным по умолчанию является режим работы с несколькими ведущими, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 1. В этом режиме NSS функционирует как вход и используется для отключения ведущего SPI0 в то время, когда другой ведущий пытается получить доступ к шине. Если в этом режиме на вход NSS подается сигнал низкого логического уровня, то сбрасываются в 0 биты MSTEN (SPI0CN.6) и SPIEN (SPI0CN.0), выключая тем самым ведущий модуль SPI0, и устанавливается в 1 флаг ошибки режима MODF (SPI0CN.5). При установке флага ошибки режима будет сгенерировано прерывание, если оно разрешено. При данных обстоятельствах требуется программно вновь включить модуль SPI0. В системе с несколькими ведущими любое устройство обычно по умолчанию становится ведомым устройством, если только оно не функционирует как ведущее устройство системы. В режиме с несколькими ведущими ведомые устройства можно адресовать индивидуально (при необходимости), используя порты ввода/вывода общего назначения. На рис.21.2 приведена схема соединений между двумя ведущими устройствами в режиме с несколькими ведущими.

3-х проводный режим работы с одним ведущим активен тогда, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 0. В этом режиме NSS не используется и не разводится на внешний вывод порта с помощью матрицы. Все ведомые устройства, которые требуется адресовать в этом режиме работы, необходимо выбирать с помощью портов ввода/вывода общего назначения. На рис.21.3 приведена схема соединений между ведущим и ведомым устройствами в 3-х проводном режиме.

4-х проводный режим работы с одним ведущим активен тогда, когда NSSMD1 (SPI0CN.3) = 1. В этом режиме NSS функционирует как выход и может использоваться как сигнал выбора ведомого для одного устройства SPI. Логический уровень сигнала на выходе NSS определяется битом NSSMD0 (SPI0CN.2). Другие ведомые устройства можно адресовать с помощью портов ввода/вывода общего назначения. На рис.21.4 приведена схема соединений между одним ведущим и двумя ведомыми устройствами в 4-х проводном режиме.

Рисунок 21.2. Схема включения в режиме с несколькими ведущими

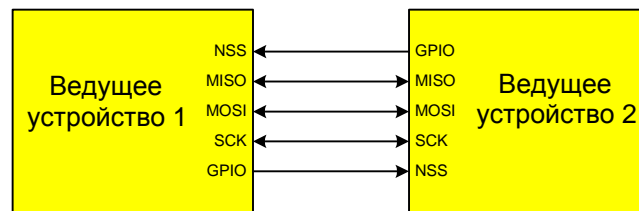


Рисунок 21.3. Схема соединения одного ведущего и одного ведомого с использованием 3-х проводной шины SPI

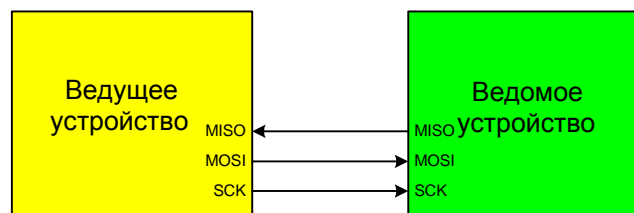
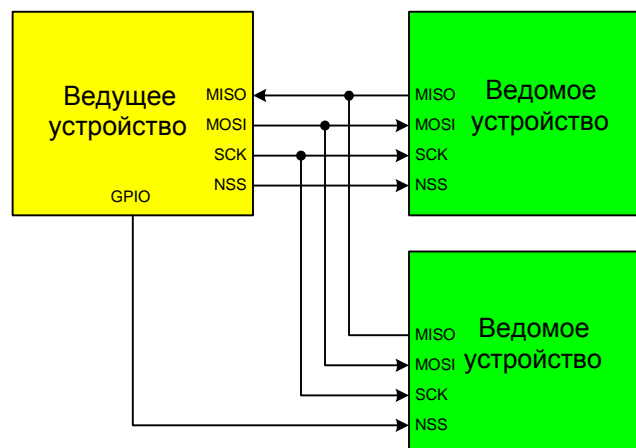


Рисунок 21.4. Схема соединения одного ведущего и нескольких ведомых с использованием 4-х проводной шины SPI



21.3. Функционирование SPI0 в ведомом режиме

Когда модуль SPI0 включен и не настроен как ведущий, он будет функционировать как ведомый SPI. Байты данных принимаются по линии MOSI от ведущего и передаются по линии MISO ведущему, при этом ведущее устройство управляет сигналом на линии SCK. Битовый счетчик логики модуля SPI0 подсчитывает фронты сигнала SCK. После того, как 8 бит данных приняты в сдвиговый регистр, устанавливается в 1 флаг SPIF и байт данных копируется в буфер приемника. Данные считываются из буфера приемника путем чтения регистра SPI0DAT. Ведомое устройство не может инициировать процесс обмена данными. Данные, которые необходимо передать ведущему, предварительно загружаются в сдвиговый регистр путем записи регистра SPI0DAT. При записи регистра SPI0DAT данные сначала загружаются в буфер передатчика. Если сдвиговый регистр пуст, то содержимое буфера передатчика будет сразу же передано в сдвиговый регистр. В том случае, если сдвиговый регистр уже содержит данные, то SPI0 будет ждать окончания их передачи, и только после этого загрузит сдвиговый регистр содержимым буфера передатчика.

Когда модуль SPI0 функционирует как ведомый, его можно настроить на работу в 3-х проводном или 4-проводном режимах. Активным по умолчанию является 4-проводный ведомый режим, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 1. В 4-проводном режиме сигнал NSS выведен на внешний вывод порта и настроен как цифровой вход. SPI0 включен, когда NSS = 0, и отключен, когда NSS = 1. Битовый счетчик сбрасывается по заднему фронту сигнала NSS. Следует иметь в виду, что сигнал NSS необходимо сбросить в 0 как минимум за 2 системных тактовых цикла до первого активного фронта сигнала SCK для каждого передаваемого байта. На рис.21.4 приведена схема соединений между одним ведущим и двумя ведомыми устройствами в 4-х проводном режиме.

3-проводный ведомый режим активен, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 0. NSS не используется и не разводится на внешний вывод порта с помощью матрицы. Т.к. в этом режиме нет способа однозначной адресации устройства, то SPI0 должен быть единственным ведомым устройством, присутствующим на шине. Важно иметь в виду, что в 3-х проводном ведомом режиме отсутствуют средства для сброса битового счетчика, который определяет момент окончания приема байта. Этот битовый счетчик можно сбросить лишь путем выключения и повторного включения модуля SPI0 с помощью бита SPIEN. На рис.21.3 приведена схема соединений между ведущим и ведомым устройствами в 3-х проводном режиме.

21.4. Источники прерываний модуля SPI0

Если прерывания от модуля SPI0 разрешены, то следующие 4 флага будут генерировать прерывания при установке их в 1:

Все приведенные ниже флаги сбрасываются программно.

1. Флаг прерывания от модуля SPI0 SPIF (SPI0CN.7) устанавливается в 1 по окончании передачи каждого байта. Установка этого флага возможна во всех режимах работы модуля SPI0.
2. Флаг конфликта записи WCOL (SPI0CN.6) устанавливается в 1, если запись в регистр SPI0DAT происходит в тот момент, когда данные из буфера передатчика еще не переписаны в сдвиговый регистр. В этот случае запись в регистр SPI0DAT игнорируется и буфер передатчика не переписывается. Установка этого флага возможна во всех режимах работы модуля SPI0.
3. Флаг ошибки режима MODF (SPI0CN.5) устанавливается в 1, если модуль SPI0 функционирует как ведущий в режиме работы с несколькими ведущими и на входе NSS появляется сигнал с низким логическим уровнем. В этом случае будут сброшены в 0 биты MSTEN и SPIEN в регистре SPI0CN, в результате чего модуль SPI0 будет отключен. Это позволит другому ведущему устройству получить доступ к шине.
4. Флаг переполнения приемника RXOVRN (SPI0CN.4) устанавливается в 1, если при работе в режиме ведомого передача завершается, а буфер приемника все еще содержит непрочитанный байт от предыдущей передачи. Новый байт не переписывается в буфер приемника, что позволяет прочитать ранее принятый байт данных. Байт данных, который вызвал переполнение приемника, теряется.

21.5. Тактирование

Используя биты управления тактовой частотой регистра конфигурации модуля SPI (SPI0CFG), можно выбрать четыре комбинации фазы и полярности импульсов тактирования последовательного интерфейса. Бит СКРНА (SPI0CFG.5) выбирает одну из двух фаз тактового сигнала (фронт, используемый для фиксации данных). Бит СКPOL (SPI0CFG.4) задает активный уровень (высокий или низкий) тактового сигнала. Как ведущий, так и ведомые устройства должны быть настроены на использование одинаковых фазы и полярности тактовых импульсов. При изменении фазы и полярности тактовых импульсов модуль SPI0 следует отключить сбросом в 0 бита SPIEN (SPI0CN.0). Временные диаграммы сигналов данных и тактирования для ведущего режима приведены на рис.21.5. Временные диаграммы сигналов данных и тактирования для ведомого режима приведены на рис. 21.6 и рис.21.7. Следует иметь ввиду, что бит СКРНА должен быть сброшен в 0 как у ведущего так и у ведомого SPI при обмене данными между любыми двумя из следующих МК: C8051F04x, C8051F06x, C8051F12x, C8051F31x, C8051F32x и C8051F33x.

Регистр установки тактовой частоты модуля SPI0 (SPI0CKR), показанный на рис.21.10, управляет частотой тактирования последовательного интерфейса при работе в ведущем режиме. При работе в ведомом режиме содержимое этого регистра игнорируется. Когда модуль SPI0 настроен как ведущий, максимальная скорость передачи данных (в бит/сек) равна половине системной тактовой частоты (12,5 МГц или меньше). Когда модуль SPI настроен как ведомый, максимальная скорость передачи данных (в бит/сек) для полнодуплексного режима работы равна 1/10 системной тактовой частоты, при условии, что сигналы от ведущего SCK, NSS (в 4-х проводном ведомом режиме) и последовательные входные данные синхронизированы с системной тактовой частотой ведомого. Если сигналы от ведущего SCK, NSS и последовательные входные данные асинхронны, то максимальная скорость передачи данных (в бит/сек) должна быть меньше 1/10 системной тактовой частоты. В особом случае, когда ведущему требуется только передавать данные ведомому и не требуется принимать от него данные (т.е. полудуплексный режим работы), ведомый модуль SPI может принимать данные с максимальной скоростью (в бит/сек), равной 1/4 системной тактовой частоты. Это справедливо при условии, что сигналы от ведущего SCK, NSS и последовательные входные данные синхронизированы с системной тактовой частотой ведомого.

Рисунок 21.5. Временные диаграммы сигналов данных/тактирования в режиме ведущего

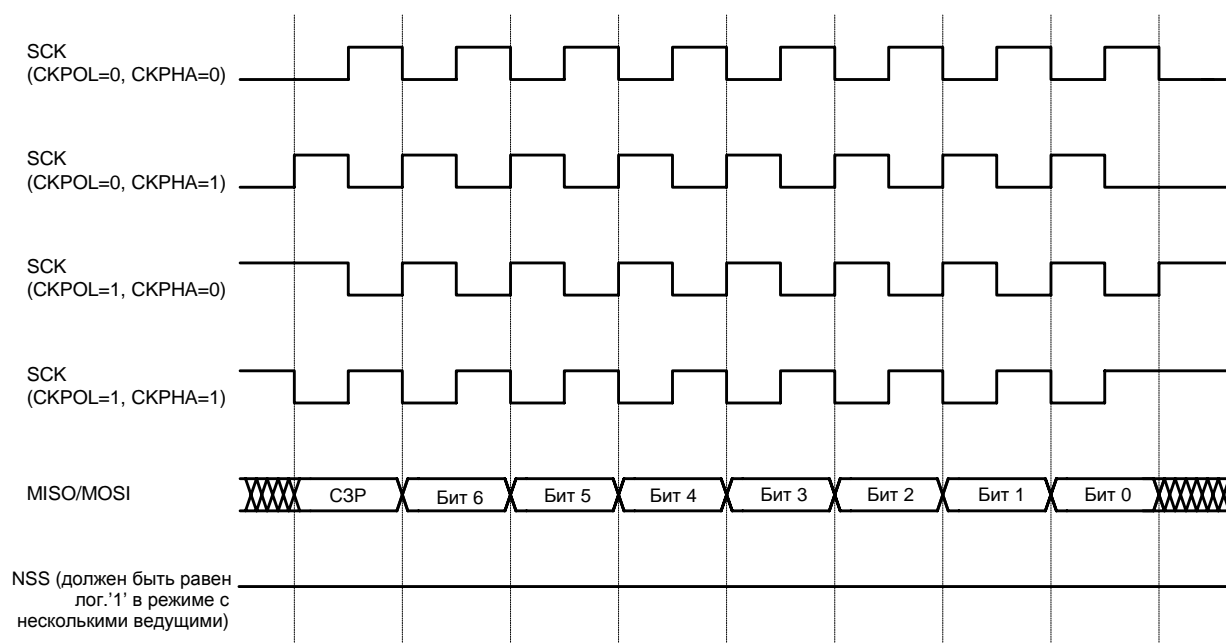


Рисунок 21.6. Временные диаграммы сигналов данных/тактирования в режиме ведомого (СКРНА = 0)

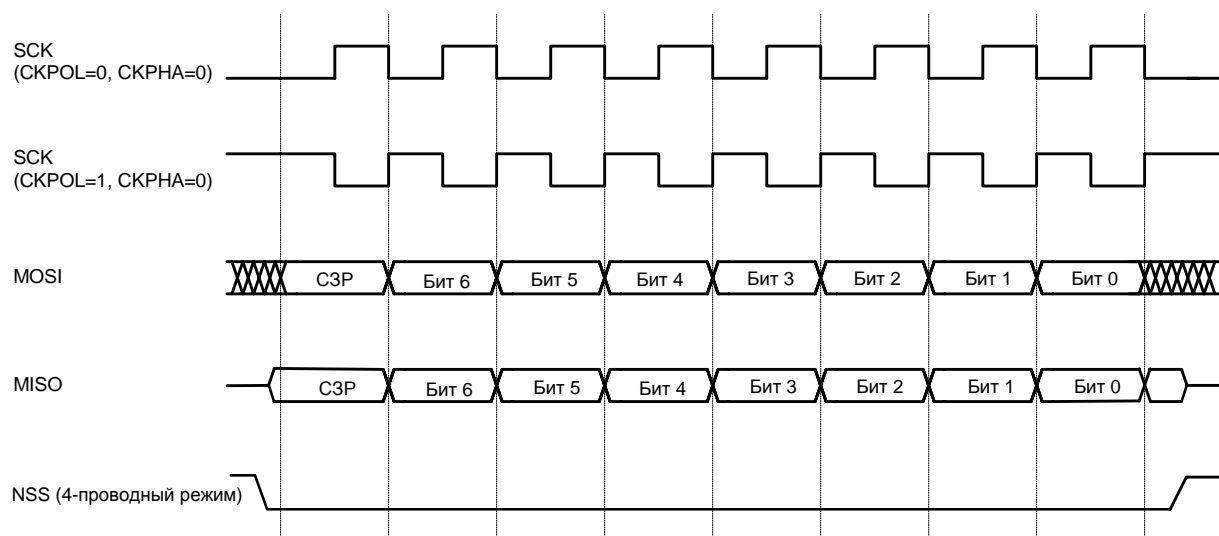
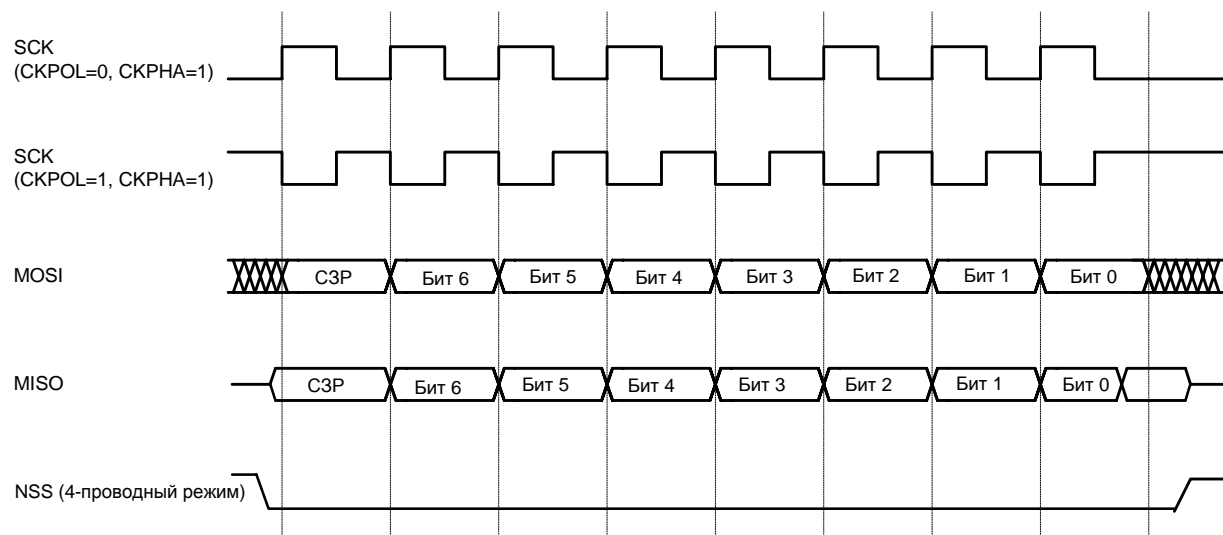


Рисунок 21.7. Временные диаграммы сигналов данных/тактирования в режиме ведомого (СКРНА = 1)



21.6. Регистры специального назначения модуля SPI

Для доступа к интерфейсу SPI и управления им используются четыре регистра специального назначения: регистр управления SPI0CN, регистр данных SPI0DAT, регистр конфигурации SPI0CFG и регистр установки тактовой частоты SPI0CKR. Все эти регистры описаны в следующих разделах.

Рисунок 21.8. SPI0CFG: Регистр конфигурации модуля SPI0

R	R/W	R/W	R/W	R	R	R	R	Значение при сбросе:
SPIBSY	MSTEN	СКРНА	СКPOL	SLVSEL	NSSIN	SRMT	RXBMT	00000111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9A SFR страница: 0

Бит 7: SPIBSY: Флаг занятости модуля SPI0 (только для чтения).
Этот бит устанавливается в 1 тогда, когда SPI0 находится в процессе передачи данных (ведущий или ведомый режим).

Бит 6: MSTEN: Включение ведущего режима.
0: Ведущий режим отключен. Модуль SPI0 работает в ведомом режиме.
1: Ведущий режим включен. Модуль SPI0 работает в ведущем режиме.

Бит 5: СКРНА: Выбор активной фазы тактового сигнала модуля SPI0.
Этот бит управляет фазой тактового сигнала модуля SPI0.
0: Данные фиксируются по первому фронту периода сигнала SCK.*
1: Данные фиксируются по второму фронту периода сигнала SCK.*

Бит 4: СКPOL: Выбор полярности тактового сигнала модуля SPI0.
Этот бит управляет полярностью тактового сигнала модуля SPI0.
0: В состоянии простоя на линии SCK установлен сигнал низкого уровня.
1: В состоянии простоя на линии SCK установлен сигнал высокого уровня.

Бит 3: SLVSEL: Флаг выбора ведомого (только для чтения).
Этот бит аппаратно устанавливается в 1 всякий раз, когда на линию NSS подан сигнал низкого уровня, и показывает, что SPI0 является выбранным ведомым. Этот бит сбрасывается в 0, если на линию NSS подан сигнал высокого уровня (ведомый не выбран). Этот бит отражает не мгновенное состояние сигнала на выводе NSS, а скорее сглаженную (без паразитных выбросов) форму этого сигнала.

Бит 2: NSSIN: Флаг мгновенного состояния сигнала на входном выводе NSS (только для чтения).
Этот бит отражает мгновенное значение сигнала на входном выводе NSS в момент чтения этого регистра. Этот вход не является сглаженным.

Бит 1: SRMT: Флаг опустошения сдвигового регистра (только для чтения, действителен в ведомом режиме).
Этот бит будет устанавливаться в 1 тогда, когда все данные переданы в сдвиговый регистр или из сдвигового регистра, и нет данных для считывания из буфера передатчика или записи в буфер приемника. Этот бит сбрасывается в 0, когда байт данных передается в сдвиговый регистр из буфера передатчика или при изменении сигнала SCK.
Примечание: SRMT = 1 в ведущем режиме работы.

Бит 0: RXBMT: Флаг опустошения буфера приемника (только для чтения, действителен в ведомом режиме).
Этот бит будет устанавливаться в 1 тогда, когда буфер приемника прочитан и не содержит новых данных. Если в буфере приемника имеются доступные для чтения новые данные, которые не были прочитаны, то этот бит будет сброшен в 0.
Примечание: RXBMT = 1 в ведущем режиме работы.

* В ведомом режиме данные на линии MOSI выбираются в центре каждого битового интервала. В ведущем режиме данные на линии MISO выбираются за один цикл SYSCLK до окончания каждого битового интервала, что позволяет обеспечить максимальное время установления сигнала для ведомого устройства. Временные параметры приведены в табл.21.1.

Рисунок 21.9. SPI0CN: Регистр управления модуля SPI0

R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	Значение при сбросе:
SPIF	WCOL	MODF	RXOVRN	NSSMD1	NSSMD0	TXBMT	SPIEN	00000110
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xF8 SFR страница: 0

Бит 7: SPIF: Флаг прерывания от модуля SPI0.
Этот бит аппаратно устанавливается в 1 по окончании передачи данных. Если прерывания разрешены, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 6: WCOL: Флаг конфликта записи.
Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0) и тем самым показывает, что была произведена попытка записи в регистр данных модуля SPI0, когда текущий сеанс передачи данных еще не завершился. Этот бит необходимо сбросить программно.

Бит 5: MODF: Флаг ошибки режима.
Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0) при обнаружении конфликта ведущего режима (на линии NSS низкий уровень, $MSTEN = 1$ и $NSSMD[1:0] = 01$). Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 4: RXOVRN: Флаг переполнения приемника (только ведомый режим работы).
Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0), если приемный буфер все еще содержит непрочитанные данные от предыдущей передачи, а последний бит текущей передачи сдвигается в сдвиговый регистр модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Биты 3-2: NSSMD1-NSSMD0: Биты режима выбора ведомого.
С помощью этих бит осуществляется выбор между следующими режимами функционирования вывода NSS (см. раздел 21.2 и раздел 21.3):
00: 3-х проводный ведомый или 3-х проводный ведущий режим. Сигнал NSS не разводится с помощью матрицы на внешний вывод МК.
01: 4-х проводный ведомый режим или режим работы с несколькими ведущими (по умолчанию). Вывод NSS всегда является входом.
1х: 4-проводный режим работы с одним ведущим. Вывод NSS настроен как выход и состояние сигнала на нем определяется значением бита NSSMD0.

Бит 1: TXBMT: Флаг опустошения буфера передатчика.
Этот бит будет сбрасываться в 0 при записи новых данных в буфер передатчика. После передачи данных из буфера передатчика в сдвиговый регистр модуля SPI0 этот бит будет установлен в 1, показывая, что в буфер передатчика можно записывать новые данные.

Бит 0: SPIEN: Включение модуля SPI0.
Этот бит включает/отключает модуль SPI0.
0: Модуль SPI0 отключен.
1: Модуль SPI0 включен.

Рисунок 21.10. SPI0CKR: Регистр установки тактовой частоты модуля SPI0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
SCR7	SCR6	SCR5	SCR4	SCR3	SCR2	SCR1	SCR0	SFR Адрес: 0x9D SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SCR7-SCR0: Тактовая частота модуля SPI0

Эти биты определяют частоту выходного сигнала SCK, когда модуль SPI0 работает в ведущем режиме. Частота тактового сигнала SCK представляет собой поделенную на определенный коэффициент системную тактовую частоту и задается следующим уравнением:

$$f_{\text{SCK}} = 0.5 * \text{SYSCLK} / (\text{SPI0CKR} + 1), \text{ для } 0 \leq \text{SPI0CKR} \leq 255,$$

где: SYSCLK – частота системного тактового сигнала;
SPI0CKR – 8-разрядное значение регистра SPI0CKR.

Пример: Если SYSCLK = 2МГц и SPI0CKR = 0x04, то:

$$f_{\text{SCK}} = 0.5 * 2000000 / (4 + 1) = 200\text{кГц}.$$

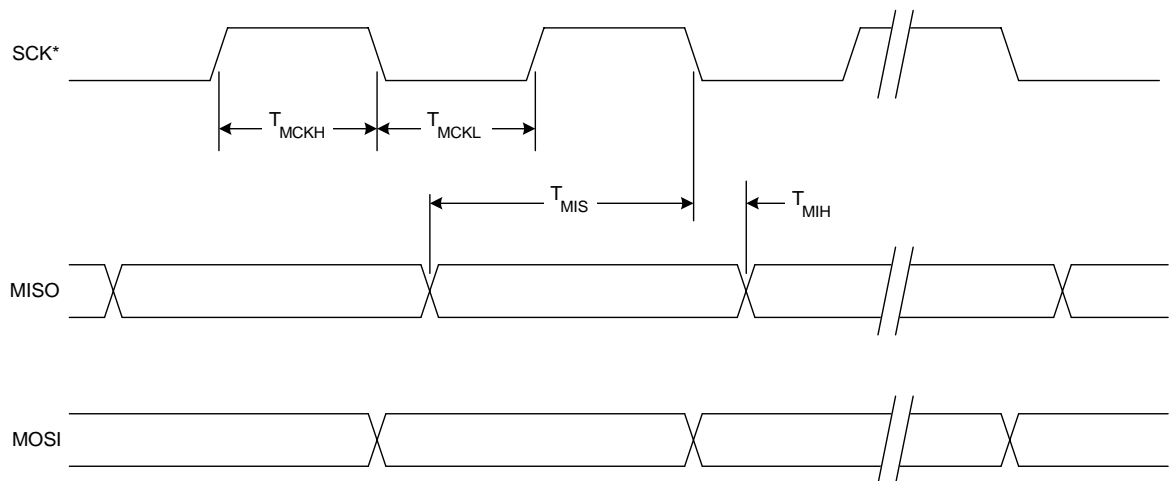

Рисунок 21.11. SPI0DAT: Регистр данных модуля SPI0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0x9B
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR страница: 0

Биты 7-0: SPI0DAT: Данные передатчика и приемника модуля SPI0.

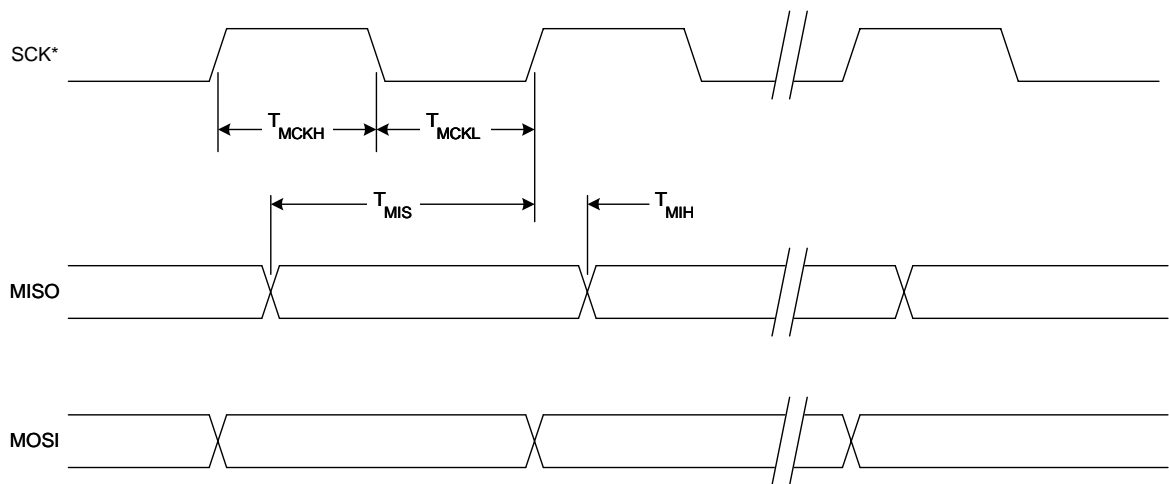
Регистр SPI0DAT используется для передачи и приема данных. В ведущем режиме запись данных в регистр SPI0DAT сразу же приводит к загрузке данных в буфер передатчика и инициирует сеанс передачи. Чтение регистра SPI0DAT возвратит содержимое приемного буфера.

Рисунок 21.12. Временные диаграммы ведущего SPI (CKPHA = 0)



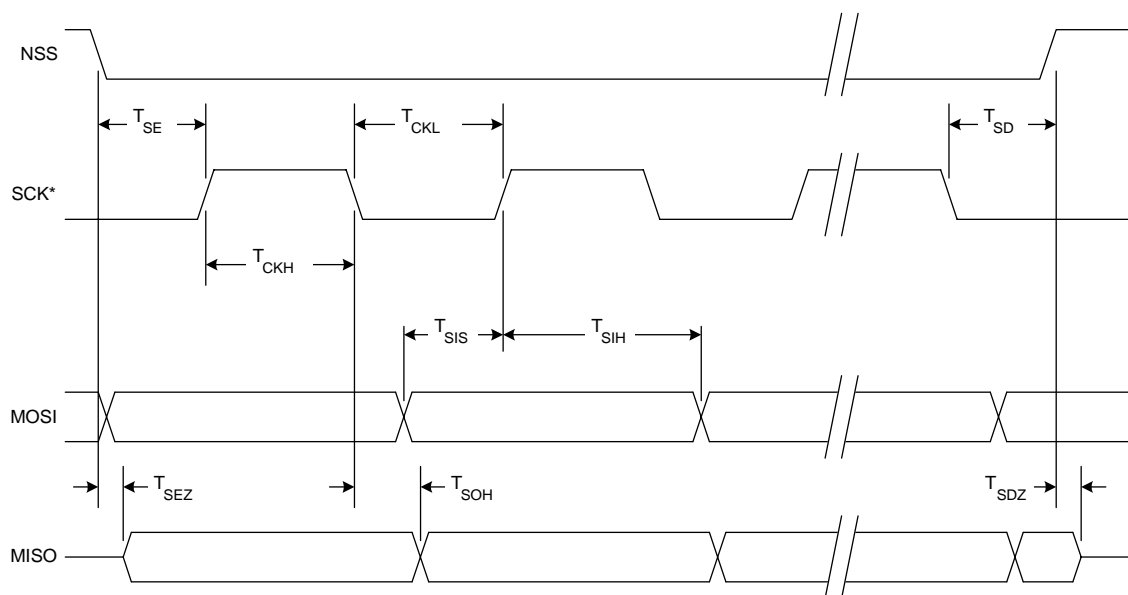
* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Рисунок 21.13. Временные диаграммы ведущего SPI (CKPHA = 1)



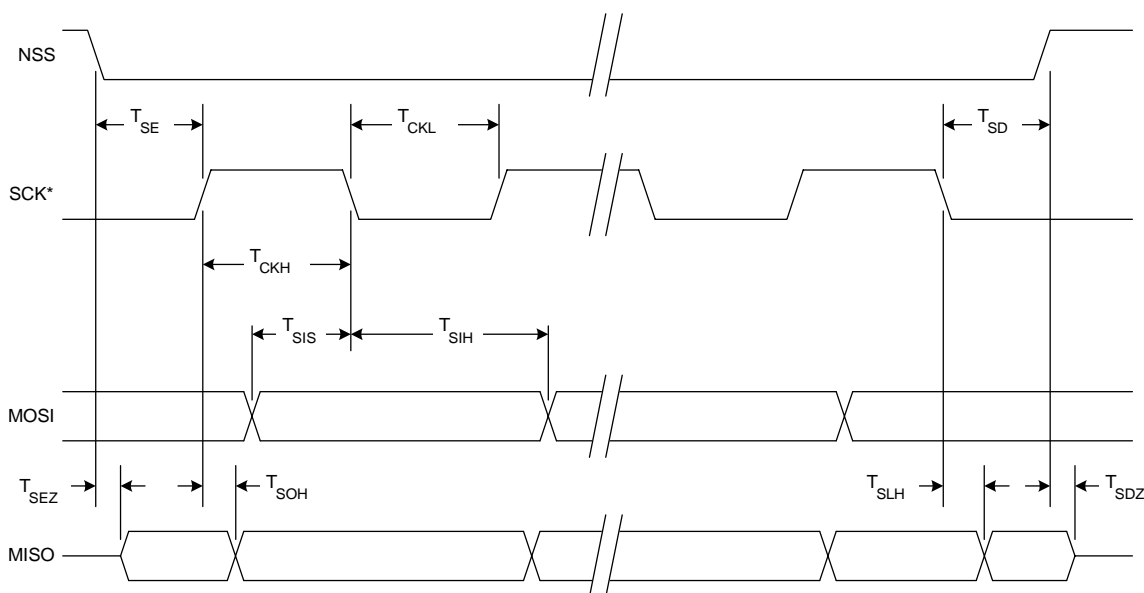
* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Рисунок 21.14. Временные диаграммы ведомого SPI (CKPHA = 0)



* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Рисунок 21.15. Временные диаграммы ведомого SPI (CKPHA = 1)



* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Таблица 21.1. Временные параметры ведомого SPI

Параметр	Описание	Мин.	Макс.	Ед. изм.
Временные параметры ведущего SPI* (см. рис. 21.12 и рис. 21.13)				
T_{МСКН}	Длительность высокого уровня сигнала SCK	1*TSYSCLK		нс
T_{МСКЛ}	Длительность низкого уровня сигнала SCK	1*TSYSCLK		нс
T_{МIS}	Время удержания данных на линии MISO до фронта SCK, вызывающего сдвиг данных	1*TSYSCLK+ 20		нс
T_{МИН}	Длительность интервала между фронтом SCK, вызывающим сдвиг данных, и обновлением данных на линии MISO	0		нс
Временные параметры ведомого SPI* (см. рис. 21.14 и рис. 21.15)				
T_{SE}	Длительность интервала между появлением сигнала низкого уровня на линии NSS и первым фронтом сигнала SCK	2*TSYSCLK		нс
T_{SD}	Длительность интервала между последним фронтом сигнала SCK и появлением сигнала высокого уровня на линии	2*TSYSCLK		нс
T_{SEZ}	Время установления данных на линии MISO после появления сигнала низкого уровня на линии NSS		4*TSYSCLK	нс
T_{SDZ}	Длительность интервала между появлением сигнала высокого уровня на линии NSS и переходом линии MISO в высокоимпедансное состояние		4*TSYSCLK	нс
T_{СКН}	Длительность высокого уровня сигнала SCK	5*TSYSCLK		нс
T_{СКЛ}	Длительность низкого уровня сигнала SCK	5*TSYSCLK		нс
T_{SIS}	Время удержания данных на линии MOSI до фронта выборки сигнала SCK	2*TSYSCLK		нс
T_{СИН}	Длительность интервала между фронтом выборки SCK и обновлением данных на линии MOSI	2*TSYSCLK		нс
T_{SOH}	Длительность интервала между фронтом SCK, вызывающим сдвиг данных, и обновлением данных на линии MISO		4*TSYSCLK	нс
T_{SLH}	Длительность интервала между последним фронтом SCK и обновлением данных на линии MISO (только для случая, когда СКРНА = 1)	6*TSYSCLK	8*TSYSCLK	нс
* TSYSCLK представляет собой один период системного тактового сигнала (SYSCLK).				

22. УАППО

УАППО (универсальный асинхронный передатчик) представляет собой усовершенствованный последовательный порт, обеспечивающий определение ошибок формата и аппаратное распознавание адреса. УАППО может функционировать в полнодуплексном асинхронном или полудуплексном синхронном режимах, а также полностью поддерживает организацию связи с несколькими МК (мультипроцессорное взаимодействие). Во всех режимах принимаемые данные буферизуются в регистре временного хранения. Это позволяет УАППО начать прием второго входящего байта данных до того, как программа закончит чтение предыдущего байта данных. Флаг переполнения приемника устанавливается в 1, если следующий принятый байт данных фиксируется в буфере приемника до окончания чтения ранее принятого байта.

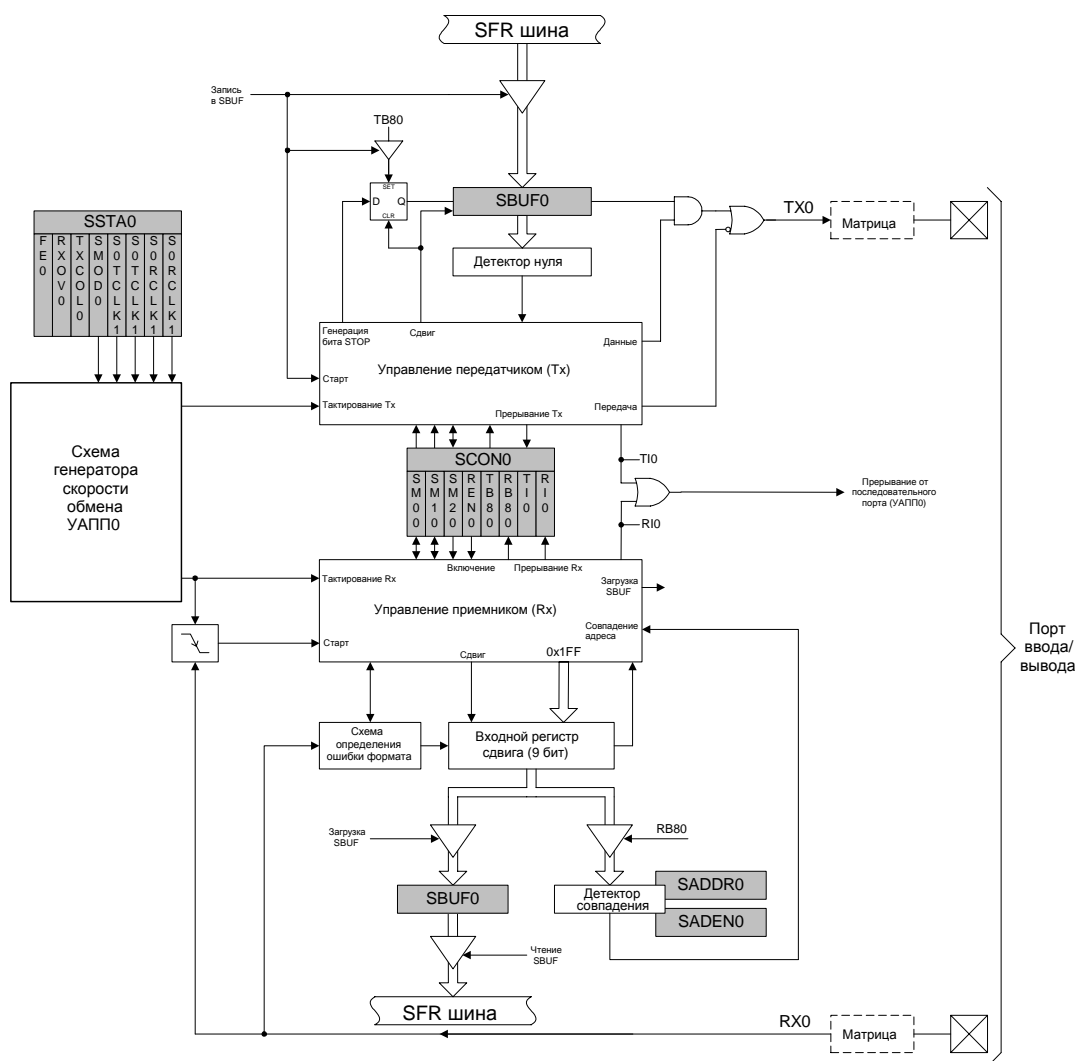
С работой УАППО связаны следующие регистры специального назначения: регистр управления УАППО (SCON0) и буфер данных УАППО (SBUF0). Одна и та же ячейка памяти, адресуемая как SBUF0, обеспечивает доступ и к регистру передатчика, и к регистру приемника. При чтении регистра SBUF0 осуществляется доступ к регистру приемника, а при записи регистра SBUF0 - к регистру передатчика.

С модулем УАППО можно работать как в режиме опроса, так и с использованием прерываний. УАППО имеет два источника прерываний:

- флаг прерываний от передатчика TI0 (SCON0.1), устанавливается, когда передача байта данных завершена;
- флаг прерываний от приемника RI0 (SCON0.0), устанавливается, когда завершен прием байта данных.

Флаги прерываний от УАППО не сбрасываются аппаратно при переходе к процедуре обслуживания прерывания. Они должны сбрасываться программно. Это позволяет программе определить причину, вызвавшую прерывание от УАППО (завершение передачи или завершение приема).

Рисунок 22.1. Структурная схема УАПШ0



22.1. Режимы работы УАППО

УАППО поддерживает четыре режима работы (один синхронный и три асинхронных), задаваемые битами конфигурации в регистре SCON0. Эти четыре режима различаются скоростью передачи данных и протоколом обмена. В табл.22.1 приведены основные характеристики режимов работы УАППО.

Таблица 22.1. Режимы работы УАППО

Режим	Синхронизация	Скорость передачи данных	Биты данных	Биты Старт/Стоп
0	Синхронный	$\text{SYSCLK} / 12$	8	Нет
1	Асинхронный	Переполнение Таймеров 1, 2, 3 или 4	8	1 Старт, 1 Стоп
2	Асинхронный	$\text{SYSCLK} / 32$ или $\text{SYSCLK} / 64$	9	1 Старт, 1 Стоп
3	Асинхронный	Переполнение Таймеров 1, 2, 3 или 4	9	1 Старт, 1 Стоп

22.1.1. Режим 0: Синхронный режим

Режим 0 обеспечивает синхронный, полудуплексный обмен данными. Последовательные данные передаются и принимаются через внешний вывод RX0. Через внешний вывод TX0 выдаются импульсы сдвига как для передачи, так и для приема данных. МК должен быть ведущим, т.к. он генерирует импульсы сдвига для передачи данных в обоих направлениях (см. рис.22.3).

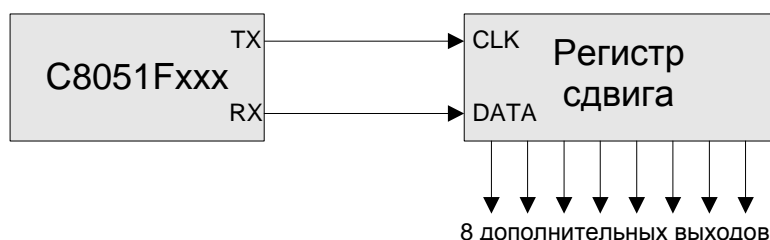
Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Передаются восемь бит данных, МЗР вперед (см. временные диаграммы на рис.22.2). Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце восьмого битового интервала. Прием данных начинается, когда устанавливается в 1 флаг включения приемника REN0 (SCON0.4), а флаг прерывания от приемника RI0 (SCON0.0) сброшен в 0. Спустя один цикл после приема восьмого бита устанавливается флаг RI0 и прием завершается до программного сброса бита RI0. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 0 равна $1/12$ системной тактовой частоты. В режиме 0 вывод RX0 настраивается как выход с открытым стоком и обычно требуется подключить к этому выводу внешний подтягивающий резистор.

Рисунок 22.2. Временные диаграммы УАППО в режиме 0



Рисунок 22.3. Пример использования УАППО в режиме 0



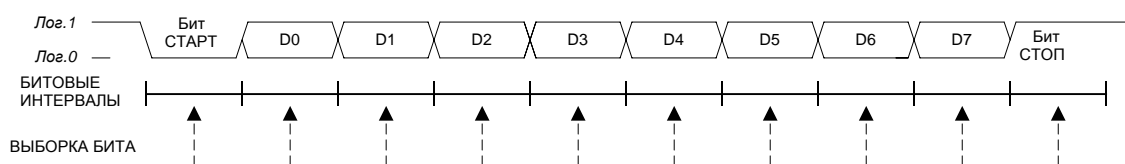
22.1.2. Режим 1: 8-разрядный УАППО, изменяемая скорость передачи данных

Режим 1 обеспечивает стандартный асинхронный полнодуплексный обмен данными с использованием 10 бит для передачи одного байта данных: один стартовый бит, восемь бит данных (МЗР вперед) и один стоповый бит. Данные передаются через внешний вывод TX0 и принимаются через внешний вывод RX0. При приеме в регистре SBUF0 сохраняются восемь бит данных, а бит RB80 (SCON0.2) принимает значение стопового бита.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN0 (SCON0.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF0, если соблюдаются следующие условия: RI0 должен быть равен лог.0, и, если SM20 равен лог.1, то стоповый бит должен быть равен лог.1.

Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF0, стоповый бит сохраняется в бите RB80 и устанавливается в 1 флаг RI0. Если эти условия не соблюдаются, то SBUF0 и RB80 не будут загружаться и флаг RI0 не устанавливается. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Рисунок 22.4. Временные диаграммы УАППО в режиме 1



Скорость передачи данных в режиме 1 определяется функцией от переполнения таймера. Для задания скорости передачи данных УАППО может использоваться либо Таймер 1, работающий в режиме *8-разрядного таймера/счетчика с автоперезагрузкой*, либо Таймеры 2, 3 или 4, работающие в *таймера/счетчика с автоперезагрузкой* (следует иметь ввиду, что источники тактовых импульсов для передатчика (TX0) и приемника (RX0) выбираются по отдельности). При каждом переполнении таймера (при переходе от всех единиц - 0xFF для Таймера 1 и 0xFFFF для Таймеров 2, 3 и 4 – к нулю) схеме генератора скорости передачи данных посылается тактовый импульс.

Таймеры 1, 2, 3 или 4 выбираются в качестве генератора скорости передачи данных с помощью регистра SSTA0 (см. рис.22.9). Скорость передатчика определяется битами S0TCLK1 и S0TCLK0. Скорость приемника определяется битами S0RCLK1 и S0RCLK0.

Если в качестве генератора скорости передачи данных выбран Таймер 1, то бит SMOD0 (SSTA0.4) определяет, делить или не делить частоту переполнения таймера 1 на два. При сбросе SMOD0 = 0, таким образом по умолчанию выбрана пониженная скорость передачи данных. Уравнение 22.1 показывает зависимость частоты передачи данных, генерируемой Таймером 1, от значения бита SMOD0.

Уравнение 22.1. Скорость передачи данных в режиме 1, задаваемая с помощью Таймера 1.

Если SMOD0 = 0:

$$\text{Mode 1 Baud Rate} = 1 / 32 * (\text{Частота переполнения Таймера 1}).$$

Если SMOD0 = 1:

$$\text{Mode 1 Baud Rate} = 1 / 16 * (\text{Частота переполнения Таймера 1}).$$

Частота переполнения Таймера 1 определяется источником тактирования Таймера 1 (T1CLK) и значением перезагрузки (TH1). Выбор частоты T1CLK описан в разделе 24.1. Частота переполнения Таймера 1 рассчитывается в соответствии с уравнением 22.2.

Уравнение 22.2. Частота переполнения Таймера 1.

$$\text{Частота переполнения Таймера 1} = \text{T1CLK} / (256 - \text{TH1})$$

Если в качестве генератора скорости передачи данных выбраны Таймеры 2, 3 или 4, то скорость передачи данных определяется в соответствии с уравнением 22.3.

Уравнение 22.3. Скорость передачи данных в режиме 1, задаваемая с помощью Таймеров 2, 3, 4.

$$\text{Mode 1 Baud Rate} = 1 / 16 * (\text{Частота переполнения Таймера 2,3,4}).$$

Частота переполнения Таймеров 2, 3 или 4 определяется источником тактирования таймера (TnCLK) и 16-разрядным значением перезагрузки, содержащимся в регистре RCAPn (n = 2, 3 или 4), в соответствии с уравнением 22.4.

Уравнение 22.4. Частота переполнения Таймеров 2, 3 или 4.

$$\text{Частота переполнения Таймеров 2, 3 или 4} = \text{TnCLK} / (65536 - \text{RCAPn})$$



22.1.3. Режим 2: 9-разрядный УАППО, фиксированная скорость передачи данных

Режим 2 обеспечивает асинхронный полнодуплексный обмен данными с использованием 11 бит для передачи одного байта: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. Режим 2 поддерживает организацию связи с несколькими МК (мультипроцессорное взаимодействие) и аппаратное распознавание адреса (см. раздел 22.2). При передаче значение девятого бита данных определяется значением бита TB80 (SCON0.3). Оно может соответствовать значению флага четности P регистра PSW или использоваться для организации связи с несколькими МК. При приеме значение девятого бита сохраняется в бите RB80 (SCON0.2), а стоповый бит игнорируется.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN0 (SCON0.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF0, если RI0 = 0 и если соблюдается одно из следующих условий:

1. SM20 = 0
2. SM20 = 1, принятый 9-й бит равен лог. '1', принятый адрес соответствует адресу УАППО, как описано в разделе 22.2.

Если описанные выше условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF0, девятый бит данных сохраняется в бите RB80 и устанавливается в 1 флаг RI0. Если эти условия не соблюдаются, то SBUF0 и RB80 не будут загружаться и флаг RI0 не будет устанавливаться. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 2 будет равна SYSCLK/32 или SYSCLK/64 в зависимости от значения бита SMOD0 регистра SSTA0:

Уравнение 22.5. Скорость передачи данных в режиме 2

$$\text{Mode 2 Baud Rate} = 2^{\text{SMOD0}} * (\text{SYSCLK} / 64).$$

Рисунок 22.5. Временные диаграммы УАПП в режимах 2 и 3

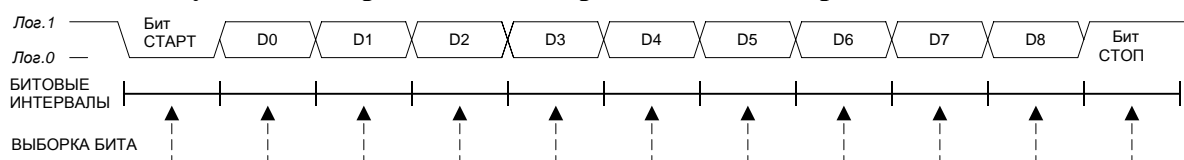
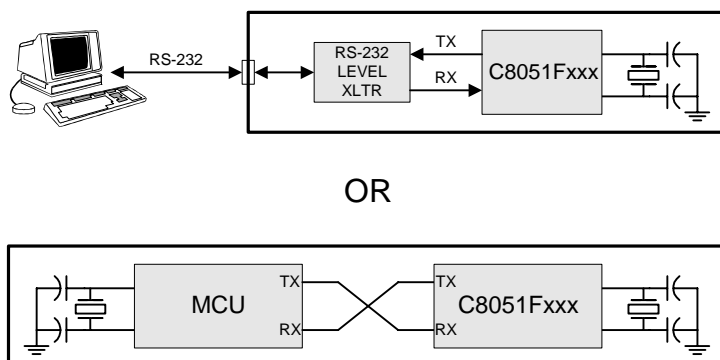


Рисунок 22.6. Пример использования УАПП в режимах 1, 2 и 3



22.1.4. Режим 3: 9- разрядный УАПП, различная скорость передачи данных

В режиме 3 используется протокол передачи данных, как в режиме 2, и генерация скорости передачи данных, как в режиме 1. В режиме 3 передаются 11 бит: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. Скорость передачи данных определяется переполнением Таймера 1 или Таймеров 2, 3 или 4 в соответствии с уравнениями 22.1. и 22.3. Поддерживаются аппаратное распознавание адреса и организация связи с несколькими МК, как описано в разделе 22.2.

22.2. Поддержка связи с несколькими МК

Режимы 2 и 3 поддерживают мультимикроконтроллерный обмен данными между ведущим МК и одним или несколькими ведомыми МК, для чего применяется встроенная схема аппаратного распознавания адреса и особым образом используется девятый бит данных. Когда ведущий МК хочет передать данные одному или нескольким ведомым МК, он прежде всего посылает байт адреса, чтобы выбрать конкретное(-ые) устройство(-а). Адресный байт отличается от байта данных тем, что его девятый бит равен лог.1; в байте данных девятый бит всегда равен лог.0. УАППО будет считать "действительными" (т.е. способными вызвать прерывание) два типа адресов: (1) маскированный адрес и (2) широковещательный адрес **в любой момент времени**. Оба типа адресов описаны ниже.

22.2.1. Установка маскированного адреса

Адрес УАППО определяется двумя SFR регистрами: SADDR0 (адрес последовательного порта) и SADEN0 (разрешение адреса последовательного порта). Регистр SADEN0 устанавливает битовую маску для адреса, хранимого в регистре SADDR0: биты, установленные в 1 в регистре SADEN0, соответствуют битам регистра SADDR0, которые участвуют в сравнении с принятым байтом адреса; биты, сброшенные в 0 в регистре SADEN0, соответствуют битам регистра SADDR0, состояние которых «не имеет значения» при сравнении с принятым байтом адреса.

Пример 1, Ведомый №1

SADDR0 = 00110101
 SADEN0 = 00001111
 Адрес УАППО = xxxx0101

Пример 2, Ведомый №2

SADDR0 = 00110101
 SADEN0 = 11110011
 Адрес УАППО = 0011xx01

Пример 3, Ведомый №3

SADDR0 = 00110101
 SADEN0 = 11000000
 Адрес УАППО = 00xxxxxx

Установка в 1 бита SM20 (SCON0.5) настраивает модуль УАППО таким образом, что при получении стопового бита УАППО будет генерировать прерывание только в том случае, если девятый бит равен лог.1 (RB80 = 1) и принятый байт данных соответствует адресу ведомого УАППО. После возникновения такого прерывания ведомый сбросит в 0 бит SM20, чтобы разрешить генерацию прерываний при получении следующих байтов данных. После того, как все сообщение получено, адресованный ведомый МК устанавливает в 1 бит SM20, чтобы игнорировать все посылки до получения следующего адресного байта. Пока SM20 = 1, УАППО игнорирует все байты, значение которых не соответствует адресу УАППО и 9-й бит которых не равен лог. '1'.

22.2.2. Широковещательная адресация

Одному ведомому устройству можно назначить несколько адресов и/или один адрес можно назначить нескольким ведомым устройствам, поэтому возможна "широковещательная" передача данных более чем одному ведомому устройству одновременно. Широковещательный адрес представляет собой логическое ИЛИ содержимого регистров SADDR0 и SADEN0, при этом нули в полученном результате рассматриваются как "не имеющие значения". Обычно широковещательный адрес 0xFF распознается всеми ведомыми устройствами, принимающими "не имеющие значения" биты за '1'. Ведущий процессор можно настроить на прием всех сообщений или протокол обмена можно реализовать таким образом, чтобы временно менять местами ведущего и ведомого, обеспечив тем самым полудуплексный обмен данными между истинным ведущим и ведомым(-и).

Пример 1, Ведомый №1

SADDR0 = 00110101
 SADEN0 = 00001111
 Широковещательный
 адрес = 00111111

Пример 2, Ведомый №2

SADDR0 = 00110101
 SADEN0 = 11110011
 Широковещательный
 адрес = 11110111

Пример 3, Ведомый №3

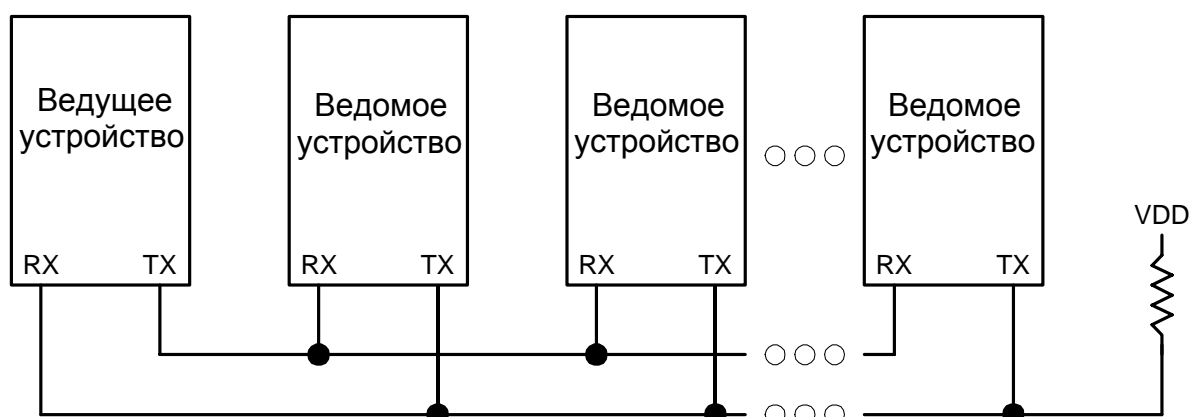
SADDR0 = 00110101
 SADEN0 = 11000000
 Широковещательный
 адрес = 11110101

Все нули в широковещательном адресе "не имеют значения".

Следует отметить, что в приведенных выше примерах 4, 5 и 6 каждый ведомый будет считать адрес 0xFF "действительным", т.е. широковещательным адресом. Кроме этого, в примерах 4, 5 и 6 используются те же самые значения регистров SADDR0 и SADEN0, что и в примерах 1, 2 и 3 соответственно (ведомые №1, №2 и №3). Таким образом, ведущий мог бы адресовать каждое ведомое устройство индивидуально с использованием маскированного адреса, а также все три ведомых одновременно в широковещательном режиме. Например, если ведущий послал бы адрес "11110101", то только ведомый №1 распознал бы этот адрес как

“действительный”. Если бы ведущий послал затем адрес “11111111”, то все три ведомых устройства распознали бы этот адрес как действительный широковещательный адрес.

Рисунок 22.7. Пример использования УАПП в многопроцессорном режиме



22.3. Определение ошибок формата и ошибок передачи

Все режимы:

Бит ошибки передачи (TXCOL0 в регистре SSTA0) читается как ‘1’, если программа пользователя записывает данные в регистр SBUF0 во время процесса передачи данных. Следует иметь в виду, что если значение бита TXCOL0 записывается программой пользователя, то он функционирует как бит SM20. Этот бит не генерирует прерывание.

Режимы 1, 2 и 3:

Бит переполнения приемника (RXOV0 в регистре SSTA0) читается как ‘1’, если новый байт данных фиксируется в буфере приемника прежде, чем программа закончит чтение предыдущего байта. Следует иметь в виду, что если значение бита RXOV0 записывается программой пользователя, то он функционирует как бит SM10. Бит ошибки формата (FE0 в регистре SSTA0) читается как ‘1’, если обнаружен некорректный (низкого уровня) бит STOP. Следует иметь в виду, что если значение бита FE0 записывается программой пользователя, то он функционирует как бит SM00. Биты RXOV0 и FE0 не генерируют прерываний.

Таблица 22.2. Тактовые частоты, соответствующие стандартным скоростям обмена

Тактовая частота (МГц)	Коэффициент деления	Значение перезагрузки Таймера 1*	Значение перезагрузки Таймеров 2, 3 или 4	Скорость передачи данных (Гц)**
24.0	208	0xF3	0xFFFF3	115200 (115384)
22.1184	192	0xF4	0xFFFF4	115200
18.432	160	0xF6	0xFFFF6	115200
11.0592	96	0xFA	0xFFFFA	115200
3.6864	32	0xFE	0xFFFFE	115200
1.8432	16	0xFF	0xFFFFF	115200
24.0	832	0xCC	0xFFCC	28800 (28846)
22.1184	768	0xD0	0xFFD0	28800
18.432	640	0xD8	0xFFD8	28800
11.0592	348	0xE8	0xFFE8	28800
3.6864	128	0xF8	0xFFFF8	28800
1.8432	64	0xFC	0xFFFFC	28800
24.0	2496	0x64	0xFF64	9600 (9615)
22.1184	2304	0x70	0xFF70	9600
18.432	1920	0x88	0xFF88	9600
11.0592	1152	0xB8	0xFFB8	9600
3.6864	384	0xE8	0xFFE8	9600
1.8432	192	0xF4	0xFFFF4	9600

* При условии, что SMOD0 = 1 и TIM = 1.

** Числа в скобках показывают действительную скорость передачи данных.

Рисунок 22.8. SCON0: Регистр управления УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
SM00	SM10	SM20	REN0	TB80	RB80	TI0	RI0	SFR Адрес: 0x98 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Биты 7-6: SM00 - SM10: Биты выбора режима работы УАППО:

Запись: записью этих бит устанавливается режим работы УАППО в соответствии со следующей таблицей:

SM00	SM10	Режим работы УАППО
0	0	Режим 0: синхронный режим
0	1	Режим 1: 8-битный УАПП, изменяемая скорость передачи
1	0	Режим 2: 9- битный УАПП, фиксированная скорость передачи
1	1	Режим 3: 9- битный УАПП, изменяемая скорость передачи

Операция чтения этих бит возвратит в качестве результата текущий режим работы УАППО.

Бит 5: SM20: Разрешение поддержки мультипроцессорного взаимодействия.

Функционирование этого бита зависит от режима работы УАППО.

Режим 0: Не влияет на работу

Режим 1: Проверка корректности стопового бита.

0: Логический уровень стопового бита игнорируется.

1: Флаг RI0 будет установлен только в том случае, если стоповый бит равен лог.1.

Режимы 2 и 3: Разрешение поддержки мультимикроконтроллерного взаимодействия.

0: Логический уровень девятого бита игнорируется.

1: Флаг RI0 устанавливается и прерывание генерируется только в том случае, если девятый бит равен лог.1 и принятый адрес соответствует адресу УАППО или широкопередаточному адресу.

Бит 4: REN0: Разрешение приема.

Этот бит включает/отключает приемник УАППО.

0: Прием данных модулем УАППО запрещен.

1: Прием данных модулем УАППО разрешен.

Бит 3: TB80: Девятый бит передаваемых данных.

Значение этого бита будет передано в качестве девятого бита данных в режимах 2 и 3. В режимах 0 и 1 этот бит не используется. Бит TB80 устанавливается и сбрасывается программно.

Бит 2: RB80: Девятый бит принимаемых данных.

Этот бит принимает значение девятого бита данных, полученного в режимах 2 и 3. В режиме 1, если SM20 = 0, бит RB80 принимает значение полученного стопового бита. В режиме 0 бит RB80 не используется.

Бит 1: TI0: Флаг прерывания от передатчика УАППО.

Устанавливается в 1 аппаратно при окончании передачи байта данных (после передачи 8-го бита в режиме 0, или в начале передачи стопового бита в остальных режимах). Если прерывание от УАППО разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАППО. Этот бит должен сбрасываться программно.

Бит 0: RI0: Флаг прерывания от приемника УАППО.

Устанавливается в 1 аппаратно при приеме байта данных (после 8-го бита в режиме 0, или после стопового бита в остальных режимах, за исключением случаев, указанных в описании бита SM20). Если прерывание от УАППО разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАППО. Этот бит должен сбрасываться программно.



Рисунок 22.9. SSTA0: Регистр состояния УАППО и выбора источника тактирования УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
FE0	RXOV0	TXCOL0	SMOD0	S0TCLK1	S0TCLK0	S0RCLK1	S0RCLK0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x91 SFR страница: 0

Бит 7: FE0: Флаг ошибки формата.*
Этот флаг устанавливается в 1 при обнаружении некорректного (низкого уровня) бита STOP.
0: Ошибки формата не произошло.
1: Обнаружена ошибка формата.

Бит 6: RXOV0: Флаг переполнения приемника.*
Этот флаг устанавливается в 1, если новый байт данных фиксируется в буфере приемника прежде, чем программа закончит чтение предыдущего байта.
0: Переполнения приемника не произошло.
1: Зафиксировано переполнение приемника.

Бит 5: TXCOL0: Флаг ошибки передачи.*
Этот флаг устанавливается в 1, если программа пользователя записывает данные в регистр SBUF0 во время процесса передачи данных.

Бит 4: SMOD0: Бит удвоения скорости передачи данных последовательного порта УАППО.
0: Скорость передачи данных последовательного порта УАППО не удваивается.
1: Скорость передачи данных последовательного порта УАППО удваивается.

Биты 3-2: Биты выбора генератора скорости передачи данных передатчика УАППО.

S0TCLK1	S0TCLK0	Генератор скорости передачи данных передатчика УАППО
0	0	Таймер 1
0	1	Переполнение Таймера 2
1	0	Переполнение Таймера 3
1	1	Переполнение Таймера 4

Биты 1-0: Биты выбора генератора скорости передачи данных приемника УАППО.

S0RCLK1	S0RCLK0	Генератор скорости передачи данных приемника УАППО
0	0	Таймер 1
0	1	Переполнение Таймера 2
1	0	Переполнение Таймера 3
1	1	Переполнение Таймера 4

* Примечание: Биты FE0, RXOV0 и TXCOL0 являются только флагами и не генерируют никаких прерываний.

Рисунок 22.10. SBUF0: Регистр буфера данных УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0x99 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SBUF0.[7:0]: Биты (7-0) буфера данных УАППО (СЗР - МЗР)

На самом деле именем SBUF0 обозначаются два регистра: буфер передатчика и буфер приемника. Когда данные помещаются в регистр SBUF0, они записываются в буфер передатчика и сохраняются для последовательной передачи. Запись данных в SBUF0 инициирует передачу. Когда данные извлекаются из регистра SBUF0, они считываются из буфера приемника.

Рисунок 22.11. SADDR0: Регистр адреса ведомого УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xA9 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SADDR0.[7:0]: Адрес ведомого УАППО.

Содержимое этого регистра используется для определения адреса ведомого УАППО. Регистр SADEN0 является битовой маской, которая определяет, какие биты регистра SADDR0 будут участвовать в сравнении с принятым адресом: в сравнении участвуют только те биты регистра SADDR0, которым соответствуют биты регистра SADEN0, установленные в 1; состояние остальных бит регистра SADDR0 «не имеет значения» и в сравнении они не участвуют.

Рисунок 22.12. SADEN0: Регистр разрешения адреса ведомого УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xB9 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SADEN0.[7:0]: Биты разрешения адреса ведомого УАППО.

Биты этого регистра разрешают соответствующим битам регистра SADDR0 участвовать в определении адреса ведомого УАППО.

0: Соответствующий бит регистра SADDR0 «не имеет значения».

1: Соответствующий бит регистра SADDR0 участвует в сравнении с принятым адресом.

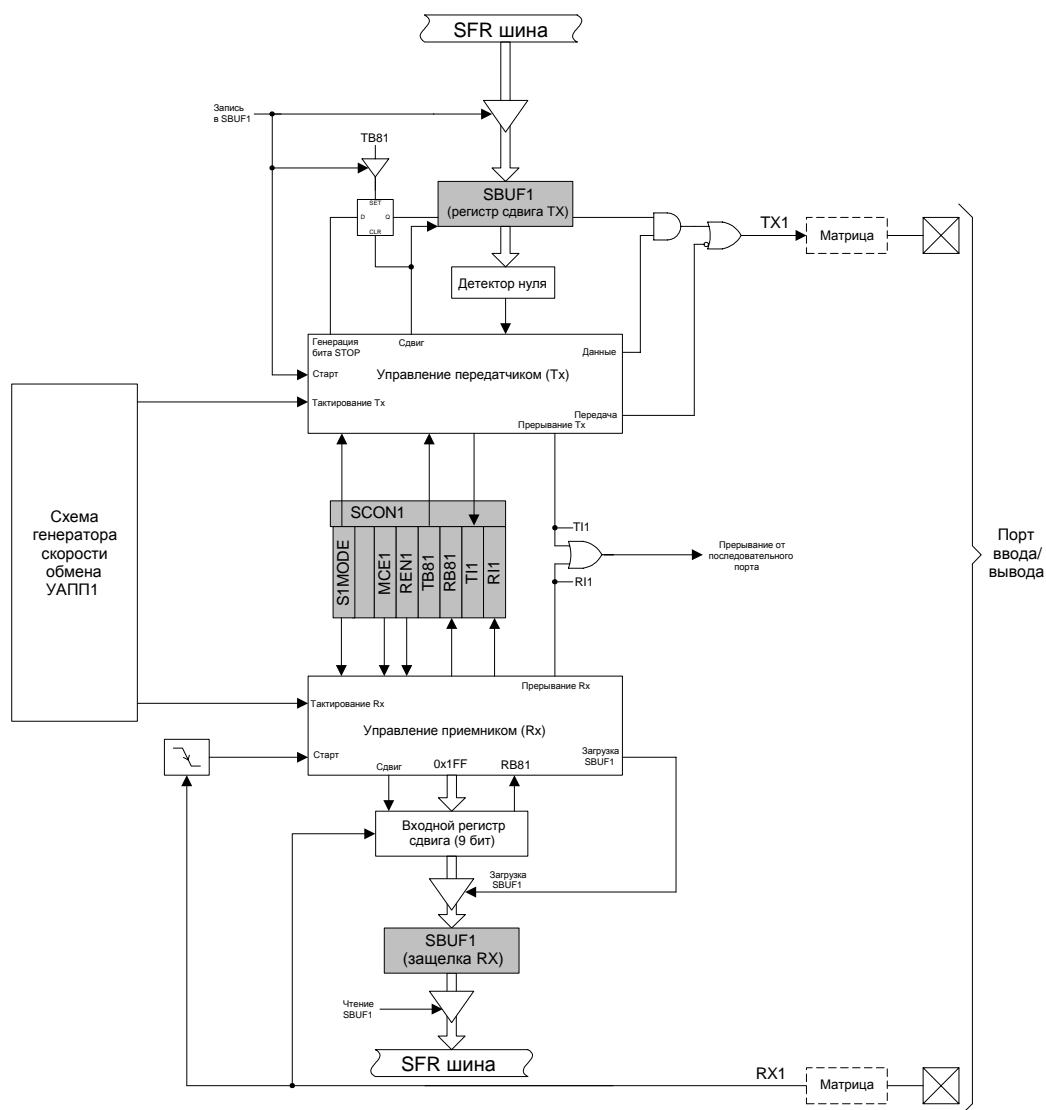
23. УАПП1

УАПП1 представляет собой асинхронный полнодуплексный последовательный порт, способный работать в режимах 1 и 3 стандартного (для архитектуры 8051) УАПП. Поддержка усовершенствованного режима генерации скорости передачи данных позволяет использовать для генерации стандартных скоростей обмена различные источники тактирования (см. раздел 23.1). Буферизация принимаемых данных позволяет УАПП1 начать прием второго входящего байта данных до того, как программа закончит чтение предыдущего байта данных.

С работой УАПП1 связаны следующие регистры специального назначения: регистр управления УАПП1 (SCON1) и буфер данных УАПП1 (SBUF1). Одна и та же ячейка памяти, адресуемая как SBUF1, обеспечивает доступ и к регистру передатчика, и к регистру приемника. При чтении регистра SBUF1 осуществляется доступ к регистру приемника, а при записи регистра SBUF1 - к регистру передатчика.

Если прерывания от модуля УАПП1 разрешены, то запрос прерывания генерируется при завершении передачи байта данных (установка в 1 флага TI1 в регистре SCON1) или при получении байта данных (установка в 1 флага RI1 в регистре SCON1). Флаги прерываний от УАПП1 не сбрасываются аппаратно при переходе к процедуре обслуживания прерывания. Они должны сбрасываться программно. Это позволяет программе определить причину, вызвавшую прерывание от УАПП1 (завершение передачи или завершение приема).

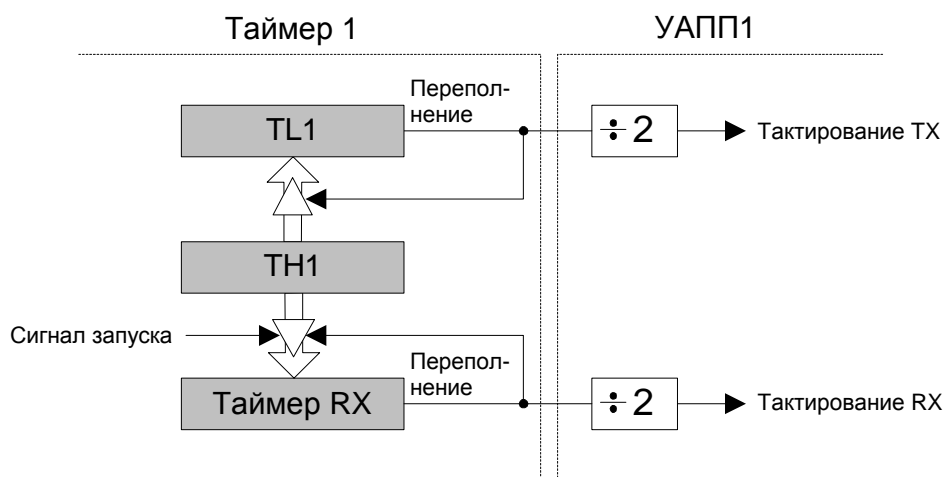
Рисунок 23.1. Структурная схема УАПП1



23.1. Усовершенствованный режим генерации скорости передачи данных.

Скорость передачи данных УАПП1 генерируется Таймером 1, работающим в 8-разрядном режиме с автоперезагрузкой. Частота передатчика (TX) определяется переполнением регистра TL1; частота приемника определяется переполнением регистра-копии регистра TL1 (обозначенного как «RX-Таймер» на рис.23.2), который недоступен из программы пользователя. Скорость передачи данных передатчика и приемника равна деленной на два частоте переполнения регистров TL1 и RX-Таймер соответственно. RX-Таймер работает тогда, когда включен Таймер 1 и использует то же самое значение перезагрузки (TH1). Однако перезагрузка регистра RX-Таймер происходит в тот момент, когда на выводе RX обнаруживается событие START. Это позволяет начать прием данных в любой момент при обнаружении события START, независимо от состояния Таймера TX.

Рисунок 23.2. Логика генератора скорости передачи данных УАПП1



Таймер 1 следует настроить для работы в режиме 2, т.е. как 8-разрядный таймер с автоперезагрузкой (см. раздел 24.1.3). Значение перезагрузки Таймера 1 следует установить таким образом, чтобы частота переполнений таймера была в два раза больше необходимой скорости передачи данных. Частота тактового сигнала Таймера 1 может быть одной из следующих:

- 1) SYSCLK;
- 2) SYSCLK/4;
- 3) SYSCLK/12;
- 4) SYSCLK/48;
- 5) Частота внешнего генератора / 8.

Для любой из этих частот скорость передачи данных УАПП1 определяется из уравнения 23.1.

Уравнение 23.1. Скорость передачи данных УАПП1

$$\text{Скорость передачи данных УАПП1} = T1_{CLK} / ((256 - T1H) \times 2),$$

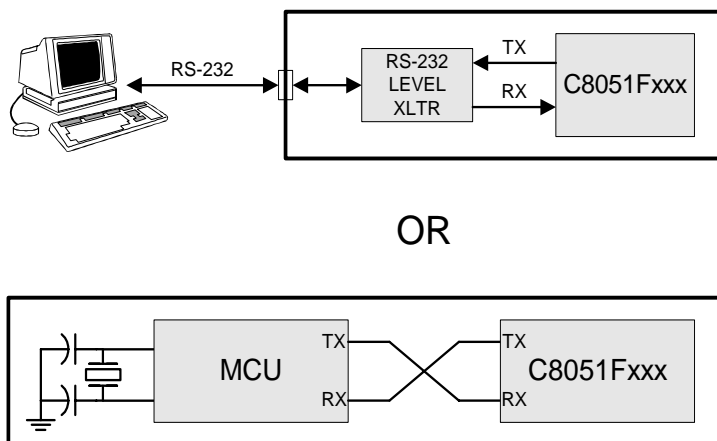
где $T1_{CLK}$ – частота тактирования Таймера 1;
 $T1H$ – старший байт Таймера 1 (значение перезагрузки).

Выбор частоты тактирования Таймера 1 описан в разделе 24.1. В таблицах 23.1 – 23.6 приведены системные параметры для стандартных скоростей обмена при различных частотах системного тактового сигнала. Следует отметить, что внутренний генератор может генерировать системный тактовый сигнал, в то время как сигнал от внешнего генератора подается на Таймер 1 (подробнее см. раздел 24.1).

23.2. Режимы работы УАПП

УАПП обеспечивает стандартный асинхронный полнодуплексный обмен данными. Режим работы УАПП (8-разрядный или 9-разрядный) выбирается при помощи бита S1MODE (SCON1.7). Типичные варианты использования УАПП приведены на рисунке ниже.

Рисунок 23.3. Примеры использования УАПП



OR

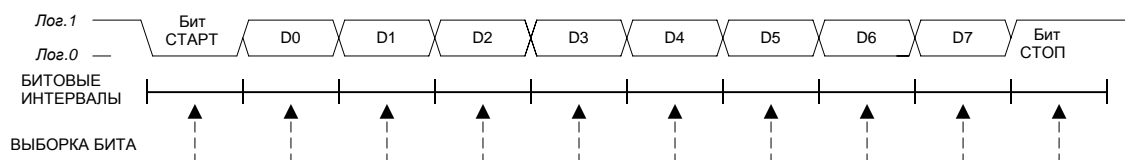
23.2.1. 8-разрядный УАПП.

В режиме 8-разрядного УАПП для передачи одного байта данных используются 10 бит: один стартовый бит, восемь бит данных (МЗР вперед) и один стоповый бит. Данные передаются МЗР вперед через внешний вывод TX1 и принимаются через внешний вывод RX1. При приеме в регистре SBUF1 сохраняются восемь бит данных, а бит RB81 (SCON1.2) принимает значение стопового бита.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF1. Флаг прерывания от передатчика TI1 (SCON1.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN1 (SCON1.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF1, если соблюдаются следующие условия: RI1 должен быть равен лог.0, и, если MCE1 = 1, то стоповый бит должен быть равен лог.1. В случае переполнения буфера приемника первые принятые 8 бит данных загружаются в регистр приемника SBUF1, а биты данных, вызвавшие переполнение, теряются.

Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF1, стоповый бит сохраняется в бите RB81 и устанавливается в 1 флаг RI1. Если эти условия не соблюдаются, то SBUF1 и RB81 не будут загружаться и флаг RI1 не устанавливается. При установке флагов TI1 или RI1 будет сгенерировано прерывание, если оно разрешено.

Рисунок 23.4. Временные диаграммы в режиме 8-разрядного УАПП

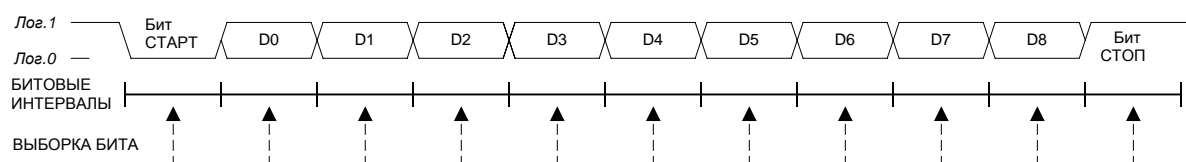


23.2.2. 9-разрядный УАПП.

В режиме 9-разрядного УАПП для передачи одного байта данных используются 11 бит: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. При передаче значение девятого бита данных определяется значением бита TB81 (SCON1.3), который устанавливается/сбрасывается программой пользователя. Значение девятого бита может соответствовать значению флага четности P регистра PSW или использоваться для организации связи с несколькими МК. При приеме значение девятого бита сохраняется в бите RB81 (SCON1.2), а стоповый бит игнорируется.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF1. Флаг прерывания от передатчика TI1 (SCON1.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN1 (SCON1.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF1, если соблюдаются следующие условия: RI1 должен быть равен лог.0, и, если MCE1 = 1, то стоповый бит должен быть равен лог.1 (когда MCE = 0 состояние девятого бита данных не имеет значения). Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF1, девятый бит данных сохраняется в бите RB81 и устанавливается в 1 флаг RI1. Если эти условия не соблюдаются, то SBUF1 и RB81 не будут загружаться и флаг RI1 не будет устанавливаться. При установке флагов TI1 или RI1 будет сгенерировано прерывание от модуля УАПП1, если оно разрешено.

Рисунок 23.5. Временные диаграммы в режиме 9-разрядного УАПП



23.3. Поддержка связи с несколькими МК

9-разрядный режим УАПП поддерживает мультимикроконтроллерный обмен данными между ведущим МК и одним или несколькими ведомыми МК, для чего особым образом используется девятый бит данных. Когда ведущий МК хочет передать данные одному или нескольким ведомым МК, он прежде всего посылает байт адреса, чтобы выбрать конкретное(-ые) устройство(-а). Адресный байт отличается от байта данных тем, что его девятый бит равен лог.1; в байте данных девятый бит всегда равен лог.0.

Установка в 1 бита MCE1 (SCON1.5) ведомого МК настраивает его модуль УАПП1 таким образом, что при получении стопового бита УАПП1 будет генерировать прерывание только в том случае, если принятый девятый бит равен лог.1 ($RB81 = 1$), уведомляя тем самым систему о том, что принят адресный байт. В процедуре обработки прерывания от УАПП1 необходимо сравнить принятый адрес с собственным 8-разрядным адресом ведомого. Если эти адреса совпадают, ведомый МК должен сбросить в 0 свой бит MCE, чтобы разрешить генерацию прерываний при получении следующих байтов данных. Ведомые МК, которые не были адресованы, оставляют свои биты MCE равными 1 и не генерируют запросов прерываний при получении следующих байтов данных, т.е. игнорируют их. После того, как все сообщение получено, адресованный ведомый МК устанавливает в 1 бит MCE, чтобы игнорировать все послыки до получения следующего адресного байта.

Одному ведомому устройству можно назначить несколько адресов и/или один адрес можно назначить нескольким ведомым устройствам, поэтому возможна “широковещательная” передача данных более чем одному ведомому устройству одновременно. Ведущий процессор можно настроить на прием всех сообщений или протокол обмена можно реализовать таким образом, чтобы временно менять местами ведущего и ведомого, обеспечив тем самым полудуплексный обмен данными между истинным ведущим и ведомым(-и).

Рисунок 23.6. Пример использования УАПП в многопроцессорном режиме

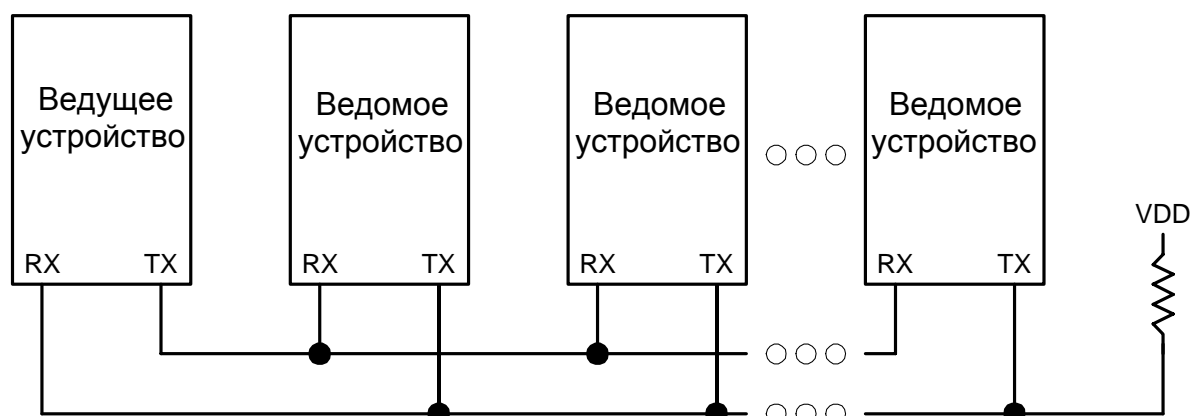


Рисунок 23.7. SCON1: Регистр управления УАПП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 01000000
S1MODE	-	MCE1	REN1	TB81	RB81	TI1	RI1	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x98 SFR страница: 1

Бит 7: S1MODE: Режим работы УАПП1.

Этот бит выбирает режим работы УАПП1.

0: Режим 0: 8-разрядный УАПП с изменяемой скоростью передачи данных.

1: Режим 1: 9-разрядный УАПП с изменяемой скоростью передачи данных.

Бит 6: Не используется. Читается как 1b. Запись не имеет значения.

Бит 5: MCE1: Разрешение поддержки мультимикроконтроллерного взаимодействия.

Функционирование этого бита зависит от режима работы УАПП1.

S1MODE = 0: Проверка корректности стопового бита.

0: Логический уровень стопового бита игнорируется.

1: Флаг RI1 будет установлен только в том случае, если стоповый бит равен лог.1.

S1MODE = 1: Разрешение поддержки мультипроцессорного взаимодействия.

0: Логический уровень девятого бита игнорируется.

1: Флаг RI1 устанавливается и прерывание генерируется только в том случае, если девятый бит равен лог.1.

Бит 4: REN1: Разрешение приема.

Этот бит включает/отключает приемник УАПП1.

0: Прием данных модулем УАПП1 запрещен.

1: Прием данных модулем УАПП1 разрешен.

Бит 3: TB81: Девятый бит передаваемых данных.

Значение этого бита будет передано в качестве девятого бита данных в 9-разрядном режиме работы УАПП1. В 8-разрядном режиме работы УАПП1 этот бит не используется. Бит TB81 устанавливается и сбрасывается программно.

Бит 2: RB81: Девятый бит принимаемых данных.

Этот бит принимает значение полученного стопового бита в режиме 0. В режиме 1 бит RB81 принимает значение девятого бита данных.

Бит 1: TI1: Флаг прерывания от передатчика УАПП1.

Устанавливается в 1 аппаратно по окончании передачи байта данных (после передачи 8-го бита в режиме 0, или в начале передачи стопового бита в режиме 1). Если прерывание от УАПП1 разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП1. Этот бит должен сбрасываться программно.

Бит 0: RI1: Флаг прерывания от приемника УАПП1.

Устанавливается в 1 аппаратно при приеме байта данных (Устанавливается в момент выборки стопового бита). Если прерывание от УАПП1 разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП1. Этот бит должен сбрасываться программно.



Рисунок 23.8. SBUF1: Регистр буфера данных УАПП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0x99
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR страница: 1
Биты 7-0: SBUF1.[7:0]: Биты (7-0) буфера данных УАПП1 (СЗР - МЗР)								
На самом деле именем SBUF1 обозначаются два регистра: буфер передатчика и буфер приемника. Когда данные помещаются в регистр SBUF1, они записываются в буфер передатчика и сохраняются для последовательной передачи. Запись данных в SBUF1 инициирует передачу. Когда данные извлекаются из регистра SBUF1, они считываются из буфера приемника.								

Таблица 23.1. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внутреннего генератора

Частота: 24,5 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внутреннего генератора	230400	-0,32%	106	SYSCLK	XX	1	0xCB
	115200	-0,32%	212	SYSCLK	XX	1	0x96
	57600	0,15%	426	SYSCLK	XX	1	0x2B
	28800	-0,32%	848	SYSCLK/4	01	0	0x96
	14400	0,15%	1704	SYSCLK/12	00	0	0xB9
	9600	-0,32%	2544	SYSCLK/12	00	0	0x96
	2400	-0,32%	10176	SYSCLK/48	10	0	0x96
	1200	0,15%	20448	SYSCLK/48	10	0	0x2B

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 24.1.

Таблица 22.2. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 25,0 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	-0,47%	108	SYSCLK	XX	1	0xCA
	115200	0,45%	218	SYSCLK	XX	1	0x93
	57600	-0,01%	434	SYSCLK	XX	1	0x27
	28800	0,45%	872	SYSCLK/4	01	0	0x93
	14400	-0,01%	1736	SYSCLK/4	01	0	0x27
	9600	0,15%	2608	EXTCLK/8	11	0	0x5D
	2400	0,45%	10464	SYSCLK/48	10	0	0x93
	1200	-0,01%	20832	SYSCLK/48	10	0	0x27
SYSCLK от внутреннего генератора	57600	-0,47%	432	EXTCLK/8	11	0	0xE5
	28800	-0,47%	864	EXTCLK/8	11	0	0xCA
	14400	0,45%	1744	EXTCLK/8	11	0	0x93
	9600	0,15%	2608	EXTCLK/8	11	0	0x5D

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 24.1.

Таблица 23.3. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 22,1184 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	0,00%	96	SYSCLK	XX	1	0xD0
	115200	0,00%	192	SYSCLK	XX	1	0xA0
	57600	0,00%	384	SYSCLK	XX	1	0x40
	28800	0,00%	768	SYSCLK/12	00	0	0xE0
	14400	0,00%	1536	SYSCLK/12	00	0	0xC0
	9600	0,00%	2304	SYSCLK/12	00	0	0xA0
	2400	0,00%	9216	SYSCLK/48	10	0	0xA0
	1200	0,00%	18432	SYSCLK/48	10	0	0x40
SYSCLK от внутреннего генератора	230400	0,00%	96	EXTCLK/8	11	0	0xFA
	115200	0,00%	192	EXTCLK/8	11	0	0xF4
	57600	0,00%	384	EXTCLK/8	11	0	0xE8
	28800	0,00%	768	EXTCLK/8	11	0	0xD0
	14400	0,00%	1536	EXTCLK/8	11	0	0xA0
	9600	0,00%	2304	EXTCLK/8	11	0	0x70

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 24.1.

Таблица 23.4. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 18,432 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	0,00%	80	SYSCLK	XX	1	0xD8
	115200	0,00%	160	SYSCLK	XX	1	0xB0
	57600	0,00%	320	SYSCLK	XX	1	0x60
	28800	0,00%	640	SYSCLK/4	01	0	0xB0
	14400	0,00%	1280	SYSCLK/4	01	0	0x60
	9600	0,00%	1920	SYSCLK/12	00	0	0xB0
	2400	0,00%	7680	SYSCLK/48	10	0	0xB0
	1200	0,00%	15360	SYSCLK/48	10	0	0x60
SYSCLK от внутреннего генератора	230400	0,00%	80	EXTCLK/8	11	0	0xFB
	115200	0,00%	160	EXTCLK/8	11	0	0xF6
	57600	0,00%	320	EXTCLK/8	11	0	0xEC
	28800	0,00%	640	EXTCLK/8	11	0	0xD8
	14400	0,00%	1280	EXTCLK/8	11	0	0xB0
	9600	0,00%	1920	EXTCLK/8	11	0	0x88

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 24.1.

Таблица 23.5. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 11,0592 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	0,00%	48	SYSCLK	XX	1	0xE8
	115200	0,00%	96	SYSCLK	XX	1	0xD0
	57600	0,00%	192	SYSCLK	XX	1	0xA0
	28800	0,00%	384	SYSCLK	XX	1	0x40
	14400	0,00%	768	SYSCLK/12	00	0	0xE0
	9600	0,00%	1152	SYSCLK/12	00	0	0xD0
	2400	0,00%	4608	SYSCLK/12	00	0	0x40
	1200	0,00%	9216	SYSCLK/48	10	0	0xA0
SYSCLK от внутреннего генератора	230400	0,00%	48	EXTCLK/8	11	0	0xFD
	115200	0,00%	96	EXTCLK/8	11	0	0xFA
	57600	0,00%	192	EXTCLK/8	11	0	0xF4
	28800	0,00%	384	EXTCLK/8	11	0	0xE8
	14400	0,00%	768	EXTCLK/8	11	0	0xD0
	9600	0,00%	1152	EXTCLK/8	11	0	0xB8

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 24.1.

Таблица 23.6. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 3,6864 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	0,00%	16	SYSCLK	XX	1	0xF8
	115200	0,00%	32	SYSCLK	XX	1	0xF0
	57600	0,00%	64	SYSCLK	XX	1	0xE0
	28800	0,00%	128	SYSCLK	XX	1	0xC0
	14400	0,00%	256	SYSCLK	XX	1	0x80
	9600	0,00%	384	SYSCLK	XX	1	0x40
	2400	0,00%	1536	SYSCLK/12	00	0	0xC0
	1200	0,00%	3072	SYSCLK/12	00	0	0x80
SYSCLK от внутреннего генератора	230400	0,00%	16	EXTCLK/8	11	0	0xFF
	115200	0,00%	32	EXTCLK/8	11	0	0xFE
	57600	0,00%	64	EXTCLK/8	11	0	0xFC
	28800	0,00%	128	EXTCLK/8	11	0	0xF8
	14400	0,00%	256	EXTCLK/8	11	0	0xF0
	9600	0,00%	384	EXTCLK/8	11	0	0xE8

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 24.1.

24. ТАЙМЕРЫ

Каждый МК содержит пять таймеров/счетчиков (Т/С). Таймер 0 и Таймер 1 представляют собой 16-разрядные Т/С, совместимые с Т/С стандартной архитектуры 8051. Таймер 2, Таймер 3 и Таймер 4 представляют собой 16-разрядные Т/С с режимами автоперезагрузки и захвата, предназначенные для использования совместно с модулями АЦП, ЦАП, для генерации прямоугольных импульсов, а также в качестве Т/С общего назначения. Эти Т/С можно использовать для измерения временных интервалов, подсчета внешних событий, а также для генерации периодических запросов прерываний. Таймер 0 и Таймер 1 почти идентичны и имеют четыре основных режима работы. Таймеры 2, 3 и 4 одинаковы и обеспечивают не только 16-разрядные режимы автоперезагрузки и захвата, но позволяют также генерировать прямоугольный сигнал с 50% скважностью на внешнем выводе порта (переключаемый выход).

Режимы Таймера 0 и Таймера 1:	Режимы Таймеров 2, 3 и 4:
13-разрядный Т/С	16-разрядный Т/С с автоперезагрузкой
16-разрядный Т/С	16-разрядный Т/С с захватом
8-разрядный Т/С с автоперезагрузкой	Переключаемый выход
Два 8-разрядных Т/С (только Таймер 0)	

Таймеры 0 и 1 могут тактироваться от одного из пяти источников, выбор которых осуществляется с помощью битов выбора режима таймера (T1M – T0M) и битов выбора коэффициента деления тактовой частоты (SCA1 – SCA0). Биты выбора коэффициента деления тактовой частоты настраивают предварительный делитель тактовой частоты, сигнал с выхода которого может использоваться для тактирования Таймера 0 и/или Таймера 1 (см. рис. 24.6). В качестве сигнала тактирования Таймеров 0 и 1 можно выбрать либо сигнал с выхода предварительного делителя тактовой частоты, либо системный тактовый сигнал. Таймеры 2, 3 и 4 могут тактироваться либо системным тактовым сигналом, либо системным тактовым сигналом, деленным по частоте на 12, либо сигналом от внешнего генератора тактовых импульсов, деленным по частоте на 8.

Таймер 0 и Таймер 1 могут также функционировать как счетчики. В этом случае регистр таймера/счетчика инкрементируется под воздействием каждого перехода внешнего сигнала на выбранном входном выводе из состояния лог. 1 в состояние лог. 0. Могут подсчитываться импульсы с частотой до 1/4 системной тактовой частоты. Входной сигнал не обязательно должен быть периодическим, однако он должен удерживаться на заданном уровне как минимум в течение двух полных системных тактовых циклов, чтобы гарантировать его корректную выборку.

24.1. Таймер 0 и Таймер 1

Каждый таймер реализован в виде 16-разрядного регистра, доступного как два отдельных байта: младший байт (TL0 или TL1) и старший байт (TH0 или TH1). Регистр управления Т/С (TCON) используется для включения Таймера 0 и Таймера 1, а также для индикации их состояния. Прерывания от Таймера 0 можно включить установкой в 1 бита ET0 в регистре IE (см. раздел «13.3.5 Описание регистра прерываний»); прерывания от Таймера 1 можно включить установкой в 1 бита ET1 в регистре IE (см. раздел 13.3.5). Оба таймера/счетчика работают в одном из четырех основных режимов, задаваемых битами выбора режима T1M1-T0M0 в регистре режима Т/С (TMOD). Каждый Т/С может быть настроен независимо от другого.

24.1.1. Режим 0: 13-разрядный таймер/счетчик

В режиме 0 Таймеры 0 и 1 работают как 13-разрядный таймер/счетчик. Ниже приводится описание настройки и функционирования Таймера 0. Однако, оба таймера идентичны, и Таймер 1 настраивается точно так же, как и Таймер 0.

Регистр TH0 содержит восемь старших бит 13-разрядного значения регистра Т/С. Регистр TL0 содержит в разрядах TL0.4-TL0.0 пять младших бит 13-разрядного значения регистра Т/С. Три старших бита регистра TL0 (TL0.7-TL0.5) не определены и должны маскироваться или игнорироваться при чтении регистра TL0. При инкрементировании 13-разрядного таймера и переполнении его из состояния 0x1FFF (все единицы) в состояние 0x0000 устанавливается в 1 флаг переполнения таймера TF0 (TCON.5) и будет сгенерировано прерывание, если оно разрешено.

Бит C/T0 (TMOD.2) выбирает источник сигнала тактирования Т/С0. Если бит C/T0 установлен в 1, то инкрементирование регистра таймера осуществляется под воздействием перехода внешнего сигнала на выбранном входном выводе (T0) из состояния лог. 1 в состояние лог. 0. (Подробная информация о выборе и настройке внешних выводов приведена в разделе 18.1.). Если бит C/T0 сброшен в 0, то в качестве источника тактирования Т/С0 будет использоваться сигнал, определяемый битом T0M (CKCON.3). Если бит T0M

Установка в 1 бита TR0 (TCON.4) включает таймер, если либо бит GATE0 (TMOD.3) равен нулю, либо на внешнем выводе /INT0 присутствует сигнал с высоким логическим уровнем. После установки в 1 бита GATE0 управление таймером передается внешнему сигналу /INT0 (см. раздел 13.3.5), что позволяет легко осуществлять измерение ширины импульсов.

X = не имеет значения

TL1 и TH1 образуют 13-разрядный регистр Таймера 1 точно так же, как описано выше для регистров TL0 и TH0. Для настроек Таймера 1 и управления им используются соответствующие биты регистров TCON и TMOD таким же образом, как и для Таймера 0. Входной сигнал /INT1 используется совместно с Таймером 1.

[illegible]

24.1.2. Режим 1: 16-разрядный Таймер/Счетчик

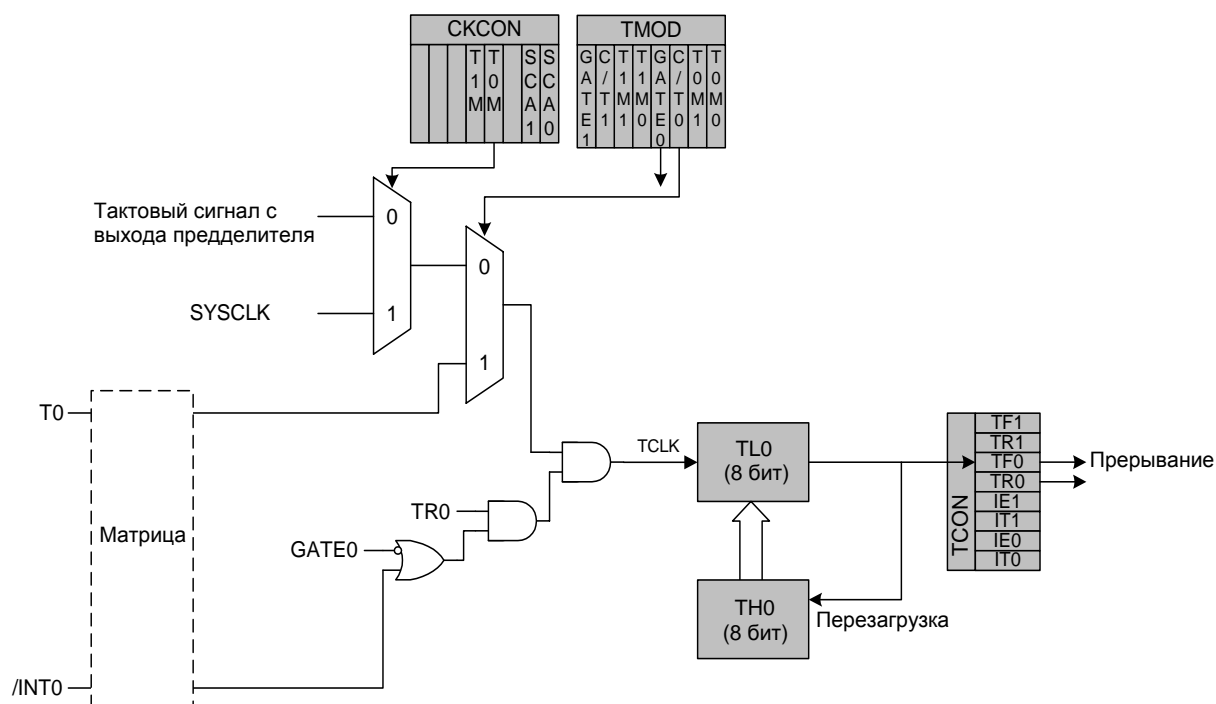
Режим 1 аналогичен режиму 0 с тем лишь исключением, что регистры Т/С используют все 16 бит. Таймеры/счетчики включаются и настраиваются в режиме 1 точно так же, как в режиме 0.

24.1.3. Режим 2: 8-разрядный таймер/счетчик с перезагрузкой

В режиме 2 Таймеры 0 и 1 настраиваются для работы в качестве 8-разрядных таймеров/счетчиков с автоматической перезагрузкой начального значения. Регистр TL0 содержит значение счетчика, а регистр TH0 содержит перезагружаемое значение. Когда счетчик в регистре TL0 переполняется (переходит из состояния 0xFF в состояние 0x00), флаг переполнения таймера TF0 (TCON.5) устанавливается в 1 и значение регистра TH0 загружается в регистр TL0. При установке флага TF0 будет сгенерировано прерывание, если оно разрешено. Перезагружаемое значение в регистре TH0 не изменяется. Чтобы первый отсчет был корректным, необходимо проинициализировать регистр TL0 требуемым значением до включения таймера. Таймер 1 в режиме 2 работает точно так же, как Таймер 0.

В режиме 2 оба Т/С включаются и настраиваются точно так же, как и в режиме 0. Установка в 1 бита TR0 (TCON.4) включит таймер, если либо бит GATE0 (TMOD.3) равен нулю, либо на внешнем выводе /INT0 присутствует сигнал с низким логическим уровнем.

Рисунок 24.2. Структурная схема Таймера 0 в режиме 2



24.1.4. Режим 3: Два 8-разрядных таймера/счетчика (только Таймер 0)

В режиме 3 Таймер 0 функционирует как два отдельных 8-разрядных таймера/счетчика TL0 и TH0. Для управления таймером/счетчиком TL0 используются биты управления/состояния Таймера 0 (в регистрах TCON и TMOD): TR0, C/T0, GATE0 и TF0. В качестве источника тактирования TL0 может использовать либо системный тактовый сигнал, либо внешний входной сигнал. Таймер/счетчик TH0 может использовать для тактирования либо системный тактовый сигнал, либо сигнал с выхода предварительного делителя. Для включения таймера/счетчика TH0 используется управляющий бит запуска Таймера 1 (TR1). Таймер/счетчик TH0 при переполнении устанавливает флаг переполнения Таймера 1 TF1 и, таким образом, управляет прерыванием от Таймера 1.

В режиме 3 Таймер 1 не активен. Если Таймер 0 функционирует в режиме 3, то Таймер 1 может работать в режимах 0, 1 или 2, но не может тактироваться внешними сигналами, устанавливать флаг TF1 и генерировать прерывание. Однако, переполнение Таймера 1 можно использовать для генерации скорости передачи данных для модулей SMBus и/или УАПЧ, а также для запуска АЦП. Пока Таймер 0 функционирует в режиме 3, управление запуском Таймера 1 осуществляется путем настройки режима его работы. Чтобы запустить Таймер 1 в то время, когда Таймер 0 функционирует в режиме 3, необходимо установить для Таймера 1 режим работы 0, 1 или 2. Чтобы отключить Таймер 1, необходимо настроить его на работу в режиме 3.

Рисунок 24.3. Структурная схема Таймера 0 в режиме 3

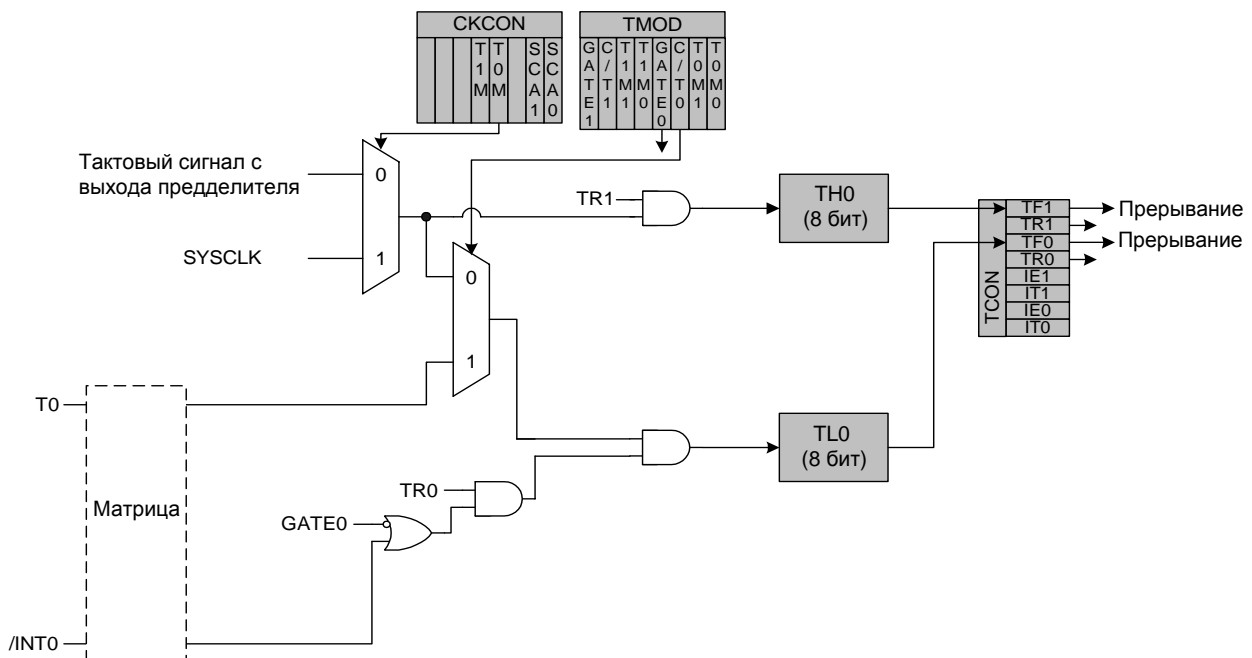


Рисунок 24.4. TCON: Регистр управления Таймерами 0 и 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	SFR Адрес: 0x88 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит 7: TF1: Флаг переполнения Таймера 1. Устанавливается аппаратно при переполнении Таймера 1. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 1, но может быть сброшен и программно. 0: Переполнения Таймера 1 не обнаружено. 1: Таймер 1 переполнился.</p> <p>Бит 6: TR1: Управление запуском Таймера 1. 0: Таймер 1 отключен. 1: Таймер 1 включен.</p> <p>Бит 5: TF0: Флаг переполнения Таймера 0. Устанавливается аппаратно при переполнении Таймера 0. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 0, но может быть сброшен и программно. 0: Переполнения Таймера 0 не обнаружено. 1: Таймер 0 переполнился.</p> <p>Бит 4: TR0: Управление запуском Таймера 0. 0: Таймер 0 отключен. 1: Таймер 0 включен.</p> <p>Бит 3: IE1: Внешнее прерывание 1. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT1) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 1 сбрасывается аппаратно, если IT1=1. При IT1=0 этот флаг является инверсией логического уровня входного внешнего сигнала /INT1.</p> <p>Бит 2: IT1: Выбор типа внешнего прерывания 1. Этот бит определяет, какое событие будет вызывать внешнее прерывание 1: срез или низкий уровень внешнего сигнала /INT1. 0: Внешнее прерывание 1 вызывается низким уровнем сигнала /INT1. 1: Внешнее прерывание 1 вызывается срезом сигнала /INT1.</p> <p>Бит 1: IE0: Внешнее прерывание 0. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT0) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 0 сбрасывается аппаратно, если IT0=1. При IT0=0 этот флаг является инверсией логического уровня входного внешнего сигнала /INT0.</p> <p>Бит 0: IT0: Выбор типа внешнего прерывания 0. Этот бит определяет, какое событие будет вызывать внешнее прерывание 0: срез или низкий уровень внешнего сигнала /INT0. 0: Внешнее прерывание 0 вызывается низким уровнем сигнала /INT0. 1: Внешнее прерывание 0 вызывается срезом сигнала /INT0.</p>								

Рисунок 24.5. TMOD: Регистр режима Таймеров 0 и 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x89 SFR страница: 0
GATE1	C/T1	T1M1	T1M0	GATE0	C/T0	T0M1	T0M0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: GATE1: Управление блокировкой Таймера 1.
 0: Таймер 1 включен, если TR1 = 1, независимо от логического уровня на входе /INT1.
 1: Таймер 1 включен только тогда, когда TR1 = 1 и на входе /INT1 высокий уровень.

Бит 6: C/T1: Выбор режима таймера или счетчика для T/C1.
 0: T/C1 работает как таймер: Таймер 1 инкрементируется от внутреннего сигнала тактирования, который задается битом T1M (CKCON.4).
 1: T/C1 работает как счетчик: Таймер 1 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T1).

Биты 5-4: T1M1-T1M0: Выбор режима работы Таймера 1.
 Эти биты определяют режим работы Таймера 1.

T1M1	T1M0	Режим
0	0	Режим 0: 13-разрядный таймер/счетчик
0	1	Режим 1: 16-разрядный таймер/счетчик
1	0	Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой
1	1	Режим 3: Таймер 1 не активен/остановлен

Бит 3: GATE0: Управление блокировкой Таймера 0.
 0: Таймер 0 включен, если TR0 = 1, независимо от логического уровня на входе /INT0.
 1: Таймер 0 включен только тогда, когда TR0 = 1 и на входе /INT0 высокий уровень.

Бит 2: C/T0: Выбор режима таймера или счетчика для T/C0.
 0: T/C0 работает как таймер: Таймер 0 инкрементируется от внутреннего сигнала тактирования, который задается битом T0M (CKCON.3).
 1: T/C0 работает как счетчик: Таймер 0 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T0).

Биты 1-0: T0M1-T0M0: Выбор режима работы Таймера 0.
 Эти биты определяют режим работы Таймера 0.

T0M1	T0M0	Режим
0	0	Режим 0: 13-разрядный таймер/счетчик
0	1	Режим 1: 16-разрядный таймер/счетчик
1	0	Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой
1	1	Режим 3: Два 8-разрядных таймера/счетчика

Рисунок 24.6. СКCON: Регистр управления тактированием

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	-	T1M	T0M	-	SCA1	SCA0	SFR Адрес: 0x8E SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7-5: Не используются. Читаются как 000b. Запись не имеет значения.

Бит 4: T1M: Выбор источника тактирования для Таймера 1.
Этот бит определяет, какой тактовый сигнал будет подаваться на Таймер 1. Бит T1M игнорируется, если C/T1 = 1.
0: Для тактирования Таймера 1 используется сигнал, определяемый битами настройки предварительного делителя (SCA1 – SCA0).
1: Таймер 1 тактируется системным тактовым сигналом.

Бит 3: T0M: Выбор источника тактирования для Таймера 0.
Этот бит определяет, какой тактовый сигнал будет подаваться на Таймер 0. Бит T0M игнорируется, если C/T0 = 1.
0: Для тактирования Таймера 0 используется сигнал, определяемый битами настройки предварительного делителя (SCA1 – SCA0).
1: Таймер 0 тактируется системным тактовым сигналом.

Бит 2: Не используется. Читается как 0b. Запись не имеет значения.

Биты 1-0: SCA1–SCA0: Биты выбора коэффициента деления для частоты тактирования Таймеров 0 и 1.
Эти биты управляют делением частоты сигнала тактирования, подаваемого на Таймер 0 и/или Таймер 1, если они настроены на использование предварительного делителя.

SCA1	SCA0	Тактовый сигнал
0	0	SYSCLK/12
0	1	SYSCLK/4
1	0	SYSCLK/48
1	1	EXTCLK/8*

*Примечание: Для работы таймера в этом режиме необходимо, чтобы внешний сигнал с частотой EXTCLK/8 был синхронизирован с системным тактовым сигналом и выполнялось условие $EXTCLK/8 \leq SYSCLK$.

Рисунок 24.7. TL0: Младший байт Таймера 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8A SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TL0: Младший байт Таймера 0.
Регистр TL0 является младшим байтом 16-разрядного Таймера 0.

Рисунок 24.8. TL1: Младший байт Таймера 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8B SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TL1: Младший байт Таймера 1.
Регистр TL1 является младшим байтом 16-разрядного Таймера 1.

Рисунок 24.9. TH0: Старший байт Таймера 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8C SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TH0: Старший байт Таймера 0.
Регистр TH0 является старшим байтом 16-разрядного Таймера 0.

Рисунок 24.10. TH1: Старший байт Таймера 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8D SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TH1: Старший байт Таймера 1.
Регистр TH1 является старшим байтом 16-разрядного Таймера 1.

24.2. Таймер 2, Таймер 3 и Таймер 4

Таймеры 2, 3, 4 представляют собой 16-разрядные таймеры/счетчики, образованные двумя SFR регистрами: TMRnL (младший байт) и TMRnH (старший байт), где $n = 2, 3, 4$ для Таймеров 2, 3, 4 соответственно. Эти таймеры поддерживают режимы автоперезагрузки, захвата и переключаемого выхода с возможностью реверсивного счета. Режимы захвата и автоперезагрузки выбираются с помощью соответствующих битов в регистрах управления Таймерами 2, 3 и 4 (TMRnCN). Режим переключаемого выхода выбирается с помощью регистров конфигурации Таймеров 2, 3, 4 (TMRnCF). Эти таймеры можно также использовать для генерации прямоугольного сигнала на внешнем выводе. В качестве источника сигнала тактирования Таймеров 2, 3, 4 можно использовать либо системный тактовый сигнал (деленный по частоте на 1, 2 или 12), либо внешний тактовый сигнал (деленный по частоте на 8), либо фронт входного сигнала на внешнем выводе. Таймеры 2 и 3 можно использовать для запуска АЦП. Переполнение Таймеров 2, 3 и 4 можно использовать для определения момента обновления выходного сигнала ЦАП. Таймеры 1, 2, 3 и 4 можно использовать для генерации скорости передачи данных УАППО. Только Таймер 1 можно использовать для генерации скорости передачи данных УАППИ.

Бит выбора режима Таймер/Счетчик C/Tn (TMRnCN.1) настраивает соответствующий периферийный модуль на работу в режиме таймера или счетчика. Если C/Tn = 0, то Таймер n будет работать в режиме таймера (т.е. на вход таймера будет подаваться системный тактовый сигнал или фронт внешнего сигнала). Если C/Tn = 1, то Таймер n будет работать в режиме счетчика (т.е. регистр таймера/счетчика будет инкрементироваться (или декрементироваться) по срезу внешнего сигнала на выводе Tn). Информация о выборе и настройке внешних выводов портов (в том числе и выводов Tn) приведена в разделе 18.1.

Если Таймер n функционирует как таймер/счетчик с режимом захвата, то в качестве сигнала тактирования можно использовать либо SYSCLK, либо SYSCLK/2, либо SYSCLK/12, либо внешний тактовый сигнал, деленный по частоте на 8, либо срез внешнего сигнала на входе Tn. Если бит C/Tn (TMRnCN.1) сброшен в 0, то на вход Таймера n будет подан системный/внешний тактовый сигнал. Биты TnM0 и TnM1 в регистре TMRnCF определяют коэффициент деления этого тактового сигнала: SYSCLK, SYSCLK/2, SYSCLK/12, либо EXTCLK/8 (см. рис. 24.14). Если бит C/Tn установлен в 1, то переход внешнего сигнала на выводе Tn из состояния лог.1 в состояние лог.0 (т.е. срез) будет вызывать инкремент регистра таймера/счетчика (т.е. Таймер n функционирует как счетчик).

24.2.1. Работа Таймеров 2, 3 и 4 в режиме обратного отсчета

Таймеры 2, 3, 4 могут функционировать в режиме обратного отсчета. Если бит разрешения декрементирования (DCEN) соответствующего таймера в регистре конфигурации таймера (см. рис. 24.14) установлен в 1, то этот таймер может считать в обоих направлениях. Если DCEN = 1, то направление отсчета таймера определяется логическим уровнем на внешнем выводе TnEX. Если TnEX = 1, то таймер/счетчик будет считать в прямом направлении; если TnEX = 0, то таймер/счетчик будет считать в обратном направлении. Чтобы использовать эту функцию, необходимо подключить вывод TnEX с помощью цифровой матрицы и настроить его как цифровой вход.

Примечание: Если DCEN = 1, то другие функции входа TnEX (т.е. захват и автоперезагрузка) недоступны. Если DCEN = 0, то TnEX будет только управлять направлением отсчета таймера.

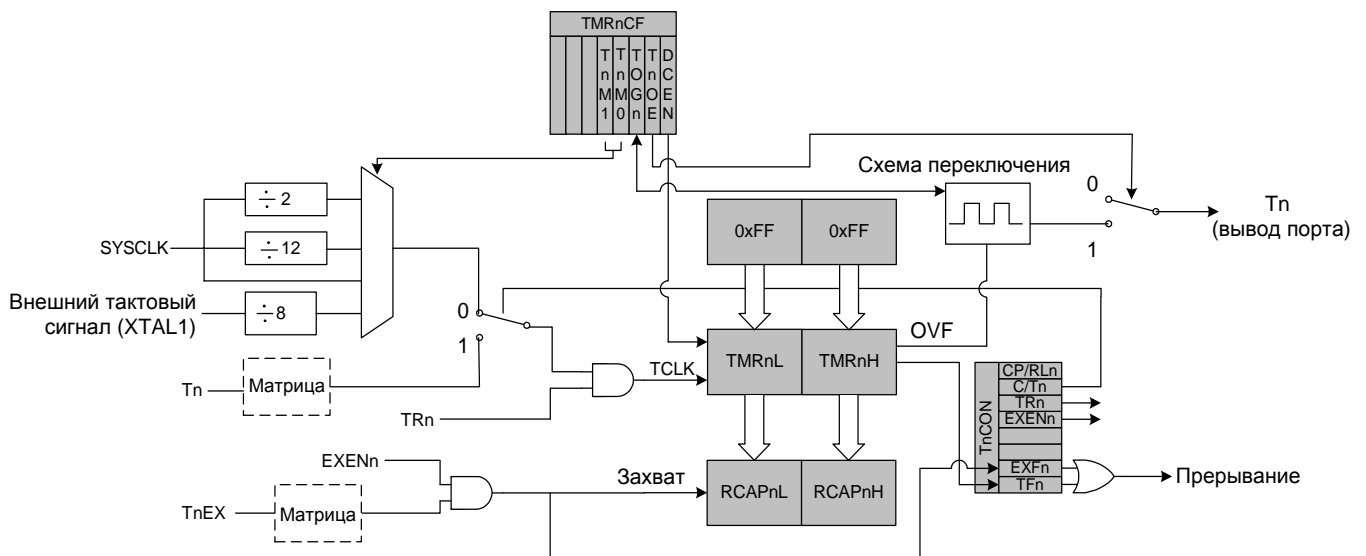
24.2.2. Режим захвата

В режиме захвата Таймер n функционирует как 16-разрядный таймер/счетчик с возможностью захвата. Если бит разрешения внешнего сигнала таймера в регистре TMRnCN установлен в 1, то при переходе внешнего сигнала на входном выводе TnEX из состояния лог.1 в состояние лог.0 произойдет загрузка 16-разрядного значения из регистров Таймера n (TMRnH, TMRnL) в регистры захвата (RCAPnH, RCAPnL). При этом будет установлен в 1 флаг внешнего входного сигнала Таймера n EXFn (TMRnCN.6) и будет сгенерировано прерывание, если оно разрешено. Дополнительная информация относительно настройки источников прерываний приведена в разделе «13.3 Обработка прерываний».

Если при инкрементировании 16-разрядного регистра таймера TMRnH : TMRnL происходит его переполнение, то устанавливается в 1 флаг переполнения/опустошения таймера TFn (TMRnCN.7) и произойдет прерывание, если оно разрешено. Таймер может считать в обратном направлении, если бит разрешения декрементирования DCEN = 1. Если при декрементировании регистра таймера произойдет его опустошение (т.е. переход из состояния 0x0000 в состояние 0xFFFF), то в этом случае, как и при переполнении, устанавливается в 1 флаг переполнения/опустошения таймера TFn (TMRnCN.7) и произойдет прерывание, если оно разрешено.

Режим таймера/счетчика с захватом выбирается установкой в 1 бита выбора режима захват/перезагрузка CP/RLn (TMRnCN.0) и бита управления запуском Таймера n TRn (TMRnCN.2). Для включения захвата бит разрешения внешнего сигнала для Таймера n EXENn (TMRnCN.3) также должен быть установлен в 1. Если бит EXENn сброшен в 0, то переходы внешнего сигнала на входном выводе TnEX будут игнорироваться.

Рисунок 24.11. Структурная схема Таймера n в режиме захвата



24.2.4. Режим инвертирования выхода

Таймер n имеет возможность переключать (инвертировать) состояние соответствующего ему выходного вывода порта (T2, T3 или T4) и таким образом генерировать на этом выводе прямоугольные импульсы с 50% скважностью. Состояние вывода порта будет изменяться при переполнении или опустошении соответствующего таймера (в зависимости от направления счета таймера). Частота переключений определяется частотой тактирования таймера и значениями, загруженными в регистры RCAPnH и RCAPnL. Если таймер считает в обратном направлении, то значением перезагрузки таймера является значение 0xFFFF и опустошение будет происходить в тот момент, когда значение регистров таймера станет равно значению регистров RCAPnH и RCAPnL. Если таймер считает в прямом направлении, то значением перезагрузки таймера является значение, содержащееся в регистровой паре RCAPnH : RCAPnL и переполнение будет происходить в тот момент, когда значение регистров таймера изменится из состояния 0xFFFF на значение перезагрузки.

Чтобы генерировать прямоугольные импульсы, таймер переводится в режим перезагрузки (бит выбора режима Захват/Перезагрузка и бит выбора режима Таймер/Счетчик сбрасываются в 0). Выход таймера подключается путем установки в 1 бита разрешения выхода таймера в регистре TMRnCF. Необходимо таким образом выбрать источник тактирования и значения перезагрузки/опустошения таймера, чтобы он переполнялся/опустошался с частотой, равной половине требуемой частоты выходного сигнала. Вывод порта, назначенный матрицей выходом таймера, следует настроить как цифровой выход (см. раздел 18). Установка в 1 бита запуска таймера (TRn) запустит процесс генерации прямоугольного сигнала на выходном выводе. Чтение/запись бита состояния переключаемого выхода таймера (TMRnCF.2) используется для считывания состояния переключаемого выхода или для принудительной установки на выходе требуемого значения. Это полезно в том случае, если требуется запустить процесс переключения выходного сигнала с определенного начального состояния или если во время останова процесса переключения требуется перевести сигнал на выходном выводе в определенное состояние.

Уравнение 24.1 Частота прямоугольных импульсов

$$F_{sq} = F_{TCLK} / (2 \times (65535 - RCAPn))$$

Рисунок 24.13. TMRnCN: Регистры управления Таймерами n

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 (доступен в битовом режиме адресации)
TFn	EXFn	-	-	EXENn	TRn	C/Tn	CP/RLn	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: TMR2CN: 0xC8; TMR3CN: 0xC8; TMR4CN: 0xC8 SFR страница: TMR2CN: стр.0; TMR3CN: стр.1; TMR4CN: стр.2								
<p>Бит 7: TFn: Флаг переполнения/опустошения Таймера n. Устанавливается в 1 аппаратно, если:</p> <ul style="list-style-type: none"> - таймер переполняется из состояния 0xFFFF в состояние 0x0000; - таймер опустошается, изменяя свое значение, равное содержимому регистров RCAPnH:RCAPnL на значение 0xFFFF (в режиме автоперезагрузки); - таймер опустошается, изменяя свое значение, равное 0x0000 на Если прерывание от Таймера 3 разрешено, то установка этого бита приведет к переходу на значение 0xFFFF (в режиме захвата). <p>Если прерывание от Таймера разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера n. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.</p>								
<p>Бит 6: EXFn: Флаг внешнего входного сигнала Таймеров 2, 3 или 4. Этот бит аппаратно устанавливается в 1, если срез сигнала на входном выводе TnEX вызвал захват или перезагрузку и EXENn = 1. Если прерывание от Таймера разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера n. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.</p>								
Биты 5-4: Зарезервированы.								
<p>Бит 3: EXENn: Бит разрешения внешнего сигнала для Таймера n. Этот бит разрешает осуществлять захват или перезагрузку по срезам сигнала на выводе TnEX и использовать этот вывод для управления направлением счета. Если DCEN = 1, то в режиме автоперезагрузки сигнал на выводе TnEX будет определять направление счета таймера. Если EXENn = 1, то TnEX следует настроить как цифровой вход.</p> <p>0: Изменения состояния сигнала на выводе TnEX игнорируются.</p> <p>1: Изменения состояния сигнала на выводе TnEX вызывают захват, перезагрузку, а также определяют направление счета таймера следующим образом:</p> <p><u>Режим захвата:</u> При переходе сигнала на выводе TnEX из '1' в '0' значение таймера захватывается (переписывается) в регистры RCAPnH:RCAPnL.</p> <p><u>Режим автоперезагрузки:</u></p> <p>DCEN = 0: При переходе сигнала из '1' в '0' происходит захват и устанавливается флаг EXFn.</p> <p>DCEN = 1: Уровень сигнала на выводе TnEX определяет направление счета таймера.</p>								
<p>Бит 2: TRn: Бит управления запуском Таймера n. Этот бит включает/отключает соответствующий Таймер.</p> <p>0: Таймер n отключен.</p> <p>1: Таймер n включен и запущен/считает.</p>								
<p>Бит 1: C/Tn: Выбор режима счетчика или таймера для Таймера n.</p> <p>0: Режим таймера: Таймер n инкрементируется от сигнала тактирования, который определяется битами TnM1:TnM0 (TMRnCF.4: TMRnCF.3).</p> <p>1: Режим счетчика: Таймер n инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала.</p>								
<p>Бит 0: CP/RLn: Выбор режима захвата или перезагрузки.</p> <p>Этот бит определяет, в каком режиме функционирует Таймер n: в режиме захвата или в режиме автоперезагрузки.</p> <p>0: Таймер n функционирует в режиме автоперезагрузки.</p> <p>1: Таймер n функционирует в режиме захвата.</p>								

Рисунок 24.14. TMRnCF: Регистры конфигурации Таймеров n

			R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 (доступен в битовом режиме адресации)
-	-	-	TnM1	TnM0	TOGn	TnOE	DCEN	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес:	TMR2CN: 0xC9; TMR3CN: 0xC9; TMR4CN: 0xC9							
SFR страница:	TMR2CN: стр.0; TMR3CN: стр.1; TMR4CN: стр.2							
Биты 7-5: Зарезервированы.								
Биты 4-3: TnM1 и TnM0: Биты выбора источника тактового сигнала Таймера n. Эти биты используются для выбора сигнала тактирования Таймера n. Этим сигналом могут быть: SYSCLK, SYSCLK/2, SYSCLK/12, либо сигнал от внешнего источника тактирования, подаваемый на вывод порта Tn и деленный по частоте на 8. Сигнал тактирования задается следующим образом: 00: SYSCLK/12; 01: SYSCLK; 10: EXTCLK/8; 11: SYSCLK/2.								
Бит 2: TOGn: Бит состояния переключаемого выхода. Если таймер используется для переключения (инвертирования) сигнала на выводе порта, то этот бит можно использовать для чтения состояния выходного сигнала или для принудительной установки выходного сигнала в заданное состояние.								
Бит 1: TnOE: Бит разрешения выходного сигнала Таймера n. Этот бит разрешает таймеру генерировать прямоугольные импульсы с 50% скважностью на связанном с этим таймером внешнем выводе порта. <u>Примечание:</u> Таймер настраивается для генерации прямоугольных импульсов следующим образом: $CP/RLn = 0$ $C/Tn = 1$ $TnOE = 1$ Загрузить в регистры RCAPnH:RCAPnL необходимое значение (см. уравнение 24.1) Настроить вывод порта как выход прямоугольного сигнала (см. раздел 18) 0: Инвертируемый выходной сигнал недоступен на связанном с таймером выводе порта. 1: Инвертируемый выходной сигнал доступен на связанном с таймером выводе порта.								
Бит 0: DCENn: Бит разрешения декремента. Этот бит разрешает таймеру считать в обоих направлениях (в зависимости от уровня сигнала на выводеTnEX). 0: Таймер будет считать в прямом направлении независимо от уровня сигнала на выводеTnEX. 1: Таймер будет считать в прямом или обратном направлениях в зависимости от уровня сигнала на выводеTnEX как показано ниже: - если TnEX = 0, то таймер считает в обратном направлении; - если TnEX = 1, то таймер считает в прямом направлении.								

Рисунок 24.15. RCAPnL: Младший байт регистра захвата Таймера n

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: RCAP2L: 0xCA; RCAP3L: 0xCA; RCAP4L: 0xCA								
SFR страница: RCAP2L: стр.0; RCAP3L: стр.1; RCAP4L: стр.2								
Биты 7-0: RCAPnL: Младший байт регистра захвата Таймера n.								
Регистр RCAPnL захватывает младший байт Таймера n, если Таймер n работает в режиме захвата. Если Таймер n работает в режиме автоперезагрузки, то этот регистр содержит младший байт перезагружаемого значения.								

Рисунок 24.16. RCAPnH: Старший байт регистра захвата Таймера n

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: RCAP2H: 0xCB; RCAP3H: 0xCB; RCAP4H: 0xCB								
SFR страница: RCAP2H: стр.0; RCAP3H: стр.1; RCAP4H: стр.2								
Биты 7-0: RCAPnH: Старший байт регистра захвата Таймера n.								
Регистр RCAPnH захватывает старший байт Таймера n, если Таймер n работает в режиме захвата. Если Таймер n работает в режиме автоперезагрузки, то этот регистр содержит старший байт перезагружаемого значения.								

Рисунок 24.17. TMRnL: Младший байт Таймера n

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: TMR2L: 0xCC; TMR 3L: 0xCC; TMR 4L: 0xCC								
SFR страница: TMR 2L: стр.0; TMR 3L: стр.1; TMR 4L: стр.2								
Биты 7-0: TMRnL: Младший байт Таймера n.								
Регистр TMRnL содержит младший байт 16-разрядного Таймера n.								

Рисунок 24.18. TMRnL: Старший байт Таймера n

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: TMR2H: 0xCD; TMR 3H: 0xCD; TMR 4H: 0xCD								
SFR страница: TMR 2H: стр.0; TMR 3H: стр.1; TMR 4H: стр.2								
Биты 7-0: TMRnH: Старший байт Таймера n.								
Регистр TMRnH содержит старший байт 16-разрядного Таймера n.								

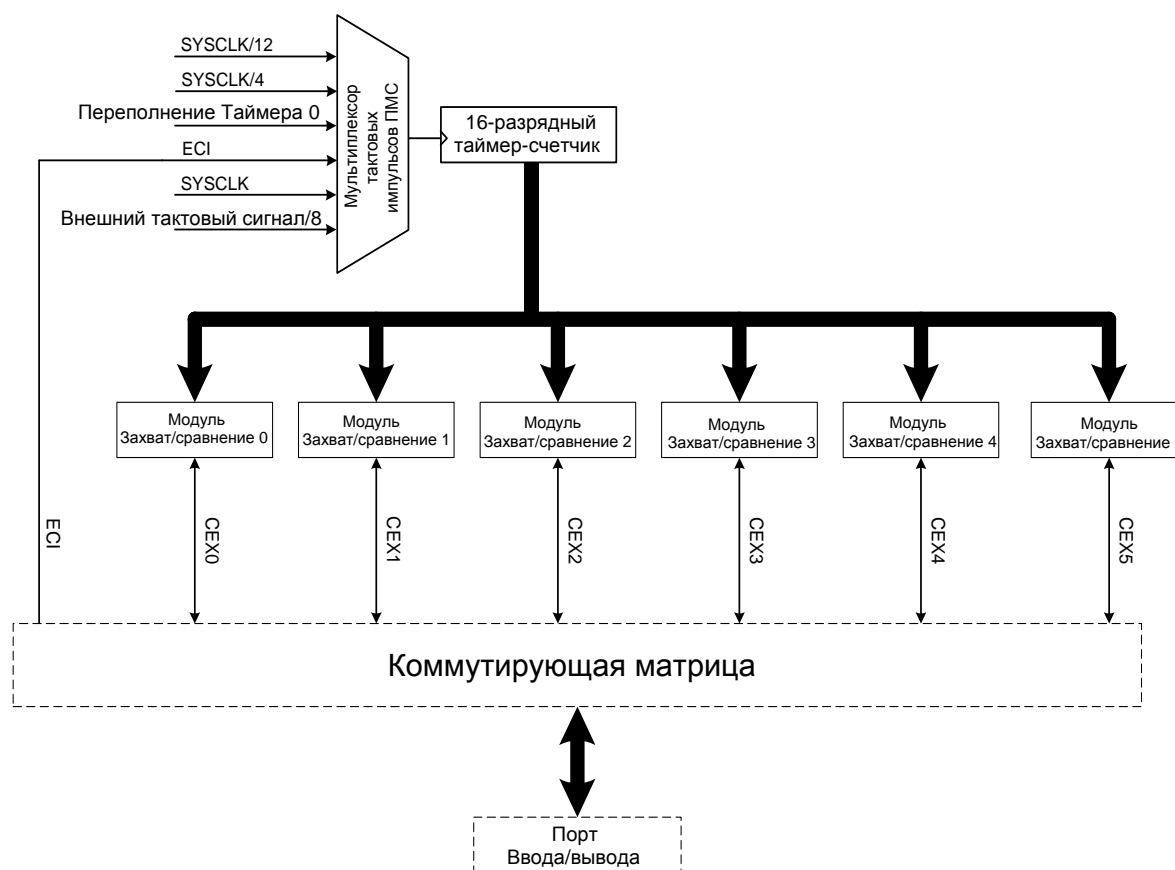
25. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ

Программируемый массив счетчиков (ПМС) реализует расширенные таймерные функции, при этом требует меньшего вмешательства со стороны процессорного ядра, чем стандартные таймеры/счетчики архитектуры 8051. ПМС состоит из специального 16-разрядного таймера/счетчика и шести 16-разрядных модулей захват/сравнение. Каждый модуль захват/сравнение имеет свою собственную линию ввода/вывода (СЕХ_n), которая через матрицу соединяется, если разрешено, с портом ввода/вывода (подробная информация о настройке матрицы приведена в разделе 18.1). Таймер/счетчик тактируется программируемым внутренним сигналом, в качестве которого могут использоваться:

- внутренний сигнал с частотой, равной системной тактовой частоте;
- внутренний сигнал с частотой, равной 1/4 системной тактовой частоты;
- внутренний сигнал с частотой, равной 1/12 системной тактовой частоты;
- сигнал от внешнего генератора, деленный по частоте на 8;
- переполнение Таймера 0;
- входной сигнал на внешнем выводе ECI.

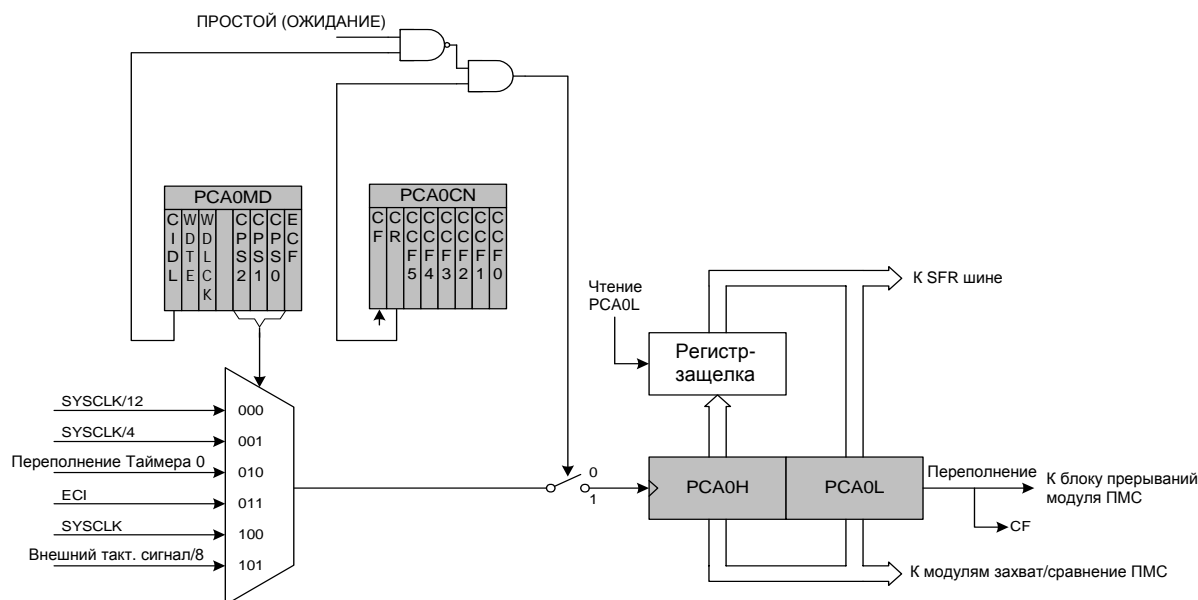
Каждый модуль захвата/сравнения можно независимо настроить для работы в одном из шести режимов: иницируемый по фронту сигнала захват, программный таймер, высокоскоростной выход, выход заданной частоты, 8-разрядный широтно-импульсный модулятор и 16-разрядный широтно-импульсный модулятор (описание каждого режима приведено в разделе 25.2). Для управления модулем ПМС и его настройки используются связанные с ним SFR регистры. Структурная схема модуля ПМС показана на рис.25.1.

Рисунок 25.1. Структурная схема ПМС



Ред. 1.2

304



25.2. Модули захвата/сравнения

Каждый модуль можно независимо настроить для работы в одном из шести режимов: инициируемый по фронту сигнала захват, программный таймер, высокоскоростной выход, выход заданной частоты, 8-разрядный широтно-импульсный модулятор и 16-разрядный широтно-импульсный модулятор. Каждый модуль имеет связанные с ним регистры специального назначения, которые используются для обмена данными с модулем и для настройки режимов работы.

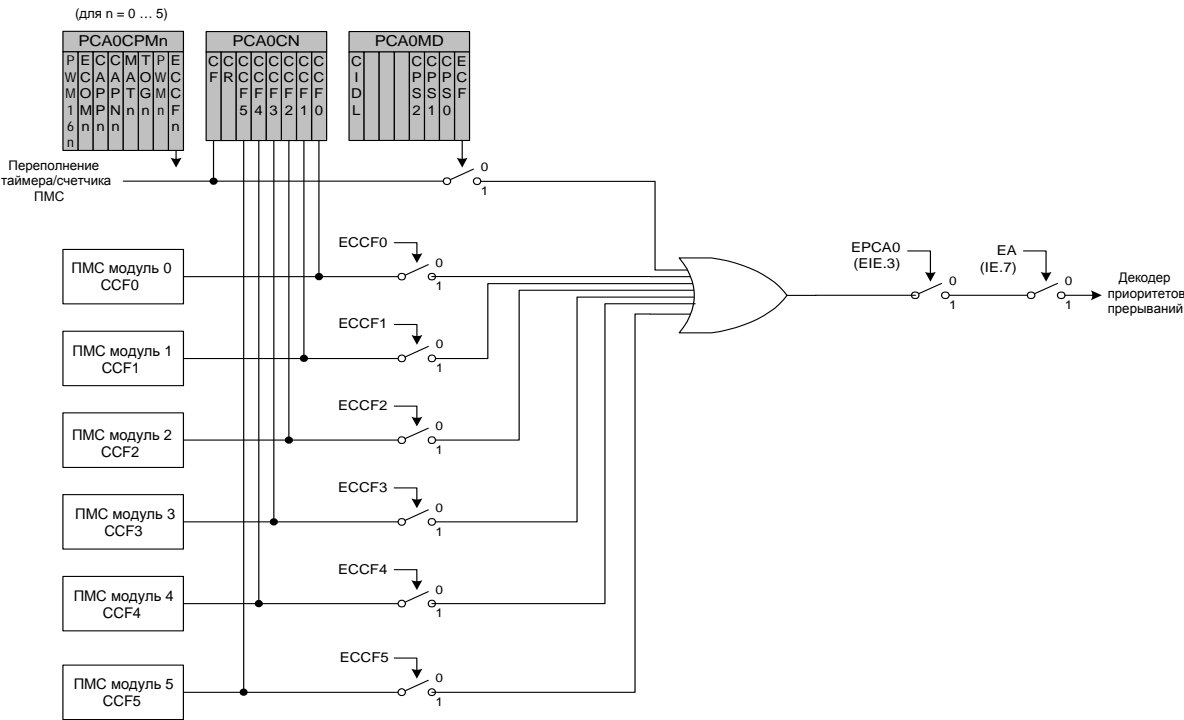
В табл.25.2 приведены комбинации бит в регистрах PCA0CPMn, используемые для перевода модулей захват/сравнение в различные режимы работы. Установка в 1 бит ECCFn в регистрах PCA0CPMn разрешает генерацию прерываний при установке в 1 флагов CCFn регистра PCA0CN. Следует иметь ввиду, что индивидуальные CCFn прерывания распознаются только в том случае, если прерывания от модуля ПМС разрешены глобально. Прерывания от ПМС разрешаются глобально установкой в 1 битов EA (IE.7) и EPCA0 (EIE.3). Схема формирования прерываний от модуля ПМС приведена на рис.25.3.

Таблица 25.2. Настройка модулей захват/сравнение в регистре PCA0CPM

PWM16	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	Operation Mode
x	x	1	0	0	0	0	x	Захват инициируется положительным фронтом сигнала на линии CEXn
x	x	0	1	0	0	0	x	Захват инициируется отрицательным фронтом сигнала на линии CEXn
x	x	1	1	0	0	0	x	Захват инициируется изменением сигнала на линии CEXn
x	1	0	0	1	0	0	x	Программный таймер
x	1	0	0	1	1	0	x	Высокоскоростной выход
x	1	0	0	0	1	1	x	Выход заданной частоты
0	1	0	0	0	0	1	0	8-разр. широтно-импульсный модулятор
1	1	0	0	0	0	1	0	16-разр. широтно-импульсный модулятор

X = не имеет значения

Рисунок 25.3. Схема формирования прерывания от ПМС

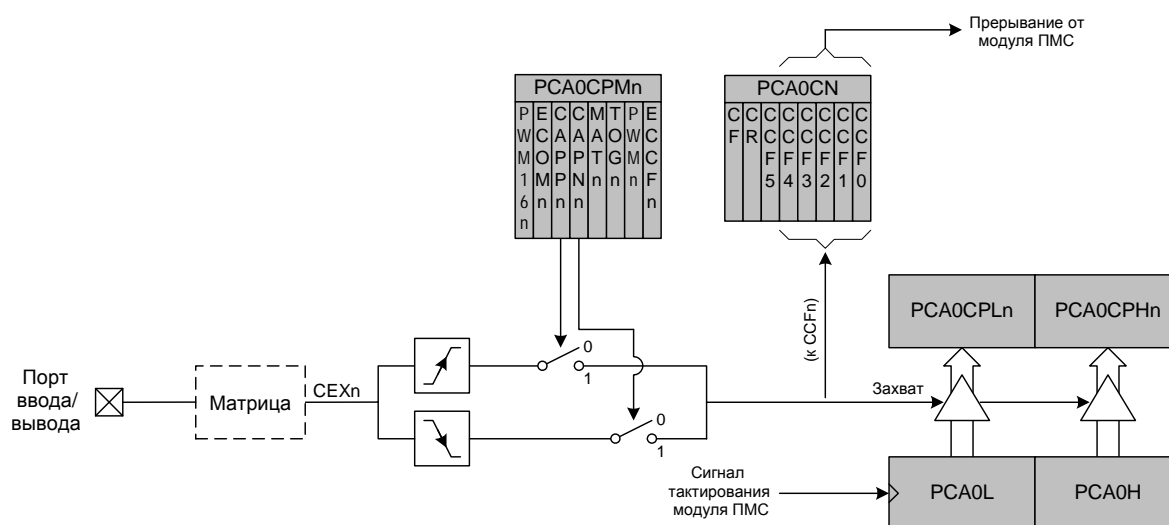


25.2.1. Режим захвата по фронту сигнала

В этом режиме активный фронт сигнала на внешнем выводе CEXn приведет к захвату значения таймера/счетчика ПМС и загрузке его в 16-разрядный регистр захвата/сравнения (PCA0CPLn и PCA0CPHn) соответствующего модуля. Биты CAPPn и CAPNn регистра PCA0CPMn определяют, по какому фронту будет осуществляться захват: по положительному (переход из 0 в 1), по отрицательному (переход из 1 в 0) или по любому фронту. Когда происходит захват, флаг захвата/сравнения (CCFn) в регистре PCA0CN устанавливается в 1 и, если CCF прерывание разрешено, генерируется запрос прерывания. Бит CCFn не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно.

Примечание: Минимальная длительность удержания высокого или низкого уровней сигнала на входе CEXn составляет 2 системных тактовых цикла, что необходимо для обеспечения правильного функционирования модуля ПМС.

Рисунок 25.4. Структурная схема ПМС в режиме захвата



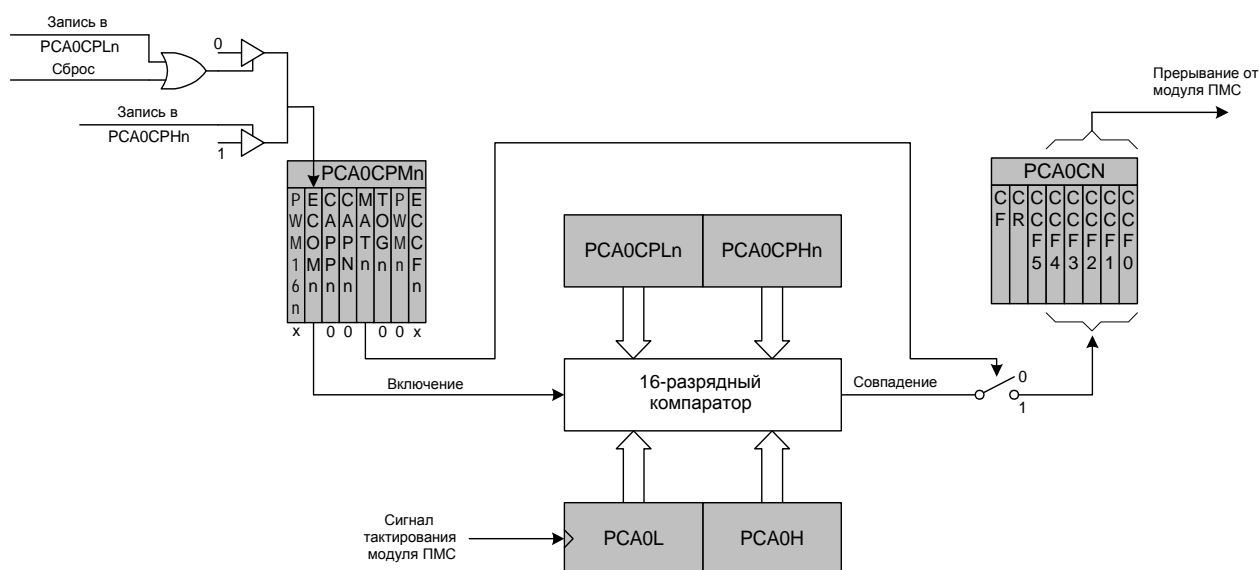
Примечание: Сигнал CEXn должен удерживаться на высоком или низком уровне в течение не менее 2 системных тактовых циклов.

25.2.2. Режим программного таймера (сравнения)

В режиме программного таймера значение таймера/счетчика ПМС сравнивается со значением 16-разрядного регистра захвата/сравнения (PCA0CPHn и PCA0CPLn) соответствующего модуля. Когда происходит совпадение, флаг захвата/сравнения (CCFn) в регистре PCA0CN устанавливается в 1 и, если CCF прерывание разрешено, генерируется запрос прерывания. Бит CCFn не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Режим программного таймера включается установкой в 1 битов ECOMn и MATn регистра PCA0CPMn.

Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Рисунок 25.5. Структурная схема ПМС в режиме программного таймера

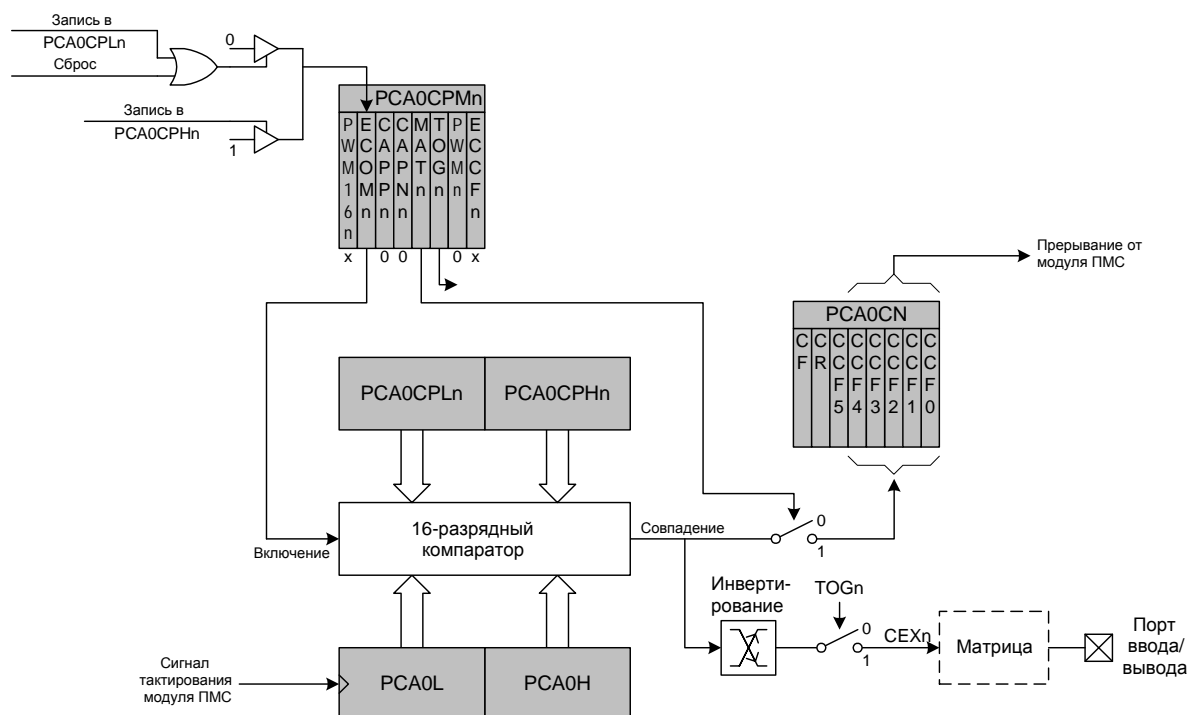


25.2.3. Режим высокоскоростного выхода

В этом режиме каждый раз, когда происходит совпадение значения таймера/счетчика ПМС и значения 16-разрядного регистра захвата/сравнения (PCA0CPHn and PCA0CPLn), логический уровень выходного сигнала на относящемся к модулю выводе CEXn будет инвертироваться. Режим высокоскоростного выхода включается установкой в 1 битов TOGn, MATn и ECOMn регистра PCA0CPMn.

Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Рисунок 25.6. Структурная схема ПМС в режиме высокоскоростного выхода



25.2.4. Режим выхода заданной частоты

В режиме выхода заданной частоты на связанном с конкретным модулем выводе CEX_n генерируется сигнал прямоугольной формы с программируемой частотой. Содержимое старшего байта регистра захвата/сравнения (PCA0CPH_n) определяет количество циклов тактирования ПМС, отсчитываемых до инвертирования состояния сигнала на выходе CEX_n. Таким образом, частота прямоугольного сигнала определяется в соответствии со следующим уравнением:

Уравнение 25.1. Частота прямоугольного сигнала в режиме выхода заданной частоты

$$F_{sqr} = F_{PCA} / (2 * PCA0CPH_n),$$

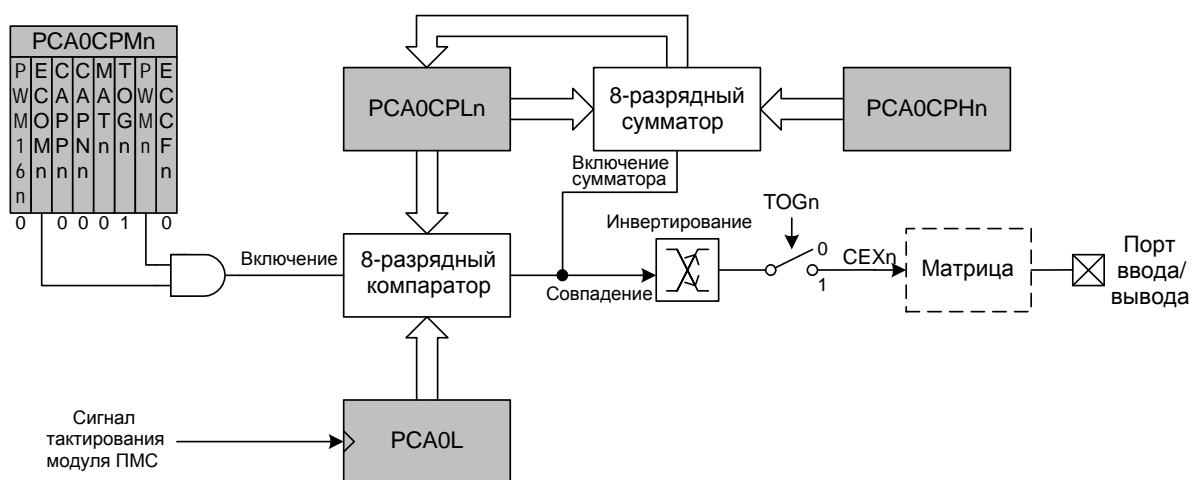
где F_{PCA} - частота сигнала тактирования, задаваемая битами CPS2 – 0 регистра режима ПМС (PCA0MD).

Примечание: значение 0x00 регистра PCA0CPH_n равно значению 256 для этого уравнения.

Содержимое младшего байта регистра захвата/сравнения (PCA0CPL_n) сравнивается с младшим байтом счетчика ПМС (PCA0L); при их совпадении сигнал на выводе CEX_n инвертируется и значение смещения, хранящееся в старшем байте (PCA0CPH_n), добавляется к значению регистра PCA0CPL_n. Режим выхода заданной частоты включается установкой в 1 битов ECOM_n, TOG_n и PWM_n и регистра PCA0CPM_n.

Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPL_n сбрасывает в 0 бит ECOM_n; запись в регистр PCA0CPH_n устанавливает в 1 бит ECOM_n.

Рисунок 25.7. Структурная схема ПМС в режиме выхода заданной частоты



25.2.5. Режим 8-разрядного широтно-импульсного модулятора

Каждый модуль захвата/сравнения можно использовать независимо от других для генерации на соответствующем ему выводе CEXn выходного сигнала с широтно-импульсной модуляцией (ШИМ). Частота этого выходного сигнала зависит от частоты сигнала тактирования таймера/счетчика ПМС. Для изменения коэффициента заполнения (скважности) выходного ШИМ сигнала используется регистр захвата/сравнения PCA0CPLn соответствующего модуля. Когда значение младшего байта таймера/счетчика ПМС (PCA0L) становится равным значению регистра PCA0CPLn, на внешнем выводе CEXn устанавливается сигнал высокого уровня. Когда регистр PCA0L переполнится, на выводе CEXn установится сигнал низкого уровня (см. рис.25.8). Кроме этого, при переполнении младшего байта таймера/счетчика (PCA0L) из состояния 0xFF в состояние 0x00 регистр PCA0CPLn автоматически перезагружается значением, хранящимся в регистре PCA0CPHn, без вмешательства со стороны программы. Во избежание сбоев в работе цифрового компаратора рекомендуется осуществлять запись в регистр PCA0CPHn, а не в регистр PCA0CPLn. Режим 8-разрядного широтно-импульсного модулятора включается установкой в 1 бит ECOMn и PWMn регистра PCA0CPMn. Скважность выходного сигнала в режиме 8-разрядного ШИМ определяется уравнением 25.2.

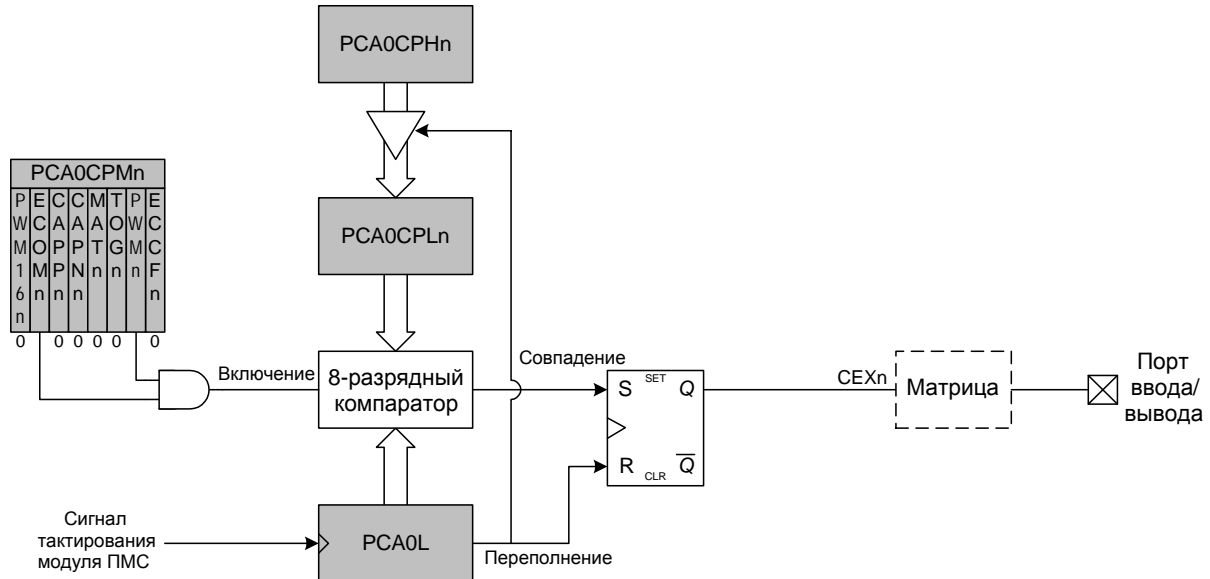
Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Уравнение 25.2. Скважность выходного сигнала в режиме 8-разр. ШИМ

$$DutyCycle \text{ (скважность)} = (256 - PCA0CPHn) / 256$$

В соответствии с уравнением 24.2 максимальная скважность составляет 100% (PCA0CPHn = 0), а минимальная скважность составляет 0,39% (PCA0CPHn = 0xFF). Сигнал со скважностью, равной 0%, можно получить, сбросив в 0 бит ECOMn.

Рисунок 25.8. Структурная схема ПМС в режиме 8-разр. ШИМ.



24.2.6. Режим 16-разрядного широтно-импульсного модулятора

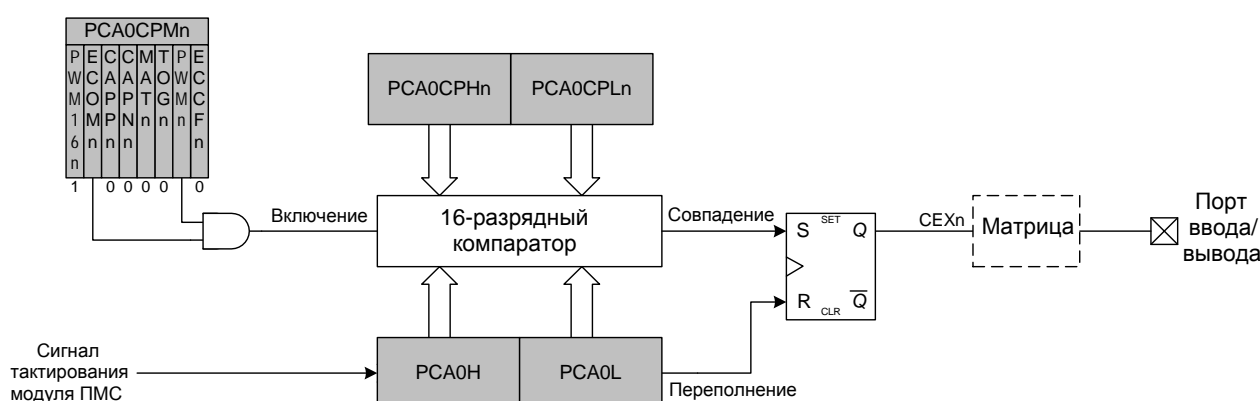
Каждый модуль захвата/сравнения можно также использовать в режиме 16-разрядного ШИМ. В этом режиме 16-разрядное значение регистров захвата/сравнения (PCA0CPHn : PCA0CPLn) определяет количество циклов тактирования ПМС, в течение которых выходной сигнал ШИМ удерживается на низком логическом уровне. Когда значение счетчика ПМС сравнивается с содержимым регистров захвата/сравнения (PCA0CPHn : PCA0CPLn), на выходе CEXn устанавливается сигнал высокого уровня; когда счетчик ПМС переполнится, на выходе CEXn установится сигнал низкого уровня. Чтобы выводить сигнал с изменяемой скважностью, запись новых значений необходимо синхронизировать с прерываниями от флага CCFn модуля ПМС. Режим 16-разрядного широтно-импульсного модулятора включается установкой в 1 бит ECOMn, PWMn и PWM16n регистра PCA0CPMn. Для получения сигнала с изменяемой скважностью следует также установить в 1 бит ECCFn, чтобы разрешить прерывания. Скважность выходного сигнала в режиме 16-разрядного ШИМ определяется уравнением 25.3.

Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Уравнение 25.3. Скважность выходного сигнала в режиме 16-разр. ШИМ

$$DutyCycle \text{ (скважность)} = (65536 - PCA0CPn) / 65536$$

Рисунок 25.9. Структурная схема ПМС в режиме 16-разр. ШИМ.



25.3. Описание регистров модуля ПМС

Ниже приводится описание регистров специального назначения, связанных с работой модуля ПМС.

Рисунок 25.10. PCA0CN: Регистр управления ПМС

R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	Значение при сбросе: 00000000
CF	CR	CCF5	CCF4	CCF3	CCF2	CCF1	CCF0	SFR Адрес: 0xD8 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Бит 7: CF: Флаг переполнения Таймера/Счетчика ПМС.
Устанавливается в 1 аппаратно, когда Таймер/Счетчик ПМС переполняется из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера/Счетчика ПМС (от флага CF) разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 6: CR: Управление запуском Таймера/Счетчика ПМС.
Этот бит включает/отключает Таймер/Счетчик ПМС.
0: Таймер/Счетчик ПМС отключен.
1: Таймер/Счетчик ПМС включен.

Бит 5: CCF5: Флаг захвата/сравнения модуля 5 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 4: CCF4: Флаг захвата/сравнения модуля 4 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 3: CCF3: Флаг захвата/сравнения модуля 3 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 2: CCF2: Флаг захвата/сравнения модуля 2 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 1: CCF1: Флаг захвата/сравнения модуля 1 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 0: CCF0: Флаг захвата/сравнения модуля 0 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.



Рисунок 25.11. PCA0MD: Регистр режима ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CIDL	-	-	-	CPS2	CPS1	CPS0	ECF	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD9 SFR страница: 0

Бит 7: CIDL: Управление режимом простоя (ожидания) Таймера/Счетчика ПМС.
 Это бит определяет поведение ПМС в то время, когда МК находится в режиме простоя (ожидания).
 0: ПМС продолжает нормально функционировать в то время, когда МК находится в режиме простоя (ожидания).
 1: Работа ПМС приостанавливается в то время, когда МК находится в режиме простоя (ожидания).

Биты 6-4: Не используются. Читаются как 000b. Запись не имеет значения.

Биты 3-1: CPS2-CPS0: Выбор сигнала тактирования Таймера/Счетчика ПМС.
 Эти биты определяют, какой сигнал будет использоваться для тактирования Таймера/Счетчика ПМС.

CPS2	CPS1	CPS0	Внутренний сигнал тактирования ПМС
0	0	0	SYSCLK/12
0	0	1	SYSCLK/4
0	1	0	Переполнение Таймера 0
0	1	1	Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI (макс. частота = SYSCLK/4)
1	0	0	SYSCLK
1	0	1	Сигнал от внешнего источника, деленный по частоте на 8*
1	1	0	Зарезервировано
1	1	1	Зарезервировано

* Сигнал от внешнего генератора, деленный по частоте на 8, синхронизируется с системным тактовым сигналом.
 ** Минимальная длительность удержания высокого или низкого уровней сигнала на входе ECI составляет 2 системных тактовых цикла.

Бит 0: ECF: Разрешение прерываний от переполнения Таймера/Счетчика ПМС.
 Этот бит разрешает/запрещает прерывания от переполнения Таймера/Счетчика ПМС (от флага CF).
 0: Прерывания от флага CF (PCA0CN.7) запрещены.
 1: Прерывания от флага CF (PCA0CN.7) разрешены (если CF (PCA0CN.7) = 1).

*Примечание: Для работы таймера ПМС в этом режиме необходимо, чтобы внешний сигнал с частотой EXTCLK/8 был синхронизирован с системным тактовым сигналом и выполнялось условие $EXTCLK/8 \leq SYSCLK$.

Рисунок 25.12. PCA0CPMn: Регистры управления модулями захват/сравнение

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
PWM16n	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCFn	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: PCA0CPM0: 0xDA; PCA0CPM1: 0xDB; PCA0CPM2: 0xDC PCA0CPM3: 0xDD; PCA0CPM4: 0xDE; PCA0CPM5: 0xDF								
SFR страница: PCA0CPM0: стр.0; PCA0CPM1: стр.0; PCA0CPM2: стр.0; PCA0CPM3: стр.0; PCA0CPM4: стр.0; PCA0CPM5: стр.0								
<p>Бит 7: PWM16n: Включение режима 16-разрядного ШИМ. Этот бит выбирает 16-разрядный режим, если режим ШИМ включен (PWMn = 1). 0: Выбран режим 8-разр. ШИМ. 1: Выбран режим 16-разр. ШИМ.</p> <p>Бит 6: ECOMn: Разрешение функции компаратора. Этот бит включает/отключает функцию компаратора модуля <i>n</i> ПМС. 0: Компаратор отключен. 1: Компаратор включен.</p> <p>Бит 5: CAPPn: Разрешение функции захвата по положительному фронту. Этот бит разрешает/запрещает захват по положительному фронту для модуля <i>n</i> ПМС. 0: Захват по положительному фронту запрещен. 1: Захват по положительному фронту разрешен.</p> <p>Бит 4: CAPNn: Разрешение функции захвата по отрицательному фронту. Этот бит разрешает/запрещает захват по отрицательному фронту для модуля <i>n</i> ПМС. 0: Захват по отрицательному фронту запрещен. 1: Захват по отрицательному фронту разрешен.</p> <p>Бит 3: MATn: Разрешение функции определения совпадения. Этот бит включает/отключает функцию определения совпадения для модуля <i>n</i> ПМС. Если MATn = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к установке в 1 бита CCFn в регистре PCA0MD. 0: Функция определения совпадения отключена. 1: Функция определения совпадения включена.</p> <p>Бит 2: TOGn: Разрешение функции инвертирования выхода. Этот бит включает/отключает функцию инвертирования выходного сигнала для модуля <i>n</i> ПМС. Если TOGn = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к инвертированию логического уровня выходного сигнала на внешнем выводе CEXn. 0: Функция инвертирования выхода отключена. 1: Функция инвертирования выхода включена.</p> <p>Бит 1: PWMn: Включение режима ШИМ. Этот бит включает/отключает функцию ШИМ для модуля <i>n</i> ПМС. Если PWMn = 1, то выходной ШИМ-сигнал появляется на внешнем выводе CEXn. Если PWM16n = 0, то используется режим 8-разр. ШИМ; если PWM16n = 1, то используется режим 16-разр. ШИМ. Если TOGn = 1, то модуль работает в режиме выхода заданной частоты. 0: Функция ШИМ отключена. 1: Функция ШИМ включена.</p> <p>Бит 0: ECCFn: Разрешение прерываний от флага захвата/сравнения (CCFn). Этот бит разрешает/запрещает прерывания от флага захвата/сравнения (CCFn). 0: Прерывания от флага CCFn запрещены. 1: Прерывания от флага CCFn разрешены.</p>								

Рисунок 25.13. PCA0L: Младший байт таймера/счетчика ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xF9 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: PCA0L: Младший байт таймера/счетчика ПМС. Регистр PCA0L содержит младший байт (МЗБ) 16-разрядного таймера/счетчика ПМС.								

Рисунок 25.14. PCA0H: Старший байт таймера/счетчика ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xFA SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-0: PCA0H: Старший байт таймера/счетчика ПМС. Регистр PCA0H содержит старший байт (СЗБ) 16-разрядного таймера/счетчика ПМС.								

Рисунок 25.15. PCA0CPLn: Младший байт модуля захвата ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: PCA0CPL0: 0xFB; PCA0CPL1: 0xFD; PCA0CPL2: 0xE9 PCA0CPL3: 0xEB; PCA0CPL4: 0xED; PCA0CPL5: 0xE1								
SFR страница: PCA0CPL0: стр.0; PCA0CPL1: стр.0; PCA0CPL2: стр.0; PCA0CPL3: стр.0; PCA0CPL4: стр.0; PCA0CPL5: стр.0								
Биты 7-0: PCA0CPLn: Младший байт модуля захвата ПМС.								
Регистр PCA0CPLn содержит младший байт (МЗБ) 16-разрядного модуля захвата <i>n</i> .								

Рисунок 25.16. PCA0CPHn: Старший байт модуля захвата ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: PCA0CPH0: 0xFC; PCA0CPH1: 0xFD; PCA0CPH2: 0xEA PCA0CPH3: 0xEC; PCA0CPH4: 0xEE; PCA0CPH5: 0xE2								
SFR страница: PCA0CPH0: стр.0; PCA0CPH1: стр.0; PCA0CPH2: стр.0; PCA0CPH3: стр.0; PCA0CPH4: стр.0; PCA0CPH5: стр.0								
Биты 7-0: PCA0CPHn: Старший байт модуля захвата ПМС.								
Регистр PCA0CPHn содержит старший байт (СЗБ) 16-разрядного модуля захвата <i>n</i> .								



26. ИНТЕРФЕЙС JTAG (IEEE 1149.1)

Каждый МК имеет встроенный интерфейс JTAG и логику поддержки граничного сканирования, предназначенные для производственных испытаний и внутрисистемного тестирования, выполнения операций чтения и записи Flash-памяти, а также для проведения «неразрушающей» внутрисхемной отладки. Интерфейс JTAG полностью соответствует спецификации IEEE 1149.1. Эта спецификация содержит подробную информацию об интерфейсе тестирования и архитектуре граничного сканирования. Работа с регистром команд (IR) и регистром данных (DR) интерфейса JTAG описана в разделе «Test Access Port and Operation» (порт тестового доступа и работа в режиме тестирования) спецификации IEEE 1149.1.

Для работы с интерфейсом JTAG используются четыре специальных вывода МК: TCK, TMS, TDI и TDO.

Используя 16-разрядный регистр команд интерфейса JTAG (IR), можно подавать любую из восьми команд, показанных на рис.26.1. Имеется три регистра данных (DR), связанных с работой интерфейса граничного сканирования, и четыре регистра данных, связанных с выполнением операций чтения/записи Flash-памяти МК.

Рисунок 26.1. IR: Регистр команд интерфейса JTAG

<div> <div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div> </div>															
<div> <div>Бит 15</div> <div>Бит 0</div> </div>															
<div> <div>Значение при сбросе: 0x0000</div> </div>															
Значение IR	Команда	Описание													
0x0000	EXTEST	Выбирает регистр данных интерфейса граничного сканирования для управления всеми выводами МК и наблюдения за ними.													
0x0002	SAMPLE/ PRELOAD	Выбирает регистр данных интерфейса граничного сканирования для опроса его защелок и их предварительной установки													
0x0004	IDCODE	Выбирает регистр идентификатора устройства													
0xFFFF	BYPASS	Выбирает регистр-шунт (BYPASS регистр данных)													
0x0082	Flash Control	Выбирает регистр FLASHCON для управления реакцией логики интерфейса на операции чтения/записи в регистр FLASHDAT													
0x0083	Flash Data	Выбирает регистр FLASHDAT для выполнения операций чтения/записи Flash-памяти													
0x0084	Flash Address	Выбирает регистр FLASHADR, который хранит адреса для всех операций чтения/записи/стирания Flash-памяти													
0x0085	Flash Scale	Выбирает регистр FLASHSCL, который управляет ждущим таймером модуля Flash-памяти и включает/выключает режим постоянного чтения Flash-памяти.													

26.1. Граничное сканирование

Регистр данных интерфейса граничного сканирования представляет собой 126-разрядный регистр сдвига в МК C8051F060/2/4/6 и 118-разрядный регистр сдвига в МК C8051F061/3/5/7. Этот регистр позволяет управлять всеми выводами МК, SFR шиной и слаботочковыми подтягивающими резисторами, а также определять их состояние. Для этого используются команды EXTEST и SAMPLE.

Таблица 26.1. Описание бит регистра данных интерфейса граничного сканирования (C8051F060/2/4/6)

Команда EXTEST позволяет осуществлять операции как захвата, так и обновления, а команда SAMPLE выполняет только захват.

Бит	Действие	Целевой сигнал
0	Захват	Разрешение сброса от МК
	Обновление	Разрешение сброса на вывод /RST
1	Захват	Входной сигнал сброса с вывода /RST
	Обновление	Не используется
2	Захват	Разрешение выхода CAN RX на вывод
	Обновление	Разрешение выхода CAN RX на вывод
3	Захват	Входной сигнал CAN RX с вывода
	Обновление	Выходной сигнал CAN RX на вывод
4	Захват	Разрешение выхода CAN TX на вывод
	Обновление	Разрешение выхода CAN TX на вывод
5	Захват	Входной сигнал CAN TX с вывода
	Обновление	Выходной сигнал CAN TX на вывод
6	Захват	Сигнал внешнего тактового генератора с вывода XTAL1
	Обновление	Не используется
7	Захват	Разрешение слаботочковых подтягивающих резисторов от МК
	Обновление	Разрешение слаботочковых подтягивающих резисторов к выводам портов
8, 10, 12, 14, 16, 18, 20, 22	Захват	Разрешение выхода P0.n от МК (напр., Bit8=P0.0, Bit10=P0.1, и т.д.)
	Обновление	Разрешение выхода P0.n на вывод (напр., Bit8=P0.0oe, Bit10=P0.1oe, и т.д.)*
9, 11, 13, 15, 17, 19, 21, 23	Захват	Входной сигнал P0.n с вывода (напр., Bit9=P0.0, Bit11=P0.1, и т.д.)
	Обновление	Выходной сигнал P0.n на вывод (напр., Bit9=P0.0, Bit11=P0.1, и т.д.)
24, 26, 28, 30, 32, 34, 36, 38	Захват	Разрешение выхода P1.n от МК
	Обновление	Разрешение выхода P1.n на вывод
25, 27, 29, 31, 33, 35, 37, 39	Захват	Входной сигнал P1.n с вывода
	Обновление	Выходной сигнал P1.n на вывод
40, 42, 44, 46, 48, 50, 52, 54	Захват	Разрешение выхода P2.n от МК
	Обновление	Разрешение выхода P2.n на вывод
41, 43, 45, 47, 49, 51, 53, 55	Захват	Входной сигнал P2.n с вывода
	Обновление	Выходной сигнал P2.n на вывод
56, 58, 60, 62, 64, 66, 68, 70	Захват	Разрешение выхода P3.n от МК
	Обновление	Разрешение выхода P3.n на вывод
57, 59, 61, 63, 65, 67, 69, 71	Захват	Входной сигнал P3.n с вывода
	Обновление	Выходной сигнал P3.n на вывод

Бит	Действие	Целевой сигнал
72, 74, 76	Захват	Разрешение выхода P4.5, P4.6, P4.7 (соответственно) от МК
	Обновление	Разрешение выхода P4.5, P4.6, P4.7 (соответственно) на вывод
73, 75, 77	Захват	Входной сигнал P4.5, P4.6, P4.7 (соответственно) с вывода
	Обновление	Выходной сигнал P4.5, P4.6, P4.7 (соответственно) на вывод
78, 80, 82, 84, 86, 88, 90, 92	Захват	Разрешение выхода P5.n от МК
	Обновление	Разрешение выхода P5.n на вывод
79, 81, 83, 85, 87, 89, 91, 93	Захват	Входной сигнал P5.n с вывода
	Обновление	Выходной сигнал P5.n на вывод
94, 96, 98, 100, 102, 104, 106, 108	Захват	Разрешение выхода P6.n от МК
	Обновление	Разрешение выхода P6.n на вывод
95, 97, 99, 101, 103, 105, 107, 109	Захват	Входной сигнал P6.n с вывода
	Обновление	Выходной сигнал P6.n на вывод
110, 112, 114, 116, 118, 120, 122, 124	Захват	Разрешение выхода P7.n от МК
	Обновление	Разрешение выхода P7.n на вывод
111, 113, 115, 117, 119, 121, 123, 125	Захват	Входной сигнал P7.n с вывода
	Обновление	Выходной сигнал P7.n на вывод

* oe = output enable (разрешение выхода)

Таблица 26.2. Описание бит регистра данных интерфейса граничного сканирования (C8051F061/3/5/7)

Команда EXTEST позволяет осуществлять операции как захвата, так и обновления, а команда SAMPLE выполняет только захват.

Бит	Действие	Целевой сигнал
0	Захват	Не используется
	Обновление	Не используется
1	Захват	Не используется
	Обновление	Не используется
2	Захват	Разрешение выхода CAN RX на вывод
	Обновление	Разрешение выхода CAN RX на вывод
3	Захват	Входной сигнал CAN RX с вывода
	Обновление	Выходной сигнал CAN RX на вывод
4	Захват	Разрешение выхода CAN TX на вывод
	Обновление	Разрешение выхода CAN TX на вывод
5	Захват	Входной сигнал CAN TX с вывода
	Обновление	Выходной сигнал CAN TX на вывод
6	Захват	Сигнал внешнего тактового генератора с вывода XTAL1
	Обновление	Не используется
7	Захват	Разрешение слаботочковых подтягивающих резисторов от МК
	Обновление	Разрешение слаботочковых подтягивающих резисторов к выводам портов
8, 10, 12, 14, 16, 18, 20, 22	Захват	Разрешение выхода P0.n от МК (напр., Bit8=P0.0, Bit10=P0.1, и т.д.)
	Обновление	Разрешение выхода P0.n на вывод (напр., Bit8=P0.0oe, Bit10=P0.1oe, и т.д.)*
9, 11, 13, 15, 17, 19, 21, 23	Захват	Входной сигнал P0.n с вывода (напр., Bit9=P0.0, Bit11=P0.1, и т.д.)
	Обновление	Выходной сигнал P0.n на вывод (напр., Bit9=P0.0, Bit11=P0.1, и т.д.)
24, 26, 28, 30, 32, 34, 36, 38	Захват	Разрешение выхода P1.n от МК
	Обновление	Разрешение выхода P1.n на вывод
25, 27, 29, 31, 33, 35, 37, 39	Захват	Входной сигнал P1.n с вывода
	Обновление	Выходной сигнал P1.n на вывод
40, 42, 44, 46, 48, 50, 52, 54	Захват	Разрешение выхода P2.n от МК
	Обновление	Разрешение выхода P2.n на вывод
41, 43, 45, 47, 49, 51, 53, 55	Захват	Входной сигнал P2.n с вывода
	Обновление	Выходной сигнал P2.n на вывод
56, 58, 60, 62, 64, 66, 68, 70	Захват	Разрешение выхода P3.n от МК
	Обновление	Разрешение выхода P3.n на вывод
57, 59, 61, 63, 65, 67, 69, 71	Захват	Входной сигнал P3.n с вывода
	Обновление	Выходной сигнал P3.n на вывод
72	Захват	Разрешение сброса от МК
	Обновление	Разрешение сброса на вывод /RST
73	Захват	Входной сигнал сброса с вывода /RST
	Обновление	Не используется
74, 76, 78, 80, 82, 84	Захват	Разрешение выхода P5.0, P5.1, P5.2, P5.3, P5.5, P5.7 (соответственно) от МК **
	Обновление	Разрешение выхода P5.0, P5.1, P5.2, P5.3, P5.5, P5.7 (соответственно) на вывод **

Бит	Действие	Целевой сигнал
75, 77, 79, 81, 83, 85	Захват	Входной сигнал P5.0, P5.1, P5.2, P5.3, P5.5, P5.7 (соответственно) с вывода **
	Обновление	Выходной сигнал P5.0, P5.1, P5.2, P5.3, P5.5, P5.7 (соответственно) на вывод **
86, 88, 90, 92, 94, 96, 98, 100	Захват	Разрешение выхода P6.n от МК **
	Обновление	Разрешение выхода P6.n на вывод **
87, 89, 91, 93, 95, 97, 99, 101	Захват	Входной сигнал P6.n с вывода **
	Обновление	Выходной сигнал P6.n на вывод **
102, 104, 106, 108, 110, 112, 114, 116	Захват	Разрешение выхода P7.n от МК **
	Обновление	Разрешение выхода P7.n на вывод **
103, 105, 107, 109, 111, 113, 115, 117	Захват	Входной сигнал P7.n с вывода **
	Обновление	Выходной сигнал P7.n на вывод **

* oe = output enable (разрешение выхода)

** Не соединены с выводами в данном корпусе.

26.1.1. Команда EXTEST

Команда EXTEST подается с помощью регистра IR. Регистр данных интерфейса граничного сканирования DR позволяет управлять всеми выводами МК и слаботочными подтягивающими резисторами, а также определять их состояние. Все входы к элементам встроенной логики установлены в 1.

26.1.2. Команда SAMPLE

Команда SAMPLE подается с помощью регистра IR. Регистр данных интерфейса граничного сканирования DR используется для опроса защелок пути сканирования и их предварительной установки.

26.1.3. Команда BYPASS

Команда BYPASS подается с помощью регистра IR. Она обеспечивает доступ к стандартному 1-разрядному регистру-шунту (BYPASS регистру данных) интерфейса JTAG.

26.1.4. Команда IDCODE

Команда IDCODE подается с помощью регистра IR. Она обеспечивает доступ к 32-регистру идентификатора устройства.

Рисунок 25.2. DEVICEID: Регистр JTAG идентификатора устройства

Версия		Шифр компонента		Идентификатор производителя		1		Значение при сбросе: 0хп0006243
Бит 31	Бит 28	Бит 27		Бит 12	Бит 11		Бит 1	
Версия = 0000b								
Шифр компонента = 0000 0000 0000 0110b (C8051F060/1/2/3/4/5/6/7)								
Идентификатор производителя = 0010 0100 001b (Silicon Laboratories)								

26.2. Команды программирования Flash-памяти

Flash-память можно программировать непосредственно через интерфейс JTAG, используя следующие регистры: Flash Control (регистр управления режимами чтения/записи Flash-памяти), Flash Data (регистр данных Flash-памяти), Flash Address (регистр адреса Flash-памяти) и Flash Scale (регистр делителя модуля Flash-памяти). Обращение к этим косвенным регистрам данных осуществляется через регистр команд интерфейса JTAG. Для выполнения операций чтения и записи косвенных регистров данных сначала необходимо установить адрес соответствующего регистра данных DR в регистре команд IR. Затем каждая операция чтения или записи инициируется записью соответствующего косвенного кода операции в выбранный регистр данных. Поступающие в этот регистр команды имеют следующий формат:

19:18	17:0
Косв. код операции	Записываемые данные

Косв. код операции: Эти биты определяют тип выполняемой операции в соответствии со следующей таблицей:

Косв. код операции	Операция
0x	Опрос
10	Чтение
11	Запись

Операция «Опрос» используется для проверки бита занятости, как описано ниже. Несмотря на то, что при опросе выполняется захват данных регистра DR, обновление регистра DR запрещено, поэтому опрос может быть осуществлен путем сдвига (в регистр/из регистра) одного единственного бита.

Операция «Чтение» инициирует чтение из регистра, адресуемого регистром IR. Чтение можно инициировать сдвигом лишь двух бит в косвенный регистр данных. После того, как операция чтения инициирована, необходимо выполнять опрос бита занятости, чтобы определить момент завершения операции.

Операция «Запись» инициирует запись «записываемых данных» в регистр, адресуемый регистром IR. Могут быть записаны регистры с разрядностью до 18 бит включительно. Если записываемый регистр содержит менее 18 бит, то записываемые данные должны быть выровнены влево, т.е. СЗР должен занимать бит 17. Это позволяет использовать для записи более коротких регистров меньшее число тактовых циклов интерфейса JTAG. Например, запись 8-разрядного регистра можно осуществить путем сдвига только 10 бит. После того, как операция записи инициирована, необходимо выполнять опрос бита занятости, чтобы определить момент, когда можно инициировать следующую операцию. Содержимое регистра команд IR нельзя изменять, пока выполняются операции чтения или записи.

Исходящие данные косвенного регистра данных имеют следующий формат:

19	18:1	0
0	Считываемые данные	Занято

Бит «Занято» показывает, что текущая операция не завершена. Он устанавливается в 1, когда операция инициируется, и сбрасывается в 0, когда операция завершается. Команды чтения или записи игнорируются, пока бит занятости равен единице. В действительности, если за операцией опроса бита занятости на равенство нулю следует операция чтения или записи, то запись (посредством интерфейса JTAG) следующей операции можно осуществлять во время проверки бита занятости на равенство нулю. Следующая операция (чтения или записи) будет игнорироваться до тех пор, пока бит занятости читается как ноль, и будет инициирована, как только бит занятости станет равен единице. Бит «Занято» занимает бит 0 косвенного регистра данных, что позволяет опросить его путем одноразрядного сдвига. Когда при ожидании завершения операции чтения бит занятости становится равен нулю, можно сдвигать следующие 18 бит для получения результирующих данных. Считываемые данные всегда выровнены вправо. Это позволяет для чтения регистров с разрядностью менее 18 бит использовать меньшее число сдвигов. Например, для получения результата операции чтения байта требуется 9 сдвигов (бит занятости + 8 бит данных).

Рисунок 26.3. FLASHCON: Регистр управления режимами чтения/записи Flash-памяти интерфейса JTAG.

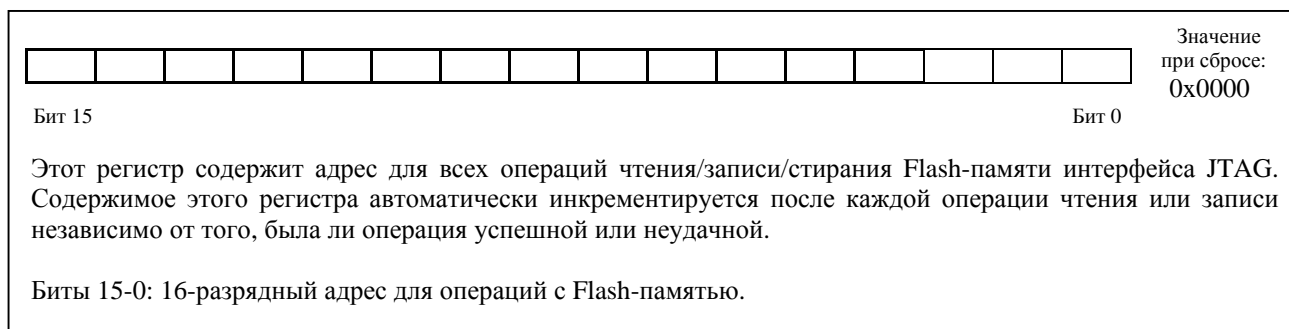
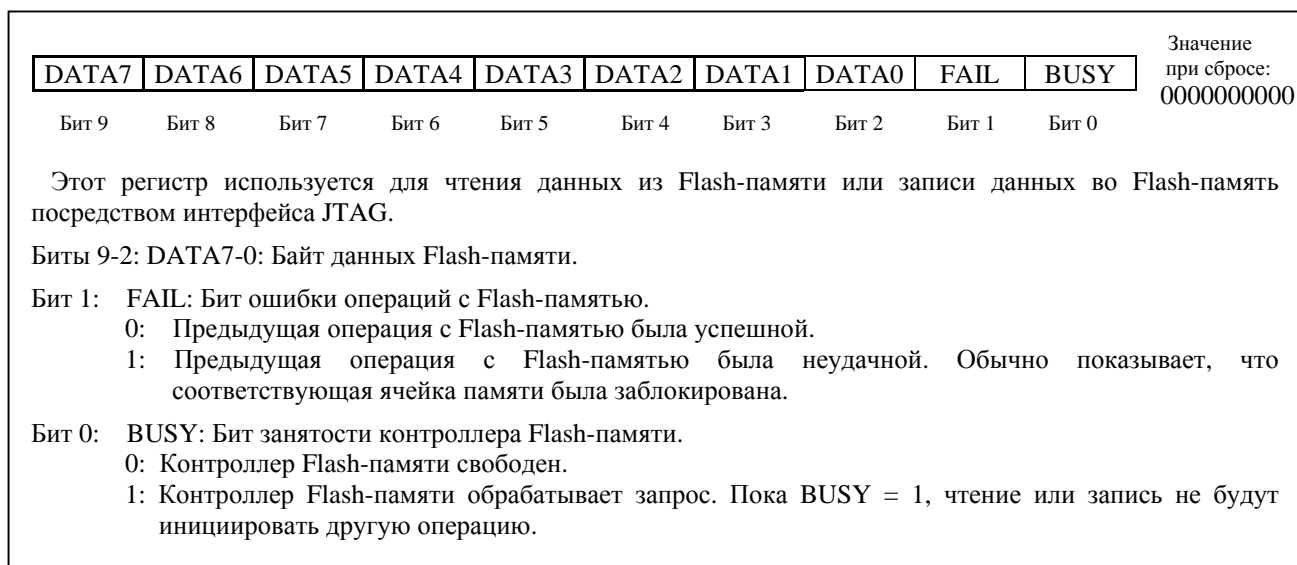
SFLE	WRMD2	WRMD1	WRMD0	RDMD3	RDMD2	RDMD1	RDMD0	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Этот регистр определяет, каким образом контроллер Flash-памяти будет реагировать на операции чтения и записи в регистр FLASHDAT.

Бит 7: SFLE: Разрешение доступа к области сверхоперативной Flash-памяти.
 Когда этот бит установлен, операции чтения/записи Flash-памяти будут относиться к 128-байтному сектору сверхоперативной Flash-памяти. Когда SFLE = 1, доступ к Flash-памяти по адресам за пределами диапазона 0x00 – 0x7F запрещен. Операции чтения/записи за пределами этого диапазона приведут к непредсказуемым результатам.
 0: Операции с Flash-памятью относятся к 64-Кбайтному сектору Flash-памяти программ/данных.
 1: Операции с Flash-памятью относятся к 128-байтному сектору сверхоперативной Flash-памяти.

Биты 6-4: WRMD2-0: Биты выбора режима записи.
 Биты выбора режима записи управляют реакцией контроллера Flash-памяти на операции записи в регистр FLASHDAT. Возможны следующие варианты:
 000: Запись регистра FLASHDAT заменяет данные в регистре FLASHDAT, но во всем остальном игнорируется.
 001: Запись регистра FLASHDAT инициирует запись содержимого FLASHDAT в ячейку памяти, адресуемую регистром FLASHADR. После завершения содержимое регистра FLASHADR инкрементируется (увеличивается на 1).
 010: Запись регистра FLASHDAT инициирует стирание (установку всех байт в состояние 0xFF) той страницы Flash-памяти, которая содержит адрес, указанный в регистре FLASHADR. Чтобы стирание произошло, в регистр FLASHDAT должно быть записано значение 0xA5. FLASHADR не изменяется. Если FLASHADR = 0x7DFE – 0x7DFF, то будет стерто все доступное пользователю пространство памяти (т.е. вся Flash-память за исключением зарезервированной области 0x7E00 – 0x7FFF).
 (Все другие значения бит WRMD3-0 зарезервированы.)

Биты 3-0: RDMD3-0: Биты выбора режима чтения.
 Биты выбора режима чтения управляют реакцией контроллера Flash-памяти на операции чтения из регистра FLASHDAT. Возможны следующие варианты:
 0000: Операция чтения регистра FLASHDAT возвращает данные из регистра FLASHDAT, но во всем остальном игнорируется.
 0001: Чтение регистра FLASHDAT инициирует чтение байта, адресуемого регистром FLASHADR, если на данный момент нет активных операций. Этот режим используется для чтения блоков памяти.
 0010: Чтение регистра FLASHDAT инициирует чтение байта, адресуемого регистром FLASHADR только в том случае, если на данный момент нет активных операций и любые данные, полученные в результате предыдущей операции чтения, уже прочитаны из регистра FLASHDAT. Этот режим позволяет читать одиночные байты (или последний байт блока) без инициации дополнительного чтения.
 (Все другие значения бит RDMD3-0 зарезервированы.)

Рисунок 26.4. FLASHADR: Регистр адреса Flash-памяти интерфейса JTAG.**Рисунок 26.5. FLASHDAT: Регистр данных Flash-памяти интерфейса JTAG**

26.3. Средства поддержки отладки

Каждый МК имеет встроенные интерфейс JTAG и средства отладки, которые обеспечивают «неразрушающую» внутрисхемную отладку в режиме реального времени с использованием МК, установленного в конечное изделие. Средства отладки фирмы Silicon Laboratories' поддерживают проверку и модификацию памяти и регистров, расстановку точек останова, пошаговую отладку. При этом не требуется никаких специальных дополнительных ОЗУ, памяти программ или каналов связи. Во время отладки все цифровые и аналоговые периферийные модули не отключаются и работают корректно (остаются в режиме синхронизации). При остановке МК в точке останова или при пошаговой отладке сторожевой таймер отключается.

Комплект средств разработки C8051F060DK для МК C8051F060/1/2/3/4/5/6/7 содержит все необходимые аппаратные и программные средства для разработки программного кода и выполнения внутрисхемной отладки. Каждый комплект включает в себя программный пакет с интегрированной средой разработки, которая содержит отладчик и встроенный ассемблер стандарта 8051. Имеется также блок-преобразователь (адаптер) RS-232/JTAG, а также демонстрационная плата с установленным МК (C8051F060). Кроме этого в комплект средств разработки входят кабели RS-232 и JTAG, а также блок питания в отдельном корпусе.



27. Список изменений.

27.1. Отличия ред. 1.2 от ред. 1.1.

- Добавлены четыре новых МК: C8051F064, C8051F065, C8051F066, C8051F067.
- Во все разделы добавлены описания функционирования четырех новых МК.
- Изменен и дополнен раздел, посвященный описанию функций защиты Flash-памяти.
- Глава «УАППО», раздел 22.3: «FE0 в регистре SCJN0» изменено на «FE0 в регистре SSTA0».
- Глава «УАППО»: изменены и сделаны более понятными уравнения для расчета скорости передачи данных.
- Глава «Порты ввода/вывода», раздел 18.2: К тексту добавлено примечание о том, что все регистры портов 4 – 7 расположены на SFR странице F.
- Глава «Компараторы»: Изменена таблица 12.1 «Электрические характеристики компаратора».
- Глава «CIP-51», раздел 13.4.1: Добавлено примечание относительно функционирования в режиме ожидания.
- Глава «АЦП2»: Бит AD2LJST удален из описания регистра ADC2CF (бит AD2LJST находится в регистре ADC2CN).
- Глава «АЦП2»: Изменены таблица 7.1 «Электрические характеристики АЦП2» и рисунок 7.2 «Передающая функция датчика температуры».
- Глава «АЦПО/АЦП1»: Временные диаграммы и параметры процессов слежения/преобразования при $ADnTM = 1$ приведены на рисунке 5.4 и в таблице 5.1. Удалены ссылки на такты дискретизации «16» и «18» процесса выборки.
- Глава «ЦАП», таблица 8.1 «Электрические характеристики ЦАП»: «Погрешность коэффициента усиления» изменено на «Погрешность полной шкалы».
- Глава «SMBus», рисунок 20.9 «SMB0CR»: «1,125» изменено на «1,125 * 10⁶».
- Глава «ПМС», рисунок 25.12 «PCA0CPMn»: Изменено название бита 0 с некорректного «EECFn» на «ECCFn».
- Глава «JTAG», рисунок 26.3 «FLASHCON»: Исправлено описание бита 7. Бит 7 - SFLE: Разрешение доступа к области сверхоперативной Flash-памяти.
- Глава «CAN»: Добавлен текст: «Частота тактирования CAN-контроллера (f_{SYS} , или CAN_CLK в C_CAN User's Guide) равна тактовой частоте CIP-51 (SYSCLK).»
- Таблица 4.1 «Описание выводов», MONEN: Добавлен текст: «Рекомендуется подключать этот вывод непосредственно к шине питания VDD.»
- Глава «Таймеры»: Все ссылки «DCEN» и «DECEN» изменены на «DCENn».
- Глава «Таймеры», уравнение 24.1: Уравнение было исправлено и приняло вид « $F_{sq} = F_{TCLK} / (2 \times (65535 - RCAPn))$ ». Это уравнение действительно для прямого и обратного направлений счета таймера.
- Глава «Таймеры», рисунок 24.14 «TMRnCF»: Исправлено описание бита 1. Для режима генерации прямоугольных импульсов $CP/RLn = 0$, $C/Tn = 0$, $TnOE = 1$.
- Главы «Источник опорного напряжения»: Добавлено значение тока потребления VREF в таблицы «Электрические характеристики ИОН».
- Глава «ПМС»: Добавлено примечание относительно записи регистров PCA0CPLn и PCA0CPHn в следующие разделы: режим программного таймера, режим высокоскоростного выхода, режим выхода заданной частоты, режим 8-разрядного ШИМ и режим 16-разрядного ШИМ.
- Глава «Генераторы», таблица 15.1 «Электрические характеристики внутреннего генератора»: Изменено значение типичного тока потребления.
- Таблица 3.1 «Основные электрические параметры»: Обновлено данные относительно тока потребления, а также введены дополнительные данные по току потребления.
- Глава «АЦПО/АЦП1», таблица 5.2 «Электрические параметры АЦПО и АЦП1»: Обновлено данные относительно тока потребления, а также введены дополнительные данные по току потребления.
- Глава «АЦПО/АЦП1», таблица 5.3 «Электрические параметры ИОН0 и ИОН1»: Обновлено данные относительно выходного напряжения, а также введены дополнительные данные по выходному напряжению.
- Рисунок 4.3 «Чертеж корпуса TQFP-100»: Добавлен размер «L».
- Рисунок 4.6 «Чертеж корпуса TQFP-64»: Добавлен размер «L».

Contact Information

Silicon Laboratories Inc.

4635 Boston Lane

Austin, TX 78735

Tel: 1+(512) 416-8500

Fax: 1+(512) 416-9669

Toll Free: 1+(877) 444-3032

Email: productinfo@silabs.com

Internet: www.silabs.com

The information in this document is believed to be accurate in all respects at the time of publication but is subject to change without notice. Silicon Laboratories assumes no responsibility for errors and omissions, and disclaims responsibility for any consequences resulting from the use of information included herein. Additionally, Silicon Laboratories assumes no responsibility for the functioning of undescribed features or parameters. Silicon Laboratories reserves the right to make changes without further notice. Silicon Laboratories makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Silicon Laboratories assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. Silicon Laboratories products are not designed, intended, or authorized for use in applications intended to support or sustain life, or for any other application in which the failure of the Silicon Laboratories product could create a situation where personal injury or death may occur. Should Buyer purchase or use Silicon Laboratories products for any such unintended or unauthorized application, Buyer shall indemnify and hold Silicon Laboratories harmless against all claims and damages.

Silicon Laboratories and Silicon Labs are trademarks of Silicon Laboratories Inc. Other products or brandnames mentioned herein are trademarks or registered trademarks of their respective holder.